

**AK1543****1300MHz Delta-Sigma Fractional-N Frequency Synthesizer****1. 概要**

本 LSI は  $\Delta\Sigma$  型 Fractional-N による周波数切り替え機能をもつ 400MHz~1300MHz 帯の PLL(Phase Locked Loop) 周波数シンセサイザです。この製品は 18 ビットの  $\Delta\Sigma$  回路、低雑音の位相周波数比較器、精度の高いチャージポンプ、リフレックス分周器、およびデュアル・モジュラス・プリスケアラ(P/P+1)で構成されます。

シンセサイザを外付けのループ・フィルタおよび VCO(Voltage Controlled Oscillator)と組み合わせる事により完全な PLL を実現します。レジスタへのアクセスは 3 線式のシリアルインターフェースで制御します。電源電圧は 2.7V~5.5V で動作し、チャージポンプ回路とシリアルインターフェースの電源電圧は独立で駆動可能です。

**2. 特長**

- $\Delta\Sigma$  フラクショナル N 機能によりロックアップ時間の短縮化及び低位相ノイズ、低スプリアスを実現
- 動作周波数 : 400 to 1300MHz
- 高速ロックアップ用チャージポンプ内蔵
- プログラマブルなチャージポンプ電流 :
  - 通常動作用チャージポンプ 10.6uA to 168.9uA、 16 段階
  - 高速ロック用チャージポンプ 0.84mA to 2.32mA、 8 段階
- 電源電圧 : 2.7 to 5.5 V (PVDD, CPVDD ピン)
- チャージポンプ回路の電源を分離 : PVDD to 5.5V (CPVDD ピン)
- パワーセーブ機能内蔵
- PLL のロック検出機能内蔵 : Phase Frequency Detector 出力/デジタルフィルタリング出力選択可能
- 低消費電流 : 4.1mA typ. (チャージポンプ電流は含まず)
- パッケージ : 24pin QFN (0.5mm pitch, 4mm × 4mm × 0.7mm)
- 動作温度 : -40°C to 85°C

## — 目次 —

1.	概要	1
2.	特長	1
3.	ブロック図	3
4.	端子機能説明	4
5.	絶対最大定格	6
6.	推奨動作条件	6
7.	電気的特性	7
8.	ブロック機能説明	11
9.	レジスタマップ	18
10.	レジスタ機能説明	19
11.	IC インターフェイス回路	25
12.	外付け部品接続推奨例	27
13.	パワーアップシーケンス	29
14.	標準測定回路	31
15.	電源別ブロック図	32
16.	外形寸法図	33
17.	マーキング	34

本仕様書内での記号は以下に従います。

[Name]: 端子名

<Name>: レジスタのグループ名(アドレス名)

{Name}: レジスタのビット名

3. ブロック図

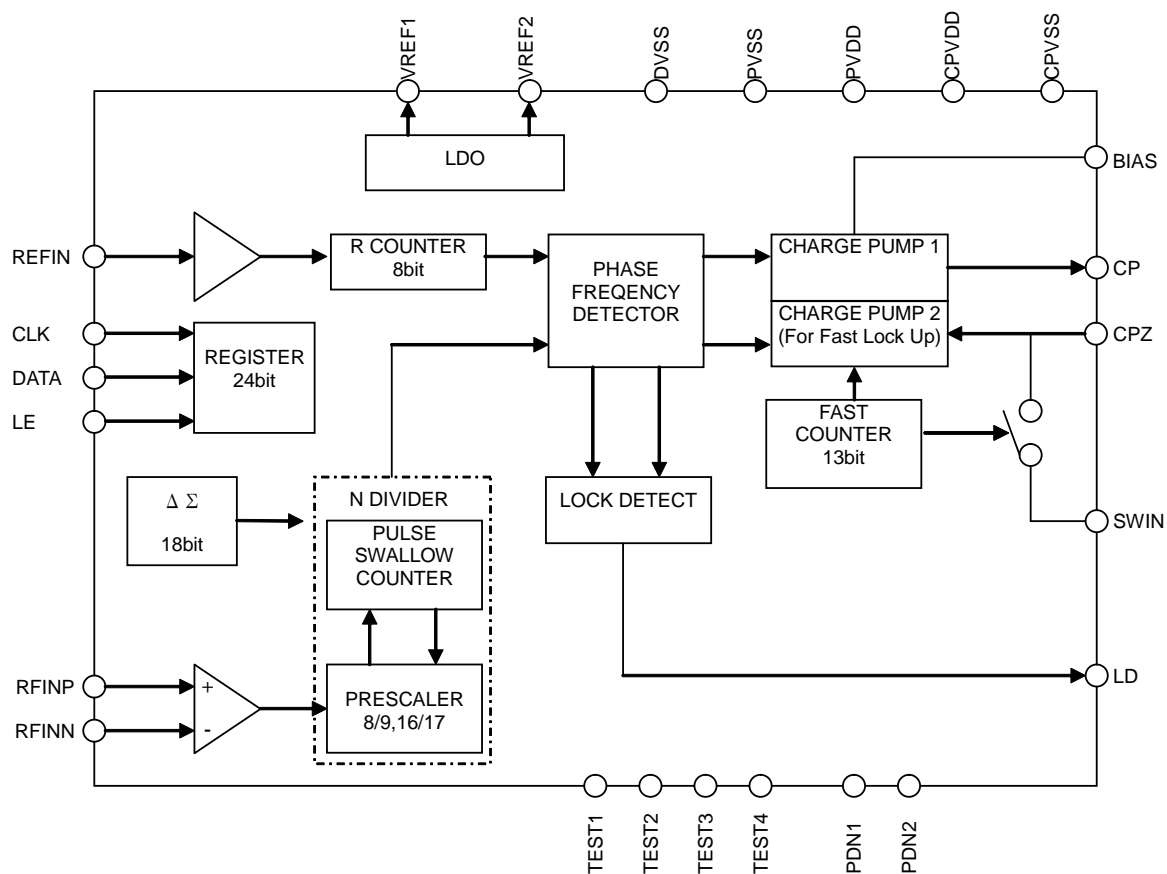


Fig. 1 ブロック図

## 4. 端子機能説明

Table 1 端子機能

No.	端子名	I/O	端子機能	パワーダウン時	備考
1	CPVDD	P	チャージポンプ電源		
2	TEST4	DI	テスト端子 4		内部プルダウン・シュミットトリガ入力
3	TEST1	DI	テスト端子 1		内部プルダウン・シュミットトリガ入力
4	LE	DI	ロードイネーブル		シュミットトリガ入力
5	DATA	DI	シリアル・データ入力		シュミットトリガ入力
6	CLK	DI	シリアル・クロック		シュミットトリガ入力
7	LD	DO	ロック検出	“Low”	
8	PDN2	DI	PLL 用パワーダウン信号		シュミットトリガ入力
9	PDN1	DI	LDO 用パワーダウン信号		シュミットトリガ入力
10	REFIN	AI	リファレンス入力		
11	TEST2	DI	テスト端子 2		内部プルダウン・シュミットトリガ入力
12	TEST3	DI	テスト端子 3		内部プルダウン・シュミットトリガ入力
13	VREF1	AIO	LDO 基準電圧用コンデンサ接続端子	“Low”	
14	DVSS	G	デジタル・グラウンド		
15	VREF2	AIO	LDO 基準電圧用コンデンサ接続端子	“Low”	
16	RFINN	AI	プリスケーラ入力		
17	RFINP	AI	プリスケーラ入力		
18	PVDD	P	ペリフェラル用電源		
19	BIAS	AIO	チャージポンプ出力電流設定用抵抗端子		
20	PVSS	G	ペリフェラル用グラウンド		
21	CP	AO	チャージポンプ出力	“Hi-Z”	
22	CPZ	AIO	ループフィルタ用コンデンサへ接続		注 1)、注 2)
23	SWIN	AI	ファーストロックアップ用抵抗端子へ接続		注 1)、注 2)
24	CPVSS	G	チャージポンプ・グラウンド		

注 1) 詳細な機能説明は 8.ブロック機能説明のチャージポンプ及びループフィルタの項目を参照してください。

注 2) [CPZ]端子からの入力電圧を内部回路で使用しています。ファーストロックアップ機能を使用しない場合も[CPZ]端子をオープンにする事は禁止します。[CPZ]端子の出力先は P.12 の Fig.5 ループフィルタ接続図をご参照ください。[SWIN]端子はファーストロックアップ機能を使用しない場合もオープンで問題ありません。

注 3) パワーダウン時とは電源投入後[PDN1]=[PDN2]="Low"の状態です。

AI: Analog input pin	AO: Analog output pin	AIO: Analog I/O pin	DI: Digital input pin
DO: Digital output pin	P: Power supply pin	G: Ground pin	

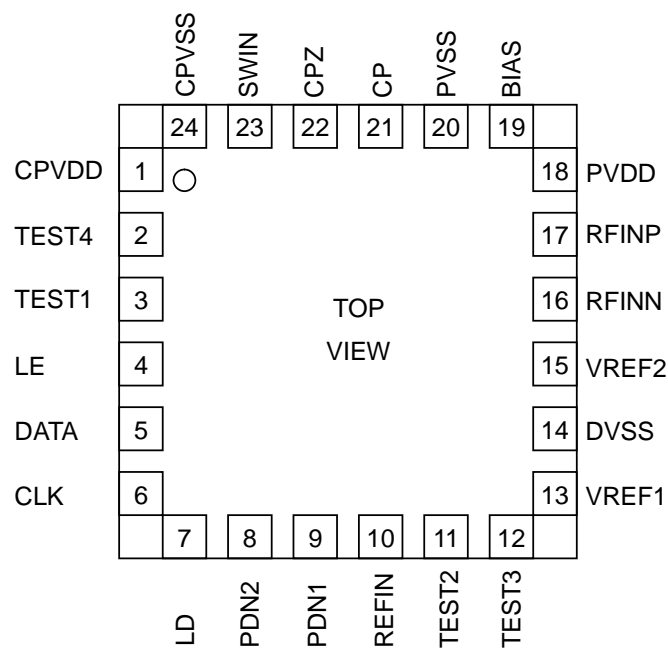


Fig. 2 パッケージ端子配置図

## 5. 絶対最大定格

Table 2 絶対最大定格

項目	記号	Min.	Max.	単位	備考
電源電圧	VDD1	-0.3	6.5	V	[PVDD]端子が対象です。注 1)
	VDD2	-0.3	6.5	V	[CPVDD]端子が対象です。注 1)
グラウンドレベル	VSS1	0	0	V	[PVSS]端子が対象です。電圧基準レベル
	VSS2	0	0	V	[CPVSS]端子が対象です。電圧基準レベル
	VSS3	0	0	V	[DVSS]端子が対象です。電圧基準レベル
アナログ入力電圧	VAIN1	VSS1-0.3	VDD1+0.3	V	注 1)、注 2)
	VAIN2	VSS2-0.3	VDD2+0.3	V	注 1)、注 3)
デジタル入力電圧	VDIN	VSS3-0.3	VDD1+0.3	V	注 1)、注 4)
入力電流	IIN	-10	10	mA	
保存温度	Tstg	-55	125	°C	

注 1) 電圧は全て 0V 基準

注 2) 端子 [REFIN]、[RFINN]、[RFINP]が該当します。

注 3) 端子 [CPZ]、[SWIN]が該当します。

注 4) 端子 [CLK]、[DATA]、[LE]、[PDN1]、[PDN2]、[TEST1]、[TEST2]、[TEST3]、[TEST4]が該当します。

これらの値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は保証されません。

## 6. 推奨動作条件

Table 3 推奨動作条件

項目	記号	Min.	Typ.	Max.	単位	備考
動作温度	Ta	-40		85	°C	
電源電圧	VDD1	2.7	3.3	5.5	V	[PVDD]端子が対象です。
	VDD2	VDD1	5.0	5.5	V	[CPVDD]端子が対象です。

注 1) VDD1 と VDD2 は推奨動作条件の範囲内において独立に駆動可能です。

各仕様は推奨動作条件にて指定された電源電圧、動作温度範囲内にて適用されます。

## 7. 電気的特性

### 1. デジタル DC 特性

Table 4 デジタル DC 特性

項目	記号	条件	Min.	Typ.	Max.	単位	備考
高レベル入力電圧	Vih		0.8VDD1			V	注 1)
低レベル入力電圧	Vil				0.2VDD1	V	注 1)
高レベル入力電流 1	Iih1	Vih = VDD1=5.5V	-1		1	μA	注 2)
高レベル入力電流 2	Iih2	Vih = VDD1=5.5V	27	55	110	μA	注 3)
低レベル入力電流	Iil	Vil = 0V, VDD1=5.5V	-1		1	μA	注 1)
高レベル出力電圧	Voh	Ioh = -500μA	VDD1-0.4			V	注 4)
低レベル出力電圧	Vol	Iol = 500μA			0.4	V	注 4)

注 1) 端子 [CLK]、[DATA]、[LE]、[PDN1]、[PDN2]、[TEST1]、[TEST2]、[TEST3]、[TEST4]が該当します。

注 2) 端子 [CLK]、[DATA]、[LE]、[PDN1]、[PDN2]が該当します。

注 3) 端子 [TEST1]、[TEST2]、[TEST3]、[TEST4]が該当します。

注 4) 端子 [LD]が該当します。

## 2.シリアルインターフェースタイミング

### <書き込みタイミング>

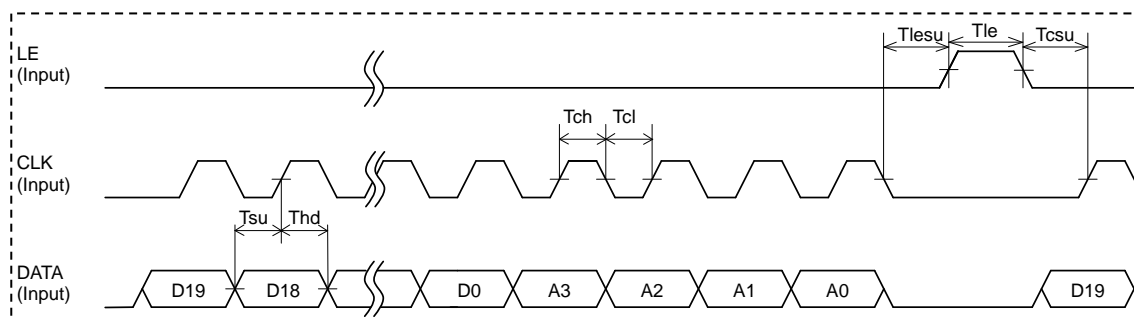


Fig. 3 シリアル インターフェース タイミング

Table 5 シリアル インターフェース タイミング

項目	記号	Min.	Typ.	Max.	単位	備考
クロック L レベルホールド時間	Tcl	40			ns	
クロック H レベルホールド時間	Tch	40			ns	
クロックセットアップ時間	Tcsu	20			ns	
データセットアップ時間	Tsu	20			ns	
データホールド時間	Thd	20			ns	
LE セットアップ時間	Tlesu	20			ns	
LE パルス幅	Tle	40			ns	

注 1) LE 端子はデータ書き込み終了後、必ず Low レベルにしてください。High レベル状態で CLK を入力すると、正常な書き込み動作は保証されません。

注 2) LE が Low の区間に 24 発のクロックを CLK より入力してください。24 クロックより多く入力された場合は、LE が High に立ち上がる直前の 24 クロック分の DATA が有効となります。



## 3. アナログ特性

特記なき場合、[BIAS]端子に 27k $\Omega$ の抵抗を接続、VDD1=2.7~5.5V、VDD2=VDD1~5.5V、 $-40^{\circ}\text{C} \leq \text{Ta} \leq 85^{\circ}\text{C}$

項目	Min.	Typ.	Max.	単位	備考
<b>RF 特性</b>					
入力感度	-10		5	dBm	
入力周波数	400		1300	MHz	Prescaler 8/9,16/17
<b>REFIN 特性</b>					
入力感度	0.4		2	Vpp	
入力周波数	5		40	MHz	
最大許容プリスケaler出力周波数			162.5	MHz	
<b>位相比較器</b>					
位相検出器周波数			3	MHz	
<b>チャージポンプ</b>					
チャージポンプ 1 最大値		168.9		$\mu\text{A}$	
チャージポンプ 1 最小値		10.6		$\mu\text{A}$	
チャージポンプ 2 最大値		2.32		mA	
チャージポンプ 2 最小値		0.84		mA	
Icp TRI-STATE リーク電流		1		nA	$0.5 \leq \text{Vcpo} \leq \text{VDD2}-0.5$
Sink/Source 電流ミスマッチ 注 1)			10	%	$\text{Vcpo}=\text{VDD2}/2, \text{Ta}=25^{\circ}\text{C}$
Icp 対 Vcpo 注 2)			15	%	$0.5 \leq \text{Vcpo} \leq \text{VDD2}-0.5, \text{Ta}=25^{\circ}\text{C}$
<b>その他</b>					
VREF1,2 立上り時間			50	$\mu\text{s}$	
<b>消費電流</b>					
IDD1			10	$\mu\text{A}$	[PDN1]="Low"、[PDN2]="Low"
IDD2		4.1	6	mA	注 3)
IDD3		1		mA	注 4)

注 1) Sink/Source 電流ミスマッチ:  $\frac{(|\text{Isink}| - |\text{Isource}|)}{(|\text{Isink}| + |\text{Isource}|)/2} \times 100$  [%]

注 2) Icp 対 Vcpo:  $\frac{\{1/2 \times (|I1| - |I2|)\}}{\{1/2 \times (|I1| + |I2|)\}} \times 100$  [%]

注 3) [PDN1]="High"、[PDN2]="High"。PVDD 端子の電流。

注 4) [PDN1]="High"、[PDN2]="High"。CPVDD 端子の電流。ファーストロックアップモード時は除きます。

注 5) [PDN1]="High"、[PDN2]="High"の時の AK1543 全体の消費電流は  $\text{IDD2} + \text{IDD3} + \text{チャージポンプ電流設定値}$  になります。

注 6) 出荷検査においてはパッケージ裏面中央の露出パッド (Exposed Pad) はグランドに接続しております。

## BIAS ピン接続チャージポンプ出力電流設定用抵抗

項目	Min.	Typ.	Max.	単位	備考
BIAS 抵抗	22	27	33	k $\Omega$	

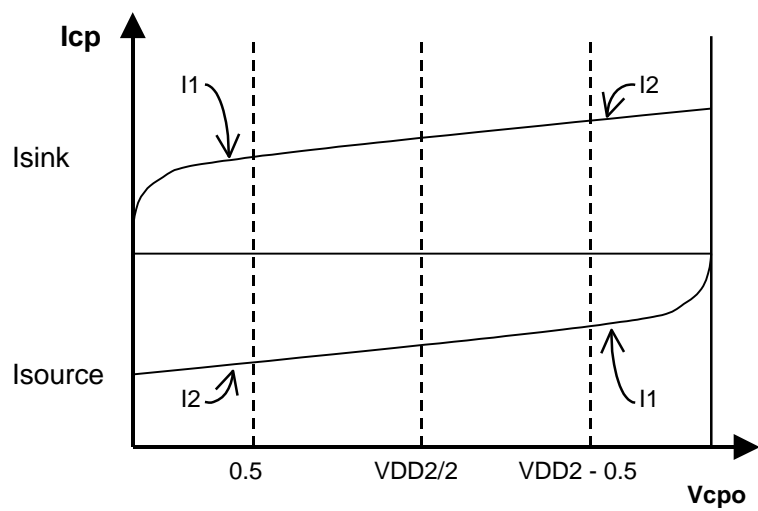


Fig. 4 チャージポンプ特性 電圧 vs 電流

## 8. ブロック機能説明

### 1. 周波数設定

AK1543 は分母が  $2^{18}$  の Fractional-N シンセサイザで、次のような計算で算出した整数項と分子項を設定します。

$$\text{設定周波数} = \text{Ref Frequency} \times (\text{整数項} + \text{分子項}/2^{18})$$

$$\text{整数項} = \text{ROUND}(\text{設定周波数} / F_{\text{PFD}})$$

$$\text{分子項} = \text{ROUND}\{(\text{設定周波数} - \text{整数項} \times F_{\text{PFD}}) / (F_{\text{PFD}} / 2^{18})\}$$

注) ROUND: 四捨五入、 $F_{\text{PFD}}$ : 位相比較周波数([REFIN]端子入力周波数/R カウンタの分周数)

#### □ 設定値計算例

例 1) 分子項が正となる場合: 設定周波数が 1265.0375MHz で位相比較周波数は 1MHz

$$\text{整数項} = 1265.0375\text{MHz} / 1\text{MHz} = 1265.0375$$

$$\text{四捨五入して } 1265 \text{ (10 進数)} = 4F1 \text{ (16 進数)} = 100 \ 1111 \ 0001 \text{ (2 進数)}$$

$$\text{分子項} = (1265.0375\text{MHz} - 1265 \times 1\text{MHz}) / (1\text{MHz} / 2^{18}) = 9830.4$$

$$\text{四捨五入して } 9830 \text{ (10 進数)} = 2666 \text{ (16 進数)} = 10 \ 0110 \ 0110 \ 0110 \text{ (2 進数)}$$

$$\text{設定周波数} = 1\text{MHz} \times (1265 + 9830/2^{18}) = 1265.0374985\text{MHz} \text{ (この場合は設定周波数に対する誤差は } 1.5\text{Hz)}$$

例 2) 分子項が負となる場合: 設定周波数が 1268.550MHz で位相比較周波数は 1MHz

$$\text{整数項} = 1268.550\text{MHz} / 1\text{MHz} = 1268.550$$

$$\text{四捨五入して } 1269 \text{ (10 進数)} = 4F5 \text{ (16 進数)} = 100 \ 1111 \ 0101 \text{ (2 進数)}$$

$$\text{分子項} = (1268.550\text{MHz} - 1269 \times 1\text{MHz}) / (1\text{MHz} / 2^{18}) = -117964.8$$

$$\text{四捨五入して } -117965 \text{ (10 進数)、} 2 \text{ の補数表現にするため } 2^{18} \text{ から引いて } 2 \text{ 進数表示}$$

$$2^{18} - 117965 \text{ (10 進数)} = 144179 \text{ (10 進数)} = 23333 \text{ (16 進数)} = 10 \ 0011 \ 0011 \ 0011 \ 0011 \text{ (2 進数)}$$

$$\text{設定周波数} = 1\text{MHz} \times (1269 + (-117965/2^{18})) = 1268.549992\text{MHz} \text{ (この場合は設定周波数に対する誤差は } 0.8\text{Hz)}$$

#### □ 2 の補数表現の算出方法

1) 正の数の場合: そのまま 2 進数表示    exp.  $100 \text{ (10 進数)} = 64 \text{ (16 進数)} = 110 \ 0100 \text{ (2 進数)}$

2) 負の数の場合:  $2^{18}$  から引いて 2 進数表示    exp.  $-100 \text{ (10 進数)}$

$$2^{18} - 100 = 262044 \text{ (10 進数)} = 3FF9C \text{ (16 進数)} = 11 \ 1111 \ 1111 \ 1001 \ 1100 \text{ (2 進数)}$$

## 2. チャージポンプ及びループフィルタ

AK1543 は通常用 (チャージポンプ 1) とファーストロックアップ用 (チャージポンプ 2) の 2 つのチャージポンプを内蔵しています。2 つのチャージポンプをタイマーにより切り替えることで PLL の高速ロックを実現します。ループフィルタ切替えのためのスイッチを内蔵しており、内部のタイマーにより切替えを行います。本 LSI ではこの機能をファーストロックアップモードと呼びます。

CPZ 端子はファーストロックアップ機能を使用しない場合も R2,C2 中間ノードに接続する必要があります。

このため R2,C2 は必ず R2 が CP 端子側、C2 がグラウンド側に接続してください。

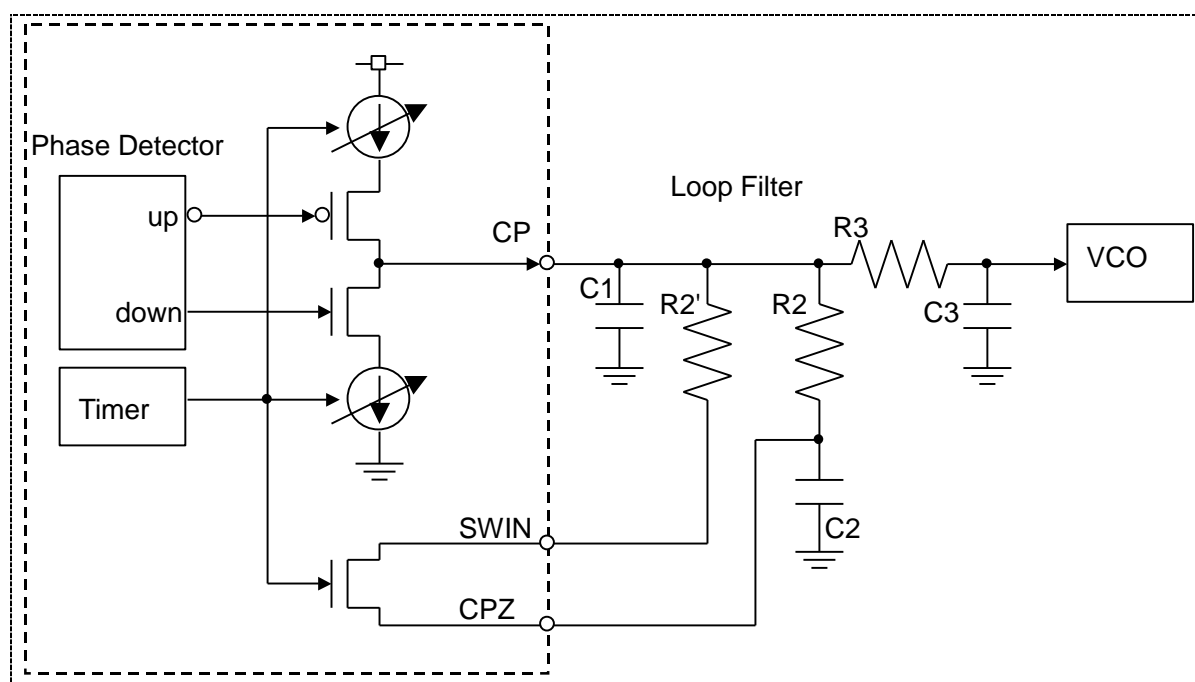


Fig. 5 ループフィルタ接続図

### 3. ファーストロックアップモード

AK1543では、< Address4 >のD[16]={FASTEN}を”1”に設定することで、ファーストロックアップモードが有効になります。ファーストロックアップのタイマーは周波数設定時(<Address1>及び<Address2>へアクセスした時の[LE]の立ち上がり)、または[PDN2]を”Low”から”High”へ設定した時にスタートします。

{FASTEN}=1 設定時に設定周波数変更をおこなうとファーストロックアップモードが有効になり< Address4 >の D[12:0]の{FAST[12:0]}で設定されたタイマー区間だけループフィルタ切り替えスイッチがオンし、ファーストロックアップ用チャージポンプ(チャージポンプ 2)が有効になります。タイマー区間終了後は、ループフィルタ切り替えスイッチがオフし通常用チャージポンプ(チャージポンプ 1)が有効になり通常状態に戻ります。

タイマーは< Address4 >の D[12:0]の {FAST[12:0]} で設定します。時間計算は次の数式に従います。

$$\text{位相比較周波数周期} \times \{\text{FAST}[12:0]\} \text{ 設定値}$$

またチャージポンプ電流に関しては通常用(チャージポンプ 1)では 16 段階、ファーストロックアップ用(チャージポンプ 2)では 8 段階変更可能です。

通常用(チャージポンプ 1)の電流値は< Address2 >の D[18:15]の 4 ビットアドレス {CP1[3:0]}への設定値と[BIAS]端子に接続された抵抗値で決まります。抵抗値、レジスタ設定値、電流値の関係は下式の通りです。

$$\text{通常用(チャージポンプ 1)の最小電流値(CP1\_min)} = 0.285 / [\text{BIAS}] \text{端子接続抵抗}$$

$$\text{通常用(チャージポンプ 1)電流} = \text{CP1\_min} \times (\text{チャージポンプ 1 設定値} + 1)$$

ファーストロックアップ用(チャージポンプ 2)の電流値は< Address4 >の D[15:13]の 3 ビットアドレス{CP2[2:0]}への設定値と[BIAS]端子に接続された抵抗値で決まります。抵抗値、レジスタ設定値、電流値の関係は下式の通りです。

$$\text{ファーストロックアップ用(チャージポンプ 2)の最小電流値(CP2\_min)} = 5.7 / [\text{BIAS}] \text{端子接続抵抗}$$

$$\text{ファーストロックアップ用(チャージポンプ 2)電流} = \text{CP2\_min} \times (\text{チャージポンプ 2 設定値} + 4) \text{ 設定値となります。}$$

[BIAS]端子への外付け抵抗は通常用、高速用とも 22~33[kΩ]まで変更する事が出来ます。詳細な電流設定は 10. レジスタ機能説明を参照してください。

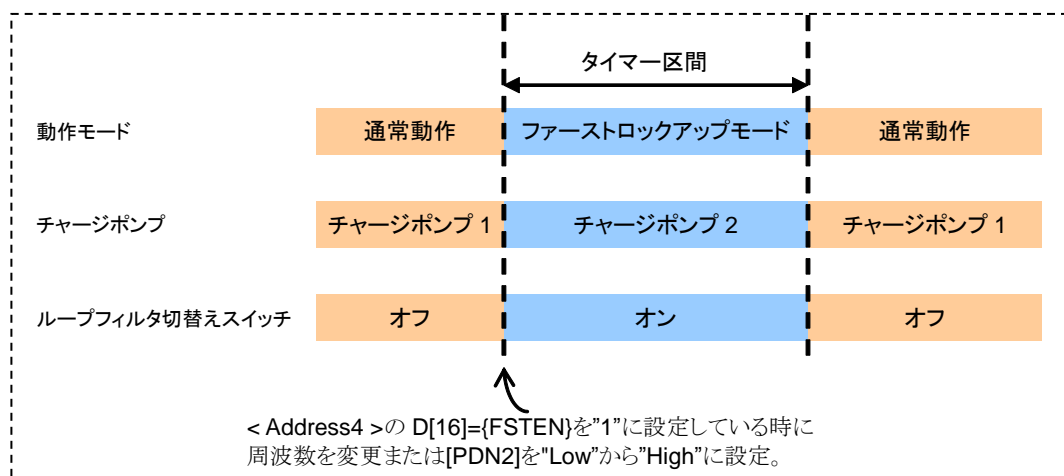


Fig. 6 ファーストロックアップモードタイミングチャート

## 4. ロックディテクト(LD)信号

AK1543 のロックディテクトは< Address3 >の D[11]の{LD}により出力の方法が選択されます。D[11]を"1"にした場合は Phase Detector より位相比較の結果がそのまま出力されます。(これをアナログロックディテクトと呼びます。)D[11]を"0"に設定した場合は内部ロジックに従い、ロックディテクト信号が出力されます。(これをデジタルロックディテクトと呼びます。)

### 4.1 アナログロックディテクト

アナログロックディテクトは位相比較器の出力を[LD]端子から出力します。

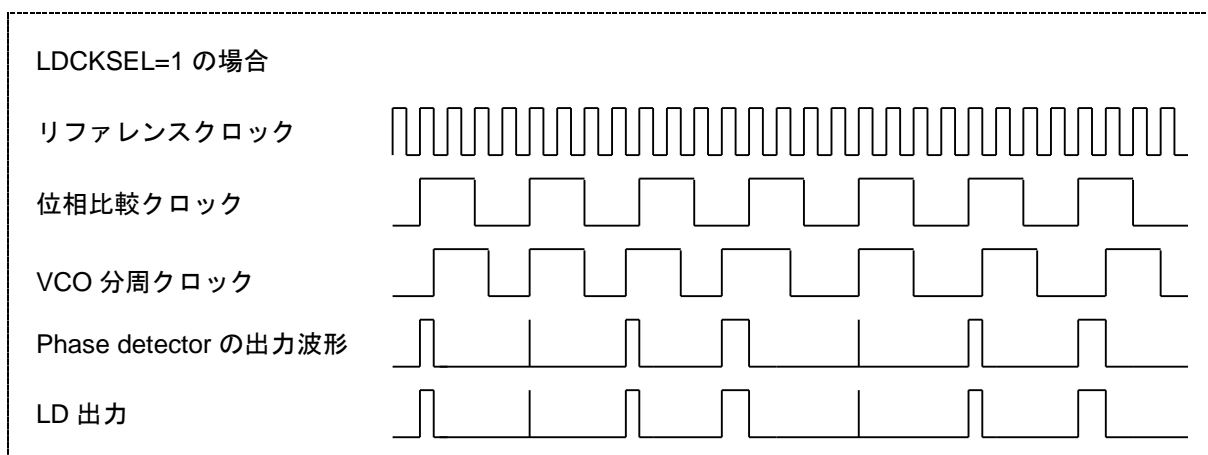


Fig. 7 アナログロックディテクト動作

4.2 デジタルロックディテクト

< Address3 >の LDCKSEL[1:0] = "00"

< Address3 >の LD = "0"

を設定すると AK1543 はデジタルロック検出モードとなります。

周波数設定をした際、[LD]端子はアンロック状態("Low")となります。

デジタルロック検出は位相誤差が T 以下の状態が続けて 63 回検出されると[LD]端子が"High"となります。アンロックは LD 端子が HIGH の状態から位相誤差 T 以上が 63 回続けて検出されると[LD]端子が"Low"となります。

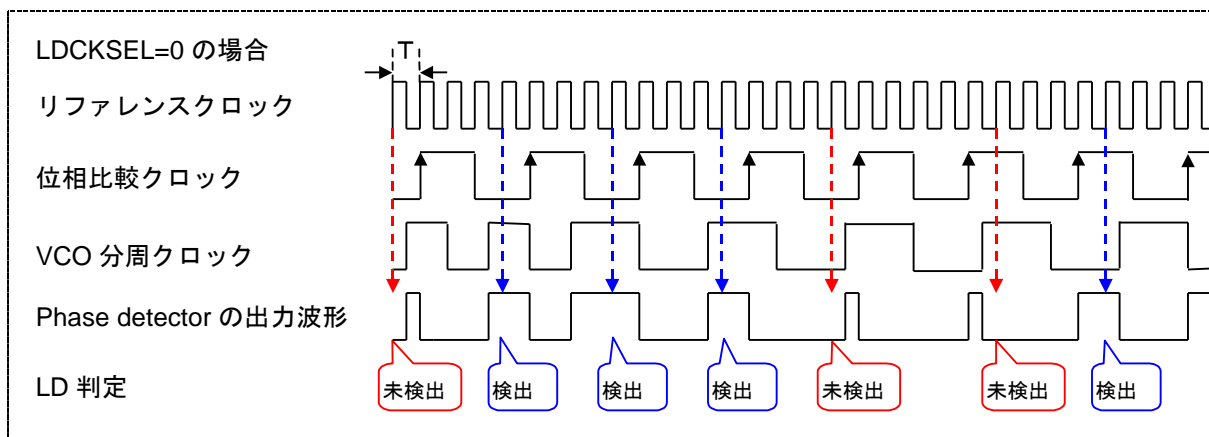


Fig. 8 デジタルロックディテクト動作

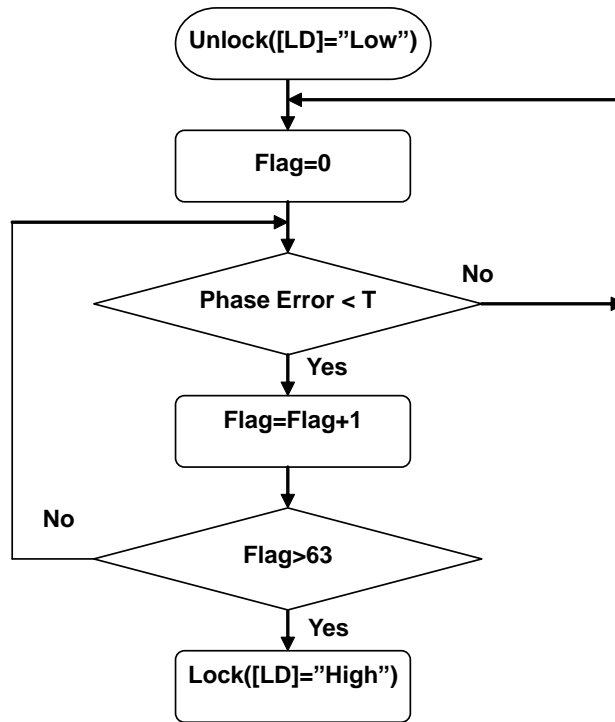


Fig. 9 アンロック ⇒ ロック時の動作フローチャート

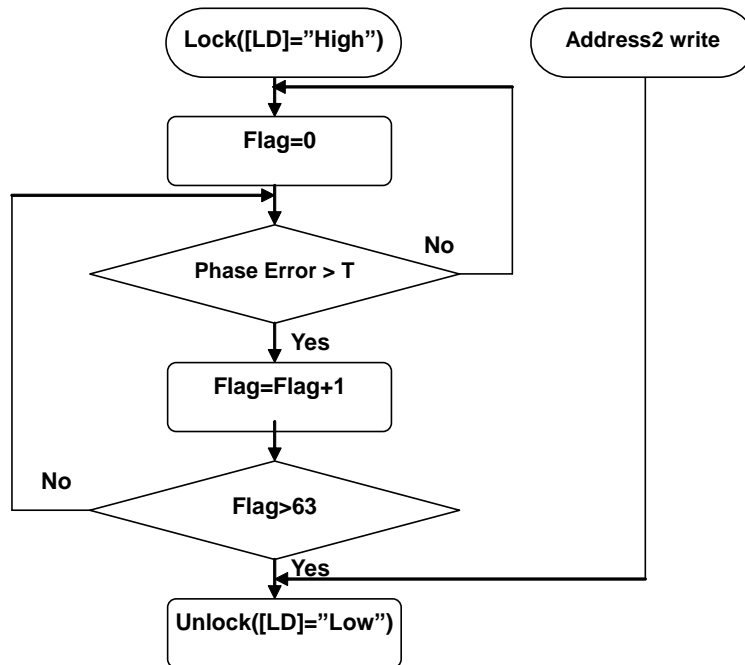


Fig. 10 ロック ⇒ アンロック時の動作フローチャート



## 5. リファレンス入力部

リファレンス入力は< Address3 >の 8 ビット R[7:0]を設定することにより 4～255 までの分周が可能です。0～3 分周の設定は禁止です。

## 6. プリスケイラー、スワローカウンタ部

デュアル・モジュラス・プリスケイラ(P/P+1)とスワローカウンタで大きな分周比を実現します。

プリスケイラーは< Address3 >の 2 ビットの{PRE[1:0]}で設定されます。

{PRE[1:0]}= "00"もしくは"01" の時、P=8 となり 201～16383 の整数項が設定可能です。

{PRE[1:0]}="10"もしくは"11"の 時、P=16 となり 521～32767 の整数項が設定可能です。

整数項の算出方法に関しては、8.ブロック機能説明の周波数設定の項目を参照してください。

## 7. パワーセーブモード

AK1543 は外部端子の制御により必要な時に回路をパワーダウン、パワーセーブする事が可能です。

### ○ 電源投入時

13 章のパワーアップシーケンスを参照し、必ず[PDN1]、[PDN2]の順番で立ち上げてください。[PDN1]、[PDN2]の同時立ち上げは禁止です。

### ○ 通常動作時

端子名		状態
PDN1	PDN2	
"Low"	"Low"	パワーダウン
"Low"	"High"	設定禁止
"High"	"Low"	パワーセーブ 注 1、注 2
"High"	"High"	通常動作状態

注 1 [PDN1]を"High"にしてから 50us 後にレジスタ設定可能です。このときはチャージポンプは Hi-Z です。

注 2 通常動作状態から[PDN2]を"Low"にした場合、レジスタの設定は保持されます。

## 9. レジスタマップ

Name	Data	Address			
Num	D19~D0	0	0	0	1
Int		0	0	1	0
Div		0	0	1	1
Cp_fast		0	1	0	0

Name	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Address
Num	0	0	NUM [17]	NUM [16]	NUM [15]	NUM [14]	NUM [13]	NUM [12]	NUM [11]	NUM [10]	NUM [9]	NUM [8]	NUM [7]	NUM [6]	NUM [5]	NUM [4]	NUM [3]	NUM [2]	NUM [1]	NUM [0]	0x01
Int	0	CP1 [3]	CP1 [2]	CP1 [1]	CP1 [0]	INT [14]	INT [13]	INT [12]	INT [11]	INT [10]	INT [9]	INT [8]	INT [7]	INT [6]	INT [5]	INT [4]	INT [3]	INT [2]	INT [1]	INT [0]	0x02
Div	0	0	0	0	CP HiZ	DITH	LDCK SEL[1]	LDCK SEL[0]	LD	CP POLA	PRE [1]	PRE [0]	R [7]	R [6]	R [5]	R [4]	R [3]	R [2]	R [1]	R [0]	0x03
Cp_fast	0	0	0	FAST EN	CP2 [2]	CP2 [1]	CP2 [0]	FAST [12]	FAST [11]	FAST [10]	FAST [9]	FAST [8]	FAST [7]	FAST [6]	FAST [5]	FAST [4]	FAST [3]	FAST [2]	FAST [1]	FAST [0]	0x04

注 1) アドレス 0x01 の書込みはアドレス 0x02 への書込み時有効となります。このため必ずアドレス 0x01⇒0x02 の順番で書込みを行ってください。

注 2) [PDN1]解除後([PDN1]を"High"にした直後)のレジスタ値は初期値が不定です。確定させるためには全アドレスへの書込みが必要です。

## 10. レジスタ機能説明

## &lt; Address1 : Num &gt;

D19	D18	D[17:0]	Address
0	0	NUM[17:0]	0001

注) Address1 の書込みは Address 2 の書込み時に有効となります。

**NUM[17:0]** : 分子項を 2 の補数表現で設定します。

## &lt; Address2 : Int &gt;

D19	D[18:15]	D[14:0]	Address
0	CP1[3:0]	INT[14:0]	0010

**CP1[3:0]**: 通常用 (チャージポンプ 1) の電流値を設定します。

チャージポンプ 1 の最小電流値 (CP1\_min) は下式で求められます。

$CP1\_min = 0.285 / [BIAS]$  端子接続抵抗

チャージポンプ 1 電流 =  $CP1\_min \times (\text{チャージポンプ 1 設定値} + 1)$

CP1[3:0]	通常用 (チャージポンプ 1) 電流[ $\mu$ A]		
	22k $\Omega$	27k $\Omega$	33k $\Omega$
0000	13.0	10.6	8.6
0001	25.9	21.1	17.3
0010	38.9	31.7	25.9
0011	51.8	42.2	34.5
0100	64.8	52.8	43.2
0101	77.7	63.3	51.8
0110	90.7	73.9	60.5
0111	103.6	84.4	69.1
1000	116.6	95.0	77.7
1001	129.5	105.6	86.4
1010	142.5	116.1	95.0
1011	155.5	126.7	103.6
1100	168.4	137.2	112.3
1101	181.4	147.8	120.9
1110	194.3	158.3	129.5
1111	207.3	168.9	138.2

**INT[14:0]** : 整数項を設定します。

## &lt; Address3 : Div &gt;

D19	D18	D17	D16	D15	D14	D[13:12]	D11	D10	D[9:8]	D[7:0]	Address
0	0	0	0	CPHIZ	DITH	LDCKSEL[1:0]	LD	CPPOLA	PRE[1:0]	R1[7:0]	0011

**CPHIZ:**チャージポンプ 1 出力、チャージポンプ 2 出力を TRI-STATE にします。

D15	機能	備考
0	チャージポンプ動作をさせるモードです。	通常はこの設定で使用してください。
1	TRI-STATE	注 1)

注 1) チャージポンプ出力を OFF にしてチャージポンプの出力をハイインピーダンスにします。

**DITH:**  $\Delta \Sigma$  回路のディザ設定。

D14	機能	備考
0	DITH OFF	
1	DITH ON	推奨設定

ノイズの周期性をなくす処理であるディザリングのオン・オフを選択します。

通常は"1"= DITH ON を推奨いたします。

**LDCKSEL[1:0] :** ロック検出位相誤差設定。

D13	D12	機能	備考
0	0	デジタルロックディテクト	
0	1	設定禁止	
1	0	設定禁止	
1	1	設定禁止	

詳細な機能説明は 8.ブロック機能説明のロックディテクト(LD)信号の項目を参照してください。

**LD:** ロック検出機能切替え設定。

D11	機能	備考
0	デジタル	
1	アナログ	

詳細な機能説明は 8.ブロック機能説明のロックディテクト(LD)信号の項目を参照してください。

CPPOLA: チャージポンプ 1、チャージポンプ 2 の出力極性を切替えます。

D10	機能	備考
0	Positive	
1	Negative	

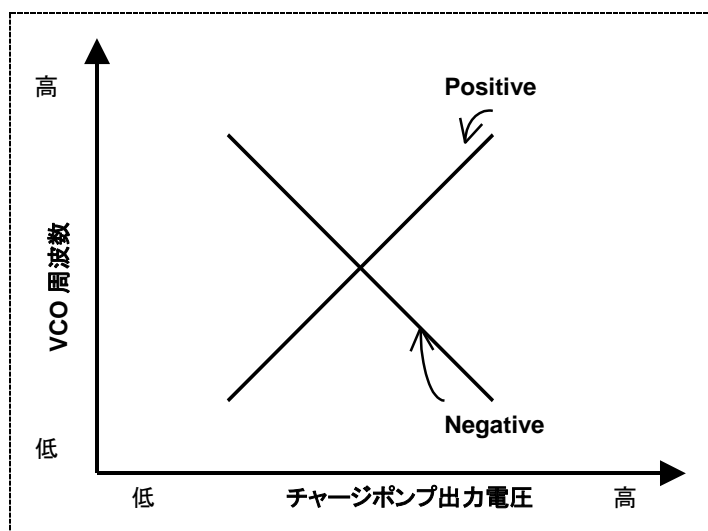


Fig. 11 チャージポンプ極性

## PRE[1:0] : プリスケータ分周選択

D9	D8	機能	備考
0	0	P=8	
0	1	P=8	
1	0	P=16	
1	1	P=16	

## R[7:0]:リファレンスクロック分周設定

4(4分周)～255(255分周)設定可能。0,1,2,3設定は禁止です。

D7	D6	D5	D4	D3	D2	D1	D0	機能	備考
0	0	0	0	0	0	0	0	0	設定禁止
0	0	0	0	0	0	0	1	1	設定禁止
0	0	0	0	0	0	1	0	2	設定禁止
0	0	0	0	0	0	1	1	3	設定禁止
DATA									
1	1	1	1	1	1	0	1	253	
1	1	1	1	1	1	1	0	254	
1	1	1	1	1	1	1	1	255	

## &lt; Address4 : Cp\_fast &gt;

D19	D18	D17	D16	D[15:13]	D[12:0]	Address
0	0	0	FASTEN	CP2[2:0]	FAST[12:0]	0100

**FASTEN** :ファーストロックアップ機能イネーブル設定

D16	機能	備考
0	CP2、FAST[12:0]の切替え設定が無効となります。	
1	CP2、FAST[12:0]の切替え設定が有効となります。	

**CP2[2:0]** : ファーストロックアップ用(チャージポンプ 2)電流値設定

ファーストロックアップ用(チャージポンプ 2)の最小電流値(CP2\_min)は次の式で求められます。

$CP2\_min = 5.7 / [BIAS]$ 端子接続抵抗

ファーストロックアップ用(チャージポンプ 2)電流 =  $CP2\_min \times (\text{チャージポンプ 2 設定値} + 4)$   
となります。

CP2[2:0]	ファーストロックアップ用(チャージポンプ 2)電流[mA]		
	22kΩ	27kΩ	33kΩ
000	1.04	0.84	0.69
001	1.30	1.06	0.86
010	1.55	1.27	1.04
011	1.81	1.48	1.21
100	2.07	1.69	1.38
101	2.33	1.90	1.55
110	2.59	2.11	1.73
111	2.85	2.32	1.90

**FAST[12:0] :FAST カウンタ時間設定**

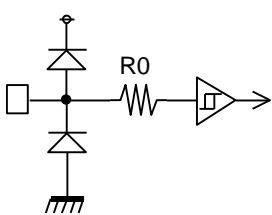
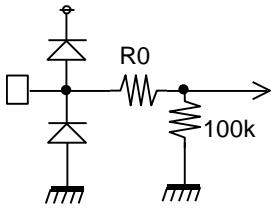
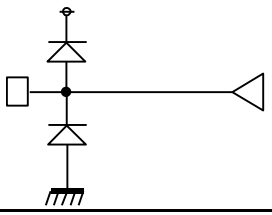
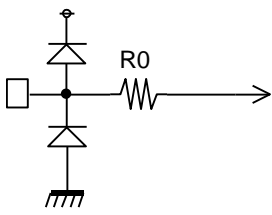
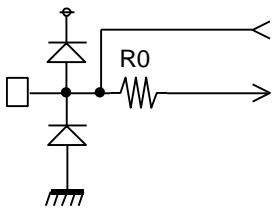
1～8191d 設定可。ファーストロックアップ用チャージポンプの ON 時間を設定します。

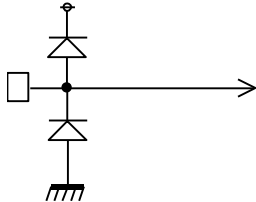
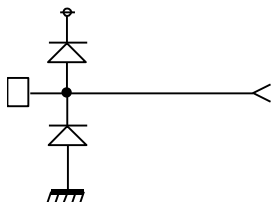
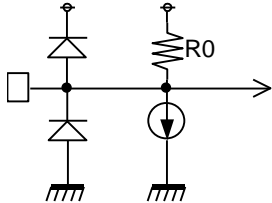
【リファレンスクロック周期×設定値】カウント後にファーストロックアップ用チャージポンプがオフします。0 設定は禁止です。

D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	機能	備考
0	0	0	0	0	0	0	0	0	0	0	0	0	0	設定禁止
0	0	0	0	0	0	0	0	0	0	0	0	1	1 Dec	
0	0	0	0	0	0	0	0	0	0	0	1	0	2 Dec	
DATA														
1	1	1	1	1	1	1	1	1	1	1	0	1	8189 Dec	
1	1	1	1	1	1	1	1	1	1	1	1	0	8190 Dec	
1	1	1	1	1	1	1	1	1	1	1	1	1	8191 Dec	



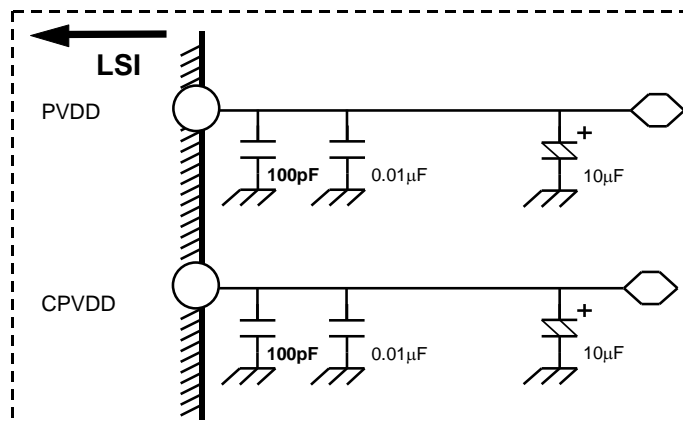
## 11. IC インターフェイス回路

No.	端子名	I/O	R0( $\Omega$ )	Cur( $\mu$ A)	機能
4	LE	I	300		デジタル入力端子 
5	DATA	I	300		
6	CLK	I	300		
8	PDN2	I	300		
9	PDN1	I	300		
2	TEST4	I	300		デジタル入力端子 Pull-Down 
3	TEST1	I	300		
11	TEST2	I	300		
12	TEST3	I	300		
7	LD	O			デジタル出力端子 
10	REFIN	I	300		アナログ入力端子 
13	VREF1	IO	300		アナログ入出力端子 
15	VREF2	IO	300		
19	BIAS	IO	300		
22	CPZ	IO	300		

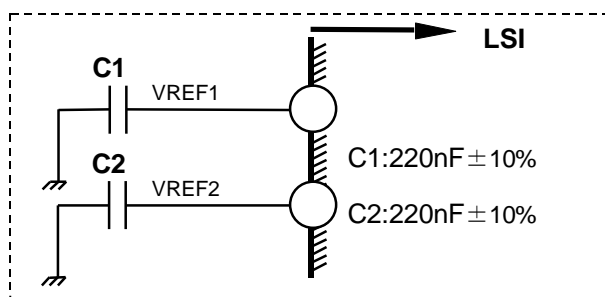
No.	端子名	I/O	R0(Ω)	Cur(μA)	機能
23	SWIN	I			アナログ入力端子 
21	CP	O			アナログ出力端子 
16	RFINN	I	12k	20uA	アナログ入力端子 (RF 入力) 
17	RFINP	I	12k	20uA	

12. 外付け部品接続推奨例

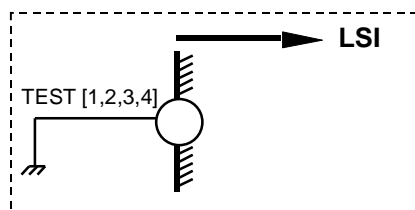
1. PVDD、CPVDD



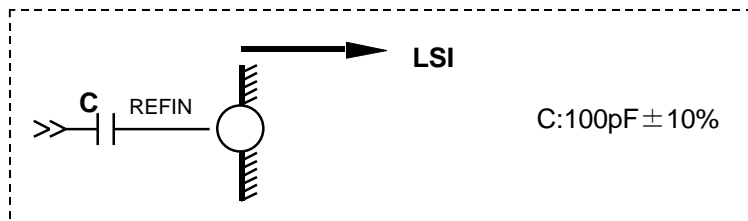
2. VREF1、VREF2



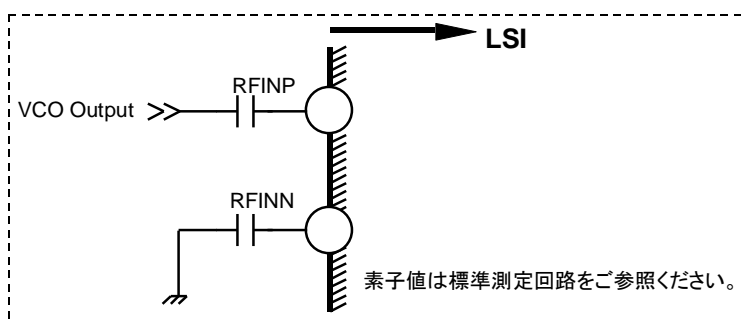
3. TEST [1,2,3,4]



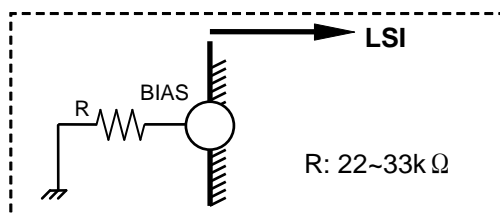
4. REFIN



5. RFINP、RFINN



6. BIAS



### 13. パワーアップシーケンス

#### 1. パワーアップシーケンス(推奨)

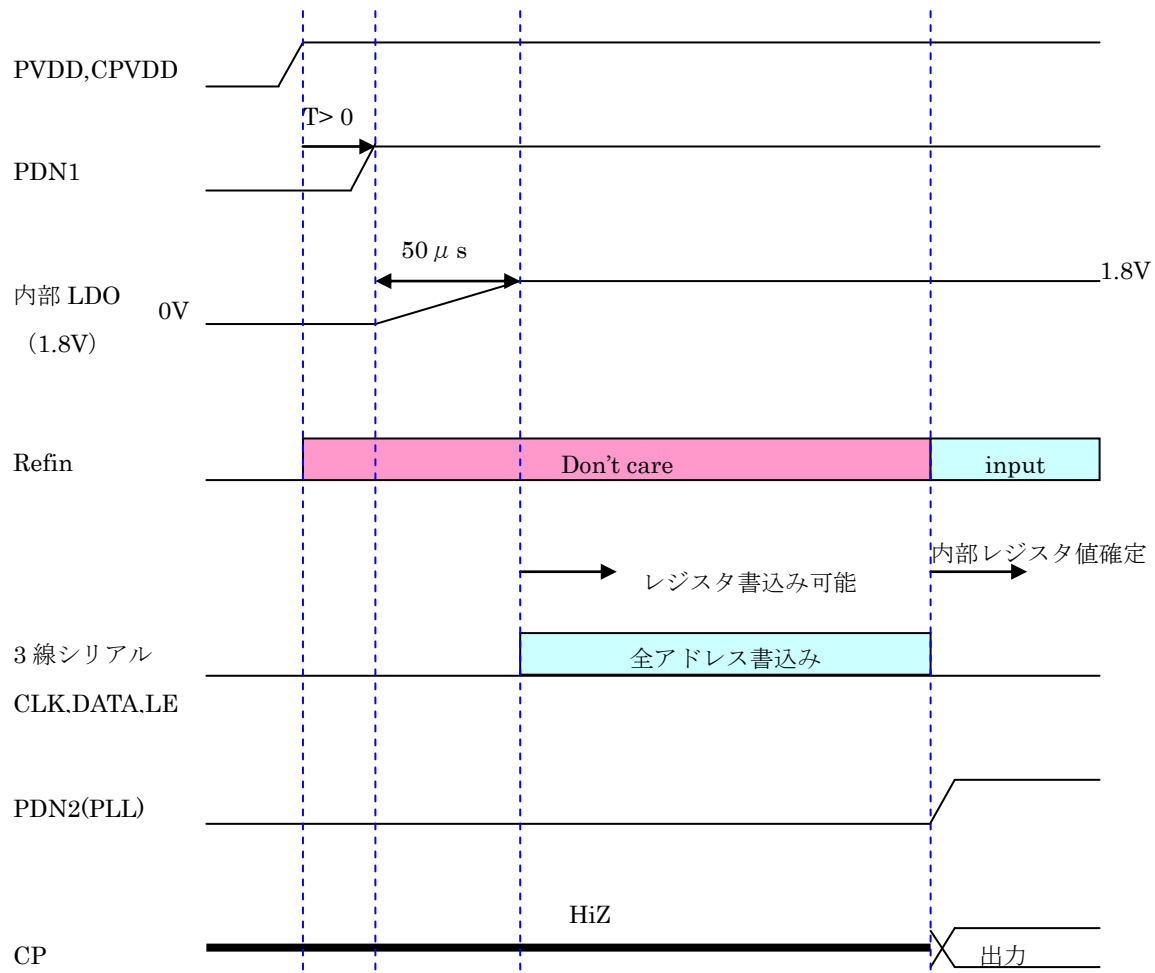


Fig. 12 推奨パワーアップシーケンス

注1) [PDN1]解除後 ([PDN1]を"High"にした直後)のレジスタ値は初期値が不定です。確定させるためには全アドレスへの書込みが必要です。

## 2. パワーアップシーケンス

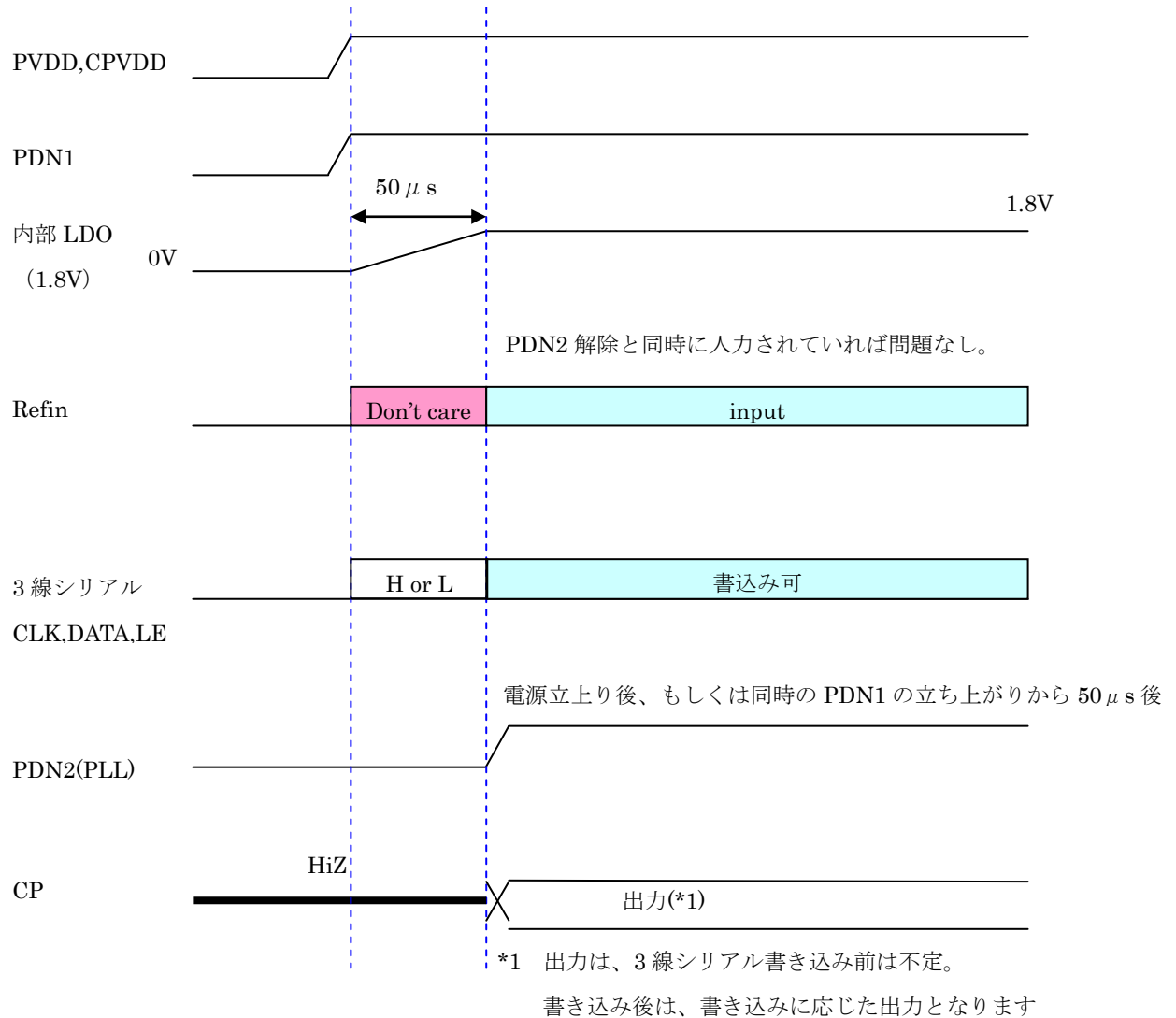


Fig. 13 パワーアップシーケンス

## 14. 標準測定回路

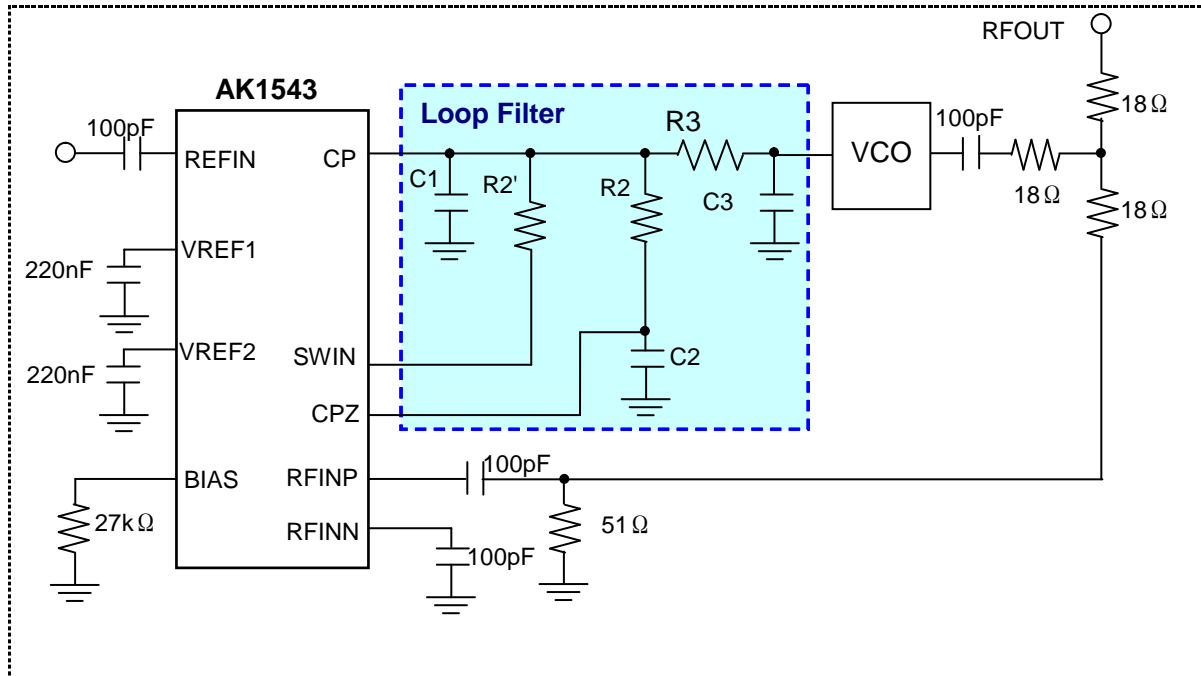


Fig. 14 標準測定回路

[CPZ]端子はファーストロックアップモードを使用しない場合も R2,C2 中間ノードに接続する必要があります。このため R2,C2 は必ず R2 が[CP]端子側、C2 がグランド側に接続してください。

15. 電源別ブロック図

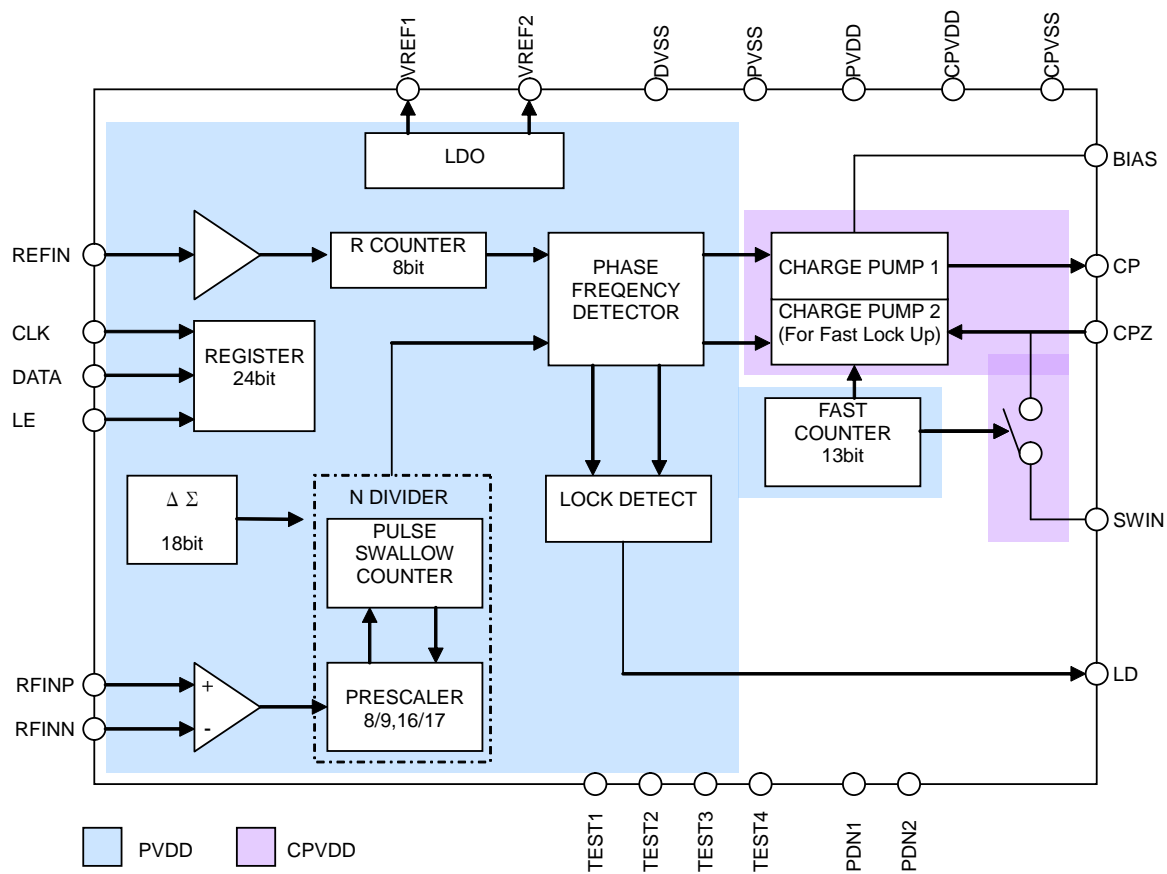


Fig. 15 電源別ブロック図



16. 外形寸法図

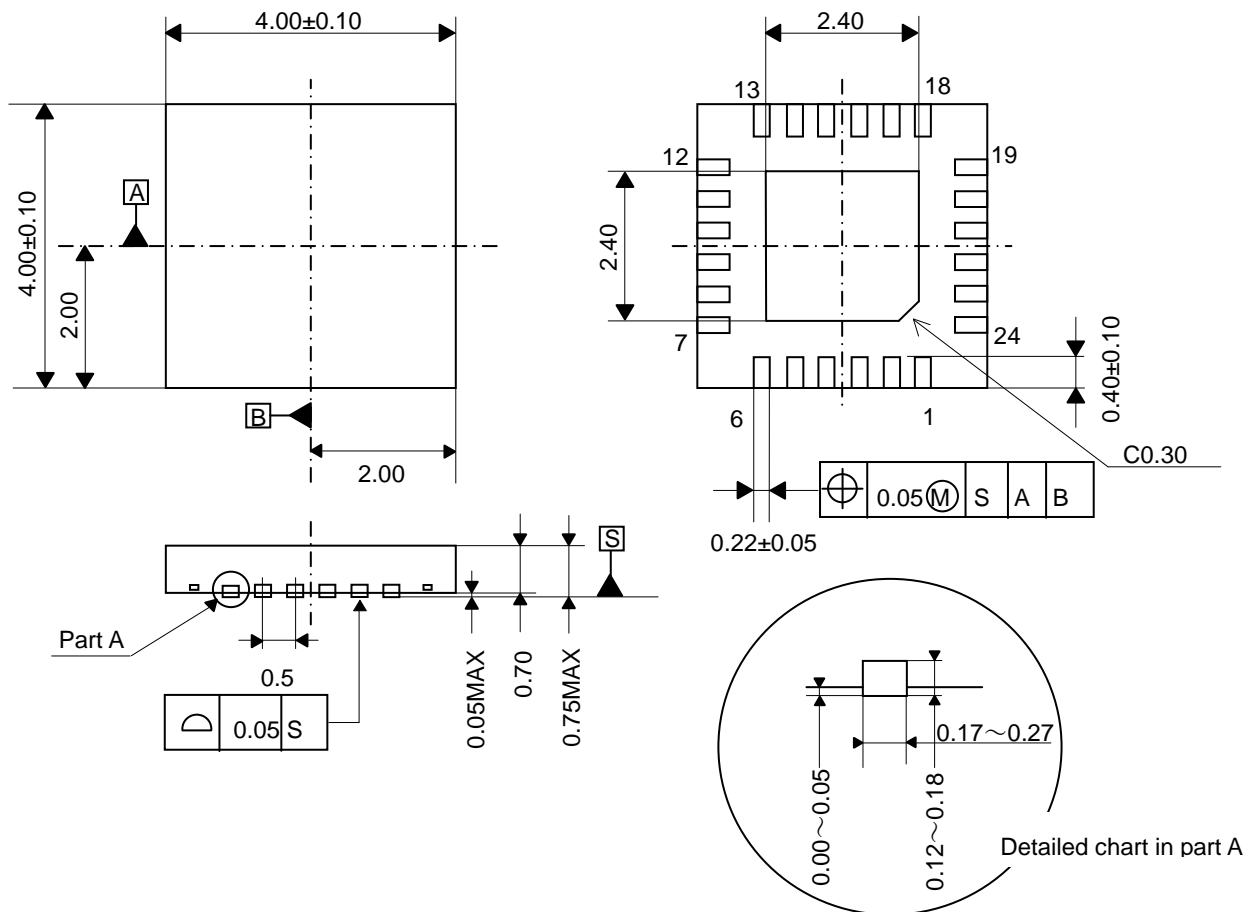


Fig. 16 外形寸法図

注) パッケージ裏面中央の露出パッド(Exposed Pad)はオープンでも電気的特性に影響はありませんが、グランドへの接続を推奨いたします。

**17. マーキング**

- a. 形状 : QFN  
b. ピン数 : 24ピン  
c. 1ピン表示 : ●  
d. 品番 : 1543  
e. 日付コード : YWWL (4桁)
- Y : 西暦年下1桁(2010年 → 0, 2011年 → 1...)  
WW : 週  
L : 製品毎に同一週ウェハーLOTの区別 (A,B,C...)  
→ LOT毎にAから付番

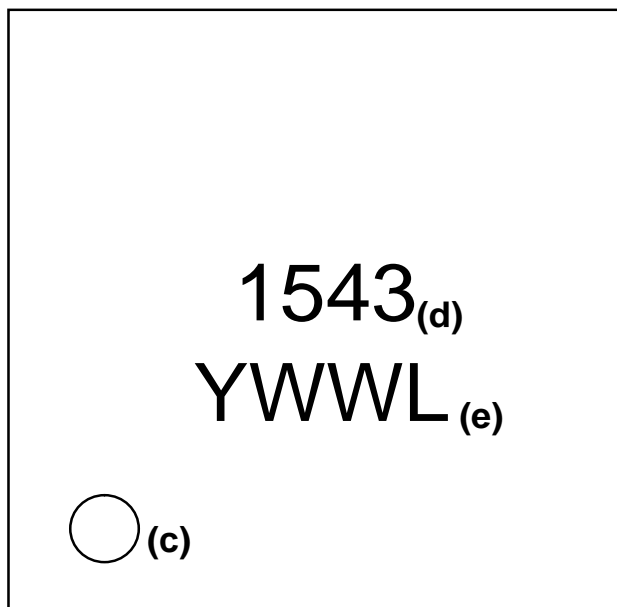


Fig. 17 マーキング図

## 重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
- 本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器設計において本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報を使用される場合は、お客様の責任において行ってください。本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。また、当該使用に起因する、工業所有権その他の第三者の所有する権利に対する侵害につきましても同様です。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取りください。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。

## ●関連製品

Part#	Description	Comments
<b>Mixer</b>		
AK1220	100MHz~900MHz 高線形性ダウンコンバージョンミキサー	IIP3:+22dBm
AK1222	100MHz~900MHz 低消費電流ダウンコンバージョンミキサー	IDD:2.9mA
AK1224	100MHz~900MHz 低ノイズ、高線形性ダウンコンバージョンミキサー	NF:8.5dB, IIP3:+18dBm
AK1228	10MHz~2GHz アップダウンコンバージョンミキサー	3V 動作対応, NF:8.5dB
AK1221	0.7GHz~3.5GHz 高線形性ダウンコンバージョンミキサー	IIP3:+25dBm
AK1223	3GHz~8.5GHz 高線形性ダウンコンバージョンミキサー	IIP3:+13dB, NF:15dB
<b>PLL Synthesizer</b>		
AK1541	20MHz~600MHz 低消費電流 Fractional-N 周波数シンセサイザ	IDD:4.6mA
AK1542	20MHz~600MHz 低消費電流 Integer-N 周波数シンセサイザ	IDD:2.2mA
AK1543	400MHz~1.3GHz 低消費電流 Fractional-N 周波数シンセサイザ	IDD:5.1mA
AK1544	400MHz~1.3GHz 低消費電流 Integer-N 周波数シンセサイザ	IDD:2.8mA
AK1590	60MHz~1GHz Fractional-N 周波数シンセサイザ	IDD:2.5mA
AK1545	0.5GHz~3.5GHz Integer-N 周波数シンセサイザ	16-TSSOP パッケージ
AK1546	0.5GHz~3GHz 低 Phase Noise Integer-N 周波数シンセサイザ	規格化位相雑音:-226dBc/Hz
AK1547	0.5GHz~4GHz Integer-N 周波数シンセサイザ	5V 動作対応
AK1548	1GHz~8GHz 低 Phase Noise Integer-N 周波数シンセサイザ	規格化位相雑音:-226dBc/Hz
<b>IFVGA</b>		
AK1291	100~300MHz アナログ制御方式 可変ゲインアンプ	ダイナミックレンジ:30dB
<b>integrated VCO</b>		
AK1572	690MHz~4GHz Frac.-N PLL/VCO 内蔵ダウンコンバージョンミキサー	IIP3:24dBm, -111dBc/Hz@100kHz
AK1575	690MHz~4GHz Frac.-N PLL/VCO 内蔵アップコンバージョンミキサー	IIP3:24dBm, -111dBc/Hz@100kHz
<b>IF Receiver (2nd Mixer + IF BPF + FM Detector)</b>		
AK2364	帯域可変 IFBPF 内蔵 FM 検波 LSI	帯域可変:±10kHz ~ ±4.5kHz
AK2365A	帯域可変 IFBPF 内蔵 IFIC	帯域可変:±7.5kHz ~ ±2kHz
<b>Analog BB for PMR/LMR</b>		
AK2345C	CTCSS 用エンコーダ/デコーダ	24-VSOP パッケージ
AK2360/ AK2360	周波数反転方式(3.376kHz/3.020kHz)秘話 LSI	8-SON パッケージ
AK2363	MSK モデム/DTMF レシーバ搭載 LSI	24-QFN パッケージ
AK2346	0.3-2.55/3.0kHz アナログ音声フィルタ、 エンファシス、コンパンダ、秘話回路、MSK モデム内蔵 LSI	24-VSOP パッケージ
AK2346		24-QFN パッケージ
AK2347	0.3-2.55/3.0kHz アナログ音声フィルタ、 エンファシス、コンパンダ、秘話回路、CTCSS フィルタ内蔵 LSI	24-VSOP パッケージ
AK2347		24-QFN パッケージ
<b>Function IC</b>		
AK2330	8-bit 8ch 電子ボリューム	各 ch 毎の基準電圧設定が可能
AK2331	8-bit 4ch 電子ボリューム	各 ch 毎の基準電圧設定が可能

上記情報は、予告なく変更することがあります。ご使用を検討の際には、上記情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。