

**DAC型 8bit 4ch電子ボリューム****特 長**

- 8bit の乗算型 D/A コンバータを 4ch 内蔵
- 外部 1、内部 3 系統の D/A コンバータ基準電圧に対応
- 低歪み(Typ:-60dB)、Rail-to-rail 動作のバッファアンプを内蔵
- 個別電源の 3 線シリアル方式により、3V 制御、5V 動作に対応
- 動作電圧: 2.6~5.5V
- 動作温度: -40~+85°C
- パッケージ: 16pin QFNJ (3.0 x 3.0 x 0.70mm, 0.5mm pitch)

**概 要**

AK2331は、8bitの乗算型D/Aコンバータ 4chを1チップに集積化した電子ボリュームです。D/Aコンバータの基準電圧は、各ch毎に外部1系統(VREF端子レベル)、内部3系統(VSS, AVDD, AVDD/2)から選択でき、通常のD/Aコンバータ、入力端子(VIN0~7)からの信号をアッテネートする電子ボリュームとして使用できます。また、D/Aコンバータの後段にはバッファアンプを内蔵しており、Rail-to-railの出力と歪率:-60dBの信号が得られます。

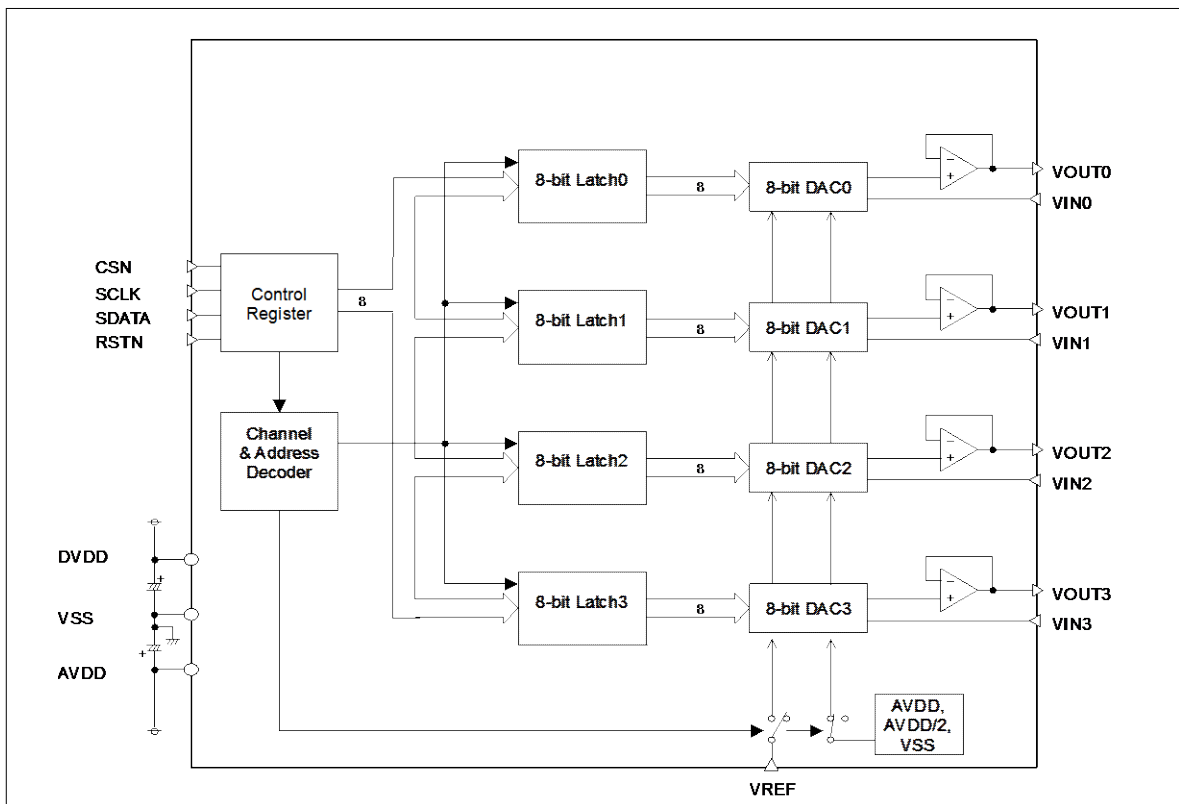
動作設定は、4bitのアドレス、8bitのデータからなるシリアル入力(SDATA)を、CSN、SCLK信号に同期させる3線シリアル方式を採用し、また電源をD/Aコンバータ部とは個別(DVDD)に設けることで、3Vでのシリアル制御、5VでのD/Aコンバータ動作が可能となります。さらに内部で生成したAVDD/2レベルをD/Aコンバータを迂回しバッファアンプを介してVOUT0~3端子に出力したり、バッファアンプをパワーダウンする等の設定が可能です。

パッケージには、3.0mm角 0.70mm高の小型低背の16pin QFNJを採用し、高密度実装を実現いたします。

## 目次

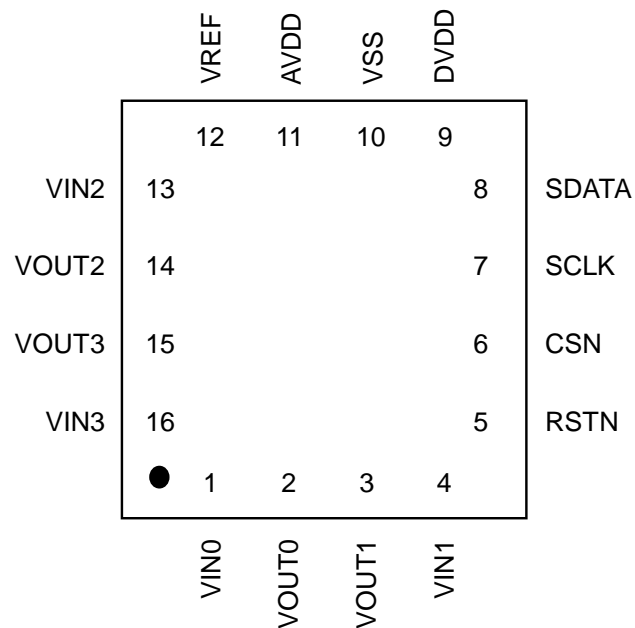
特長.....	1
概要.....	1
目次.....	2
ブロック図.....	3
ピン配置 .....	3
ブロック機能説明 .....	4
ピン機能説明 .....	5
絶対最大定格 .....	6
推奨動作条件 .....	6
消費電流 .....	6
デジタル DC 特性.....	7
システムリセット.....	7
アナログ特性 .....	8
デジタル AC タイミング .....	11
レジスタ機能説明.....	12
外部接続回路推奨例 .....	15
パッケージ.....	16
重要な注意事項 .....	17

## ブロック図



## ピン配置

ピン配置 (Top-view)



## ブロック機能説明

ブロック	機 能
Control Register	コントロールレジスタは、4bitのアドレス、8bitのデータからなるシリアルデータ(SDATA)を、CSN、SCLK信号に同期して入力することでレジスタデータを設定する回路です。 電源立ち上げ時には、RSTN端子よりシステムリセットを実行すると全てのレジスタは初期化されます。また <b>SRST</b> レジスタにより同様のリセット(ソフトリセット)を掛けることが可能です。 (レジスタの説明を参照)
Channel & Address Decoder	コントロールレジスタで設定されたデータをデコードし、該当するD/Aコンバータ、基準電圧を設定します。
8-bit Latch0 to 3	コントロールレジスタからのレジスタデータを保持する回路です。
8-bit DAC0 to 3	前段でラッチされたデータにより設定される、8bitのD/Aコンバータです。
Buffer	Rail-to-rail動作するバッファアンプです。

## ピン機能説明

ピン番号	ピン名称	ピンタイプ	システムリセット時ピン状態	機能
5	RSTN	DI	Z	リセット端子
6	CSN	DI	Z	シリアルインターフェイス用チップセレクト入力端子
7	SCLK	DI	Z	シリアルインターフェイス用クロック入力端子
8	SDATA	DI	Z	シリアルインターフェイス用入力端子
9	DVDD	PWR	-	デジタルVDD電源端子 2.6~5.5Vの電源に接続してください。またVSS端子間に0.1μF以上のバイパスコンデンサを接続してください。
10	VSS	PWR	-	VSS電源端子 常時、0Vの電圧を印可してください。
11	AVDD	PWR	-	アナログVDD電源端子 2.6~5.5Vの電源に接続してください。またVSS端子間に0.1μF以上のバイパスコンデンサを接続してください。 DVDD ≤ AVDDの関係が維持されるよう電圧を印可してください。
12	VREF	AI	Z	D/Aコンバータ基準電圧入力端子
1	VIN0	AI	L	D/Aコンバータ入力端子
4	VIN1	AI	L	
13	VIN2	AI	L	
16	VIN3	AI	L	
2	VOUT0	AO	Z	D/Aコンバータ・バッファアンプ出力端子
3	VOUT1	AO	Z	
14	VOUT2	AO	Z	
15	VOUT3	AO	Z	

注) A: Analog, D: Digital, PWR: Power, I: Input, O: Output, Z: High-Z

### 絶対最大定格

項目	記号	Min.	Max.	単位
電源電圧	AVDD	-0.3	6.5	V
	DVDD	-0.3	6.5	V
グラウンドレベル	VSS	0	0	V
入力印可電圧	$V_{IN}$	-0.3	AVDD+0.3 DVDD+0.3	V
入力印可電流(電源ピンを除く)	$I_{IN}$	-10	+10	mA
保存温度	$T_{stg}$	-55	130	°C

注) 電圧は全てVSS端子に対する値です。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。  
また通常の動作は、保証されません。

### 推奨動作条件

項目	記号	条件	Min.	Typ.	Max.	単位
動作温度	Ta		-40		+85	°C
動作電源電圧	AVDD		2.6	5.0	5.5	V
	DVDD	$DVDD \leq AVDD$	2.6	5.0	5.5	V
アナログ出力負荷容量	AOC				100	pF

注) 電圧は全てVSS端子に対する値です。

### 消費電流

項目	記号	条件	Min.	Typ.	Max.	単位
消費電流	SIDD	DVDD=AVDD=5V VIN=AVDD, DACREF:VSS (システムリセット時)		1	20	μA
	IDD1	DVDD=AVDD=5V VIN=AVDD, DACREF:VSS VOOUT[3:0]=0x80		0.6	1.2	mA
	IDD2	DVDD=AVDD=5V VIN=AVDD DACREF:AVDD/2 VOOUT[3:0]=0x00			0.75	1.5

注) DACREFは、DAC基準電圧の内部設定レベルを示す。

消費電流の条件として、VIN端子入力電流を含まない。また、無負荷とする。

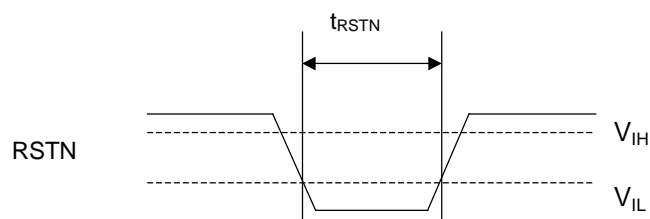
## デジタルDC特性

項目	記号	条件	Min.	Typ.	Max.	単位
高レベル入力電圧	$V_{IH}$	CSN, SCLK, SDATA, RSTN	0.8DVDD			V
低レベル入力電圧	$V_{IL}$	CSN, SCLK, SDATA, RSTN			0.2DVDD	V
高レベル入力電流	$I_{IH}$	$V_{IH}=DVDD$ CSN, SCLK, SDATA, RSTN			1	$\mu A$
低レベル入力電流	$I_{IL}$	$V_{IL}=0V$ CSN, SCLK, SDATA, RSTN	-1			$\mu A$

## システムリセット

項目	記号	条件	Min.	Typ.	Max.	単位	備考
ハードウェアリセット 信号入力幅	$t_{RSTN}$	RSTN端子	1			$\mu s$	注1)
ソフトウェアリセット		SRSTレジスタ					注2)

注1) 電源投入後、35ms以上経過してからハードウェアリセット動作(レジスタの初期化)を必ず行なって下さい。  
1 $\mu s$ 以上の“Low”パルス入力でリセットが掛かります。またこの時のデジタル入力(DI)端子は、RSTN:High、  
CSN:High、SCLK:Low、とご設定ください。



注2) **SRST[7:0]**レジスタに0xAA:10101010データを書き込むと、ソフトウェアリセットが実行されます。  
この設定により、全てのレジスタは初期値となります。  
詳細については、“レジスタ機能説明”の項をご参照ください。

## アナログ特性

特記なき場合、AVDD=4.5~5.5V、VSS=0V、AVDD≥VIN、VREF= 0V~AVDD、Ta=-40~+85°C  
 DACREFは、DAC基準電圧の内部設定レベルを示す。

項目	記号	条件	Min.	Typ.	Max.	単位
VREF端子リーク電流	$I_{VREF}$	VIN=AVDD=5V VREF=0V			10	μA
VREF端子入力電圧範囲	$V_{VREF}$	VIN=AVDD=5V	0.2		AVDD-0.2	V
分解能	RES			8		bit
微分非直線性誤差	DNL	VIN=AVDD=5V DACREF:VSS	-1		+1	LSB
非直線性誤差 注1)	INL	IAO = 0μA VOUT[7:0]=0x02~0xFF	-1.5		+1.5	LSB
バッファアンプ出力電圧範囲	VAO1	IAO = 0μA VIN=AVDD, DACREF:VSS VOUT[7:0]=0x00			0.1	V
		IAO = 0μA VIN=AVDD, DACREF:VSS VOUT[7:0]=0xFF	AVDD-0.1			V
	VAO2	IAO ≤ 1mA VIN=AVDD, DACREF:VSS VOUT[7:0]=0x00			0.4	V
		IAO ≤ 1mA VIN=AVDD, DACREF:VSS VOUT[7:0]=0xFF	AVDD-0.4			V
AVDD2O[7:0]設定時、 AVDD/2出力電圧	VAO3	AVDD=5V  IAO ≤ 1mA	2.45	2.5	2.55	V
出力振幅レベル	FIN	AVDD=5V DACREF: AVDD/2 VIN=3Vp-p, 10kHz VOUT[7:0]=0xFF RL=22kΩ, CL=100pF	2.7	3.0		Vp-p
歪率(S/N+D)	SINAD	AVDD=5V DACREF: AVDD/2 VIN=3Vp-p, 1kHz VOUT[7:0]=0x0A~0xFF RL=22kΩ, CL=100pF 30kHz LPF使用	56	60		dB
DAC出力セリング時間	$t_{LDD}$	VOUT[7:0]=0x10↔0xEF 出力が最終値の1/2LSBに なるまで。RS=2.2kΩ, RL=22kΩ,CL=1000pF			300	μs
VIN端子入力インピーダンス	$R_{IN}$			135		kΩ
VOUT端子出力インピーダンス	$R_{OUT}$			20		Ω

注1) “02”設定時の出力電圧と”FF”設定時の出力電圧を結ぶ理想直線に対する、入出力曲線の誤差  
 (エンドポイント法)。

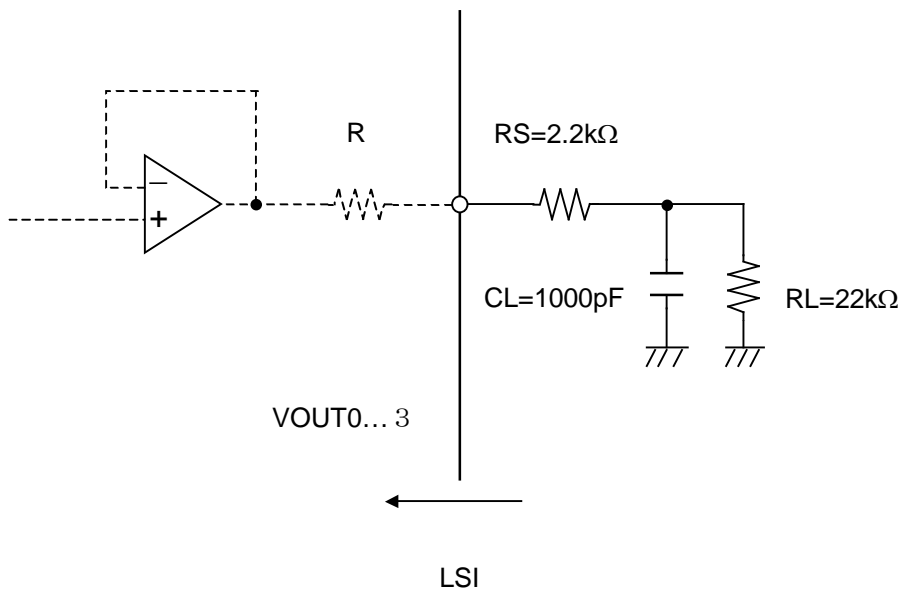


特記なき場合、AVDD=2.6~3.3V、VSS=0V、AVDD≥VIN、VREF= 0V~AVDD、Ta=-40~+85℃  
 DACREFは、DAC基準電圧の内部設定レベルを示す。

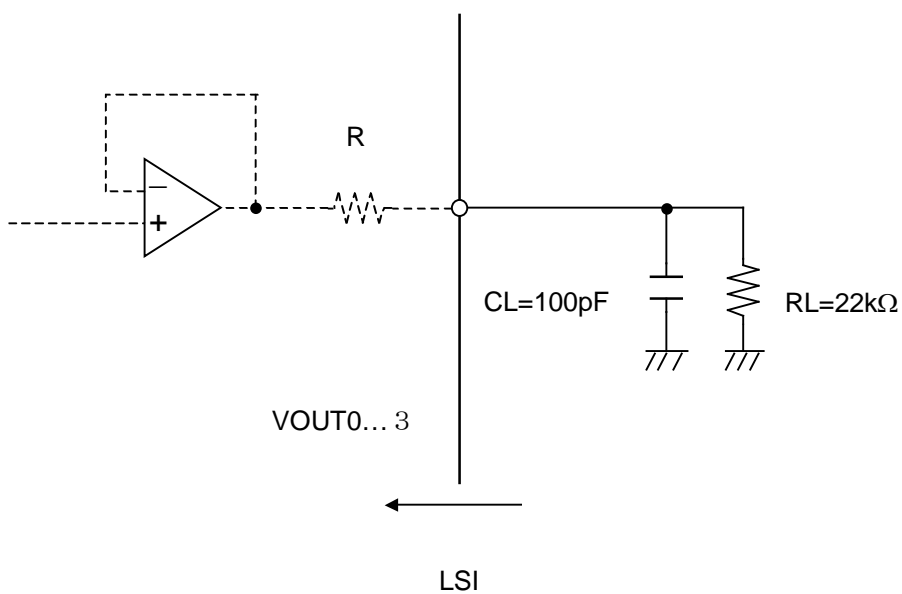
項目	記号	条件	Min.	Typ.	Max.	単位
分解能	RES			8		bit
微分非直線性誤差	DNL	VIN=AVDD=3V DACREF:VSS	-1		+1	LSB
非直線性誤差 注2)	INL	IAO = 0μA VOUT[7:0]=0x02~0xFF	-1.5		+1.5	LSB
バッファアンプ出力電圧範囲	VAO4	IAO ≤ 600μA VIN=AVDD DACREF:VSS VOUT[7:0]=0x00			0.4	V
		IAO ≤ 600μA VIN=AVDD DACREF:VSS OUT[7:0]=0xFF	AVDD-0.4			V
歪率(S/N+D)	SINAD	AVDD=3V DACREF: AVDD/2 VIN=1.8Vp-p, 1kHz VOUT[7:0]=0x0A~0xFF RL=22kΩ, CL=100pF 30kHz LPF使用	45	55		dB

注2) “02”設定時の出力電圧と”FF”設定時の出力電圧を結ぶ理想直線に対する、入出力曲線の誤差。

注3) DACとして使用する場合の負荷条件(セトリング時間測定時の負荷条件)



注4) アッテネータとして使用する場合の負荷条件(歪率測定時の負荷条件)



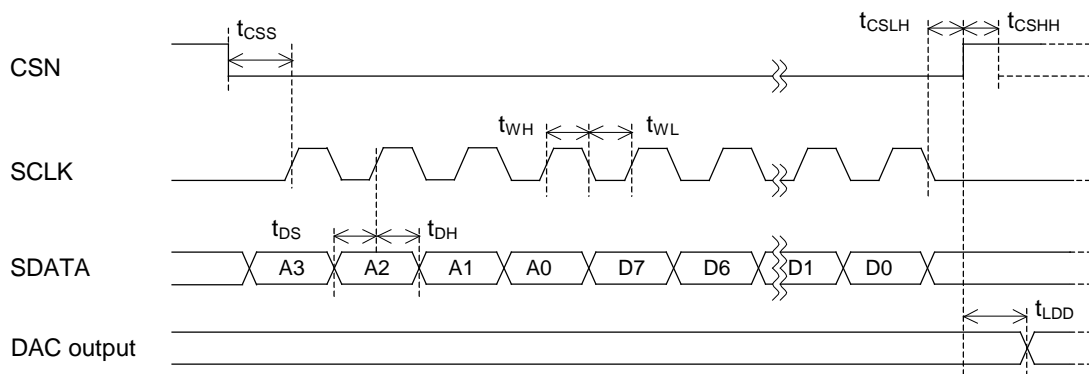
## デジタルACタイミング

### 1) シリアルインターフェイス タイミング

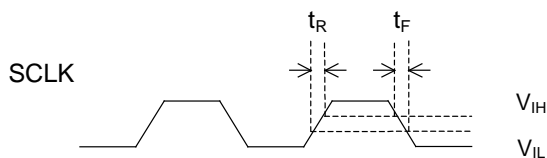
AK2331は、CSN, SCLK, SDATAの3線同期式シリアルインターフェイスにより、データの書き込みを行いません。

SDATA(シリアルデータ)は、レジスタアドレス(MSBファースト,A3~A0)とコントロールデータ(MSBファースト,D7~D0)で構成されます。

- ① CSN(チップセレクト)は、通常”High”に設定します。  
CSNを”Low”に設定すると、シリアルインターフェイスがアクティブとなります。
- ② 書き込みは、CSNが”Low”区間で、12個のSCLKクロックの立ち上がりに同期して、アドレス、データの順に取り込みます。
- ③ 書き込みは、CSNの”Low”区間に12クロックがSCLKより入力されることを想定しています。  
12クロックを上回ったり下回るクロックが入力されると、データが正しく設定されませんのでご注意ください。



立ち上がり、立下り時間



項目	記号	条件	Min.	Typ.	Max.	単位
CSN setup time	$t_{CSS}$		100			ns
SDATA setup time	$t_{DS}$		100			ns
SDATA hold time	$t_{DH}$		100			ns
SCLK high time	$t_{WH}$		500			ns
SCLK low time	$t_{WL}$		500			ns
CSN low hold time	$t_{CSLH}$		100			ns
CSN high hold time	$t_{CSHH}$		100			ns
DAC output settling time	$t_{LDD}$	VOUT[7:0]=0x10↔ 0xEF出力が最終値 の1/2LSBになるまで RS=2.2kΩ, RL=22kΩ, CL=1000pF			300	μs
SCLK rising time	$t_R$				100	ns
SCLK falling time	$t_F$				100	ns

注) デジタル入力のタイミングは、立ち上がり・立ち下がり信号の0.5DVDDの値を基準とします。

## レジスタ機能説明

### 1) レジスタの構成

アドレス				設定内容	データ							
A3	A2	A1	A0		D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	VOUT0レジスタ	VOUT07	VOUT06	VOUT05	VOUT04	VOUT03	VOUT02	VOUT01	VOUT00
0	0	0	1	VOUT1レジスタ	VOUT17	VOUT16	VOUT15	VOUT14	VOUT13	VOUT12	VOUT11	VOUT10
0	0	1	0	VOUT2レジスタ	VOUT27	VOUT26	VOUT25	VOUT24	VOUT23	VOUT22	VOUT21	VOUT20
0	0	1	1	VOUT3レジスタ	VOUT37	VOUT36	VOUT35	VOUT34	VOUT33	VOUT32	VOUT31	VOUT30
0	1	0	0	未使用	-	-	-	-	-	-	-	-
0	1	0	1	未使用	-	-	-	-	-	-	-	-
0	1	1	0	未使用	-	-	-	-	-	-	-	-
0	1	1	1	未使用	-	-	-	-	-	-	-	-
1	0	0	0	VREFレジスタ	DA3REF1	DA3REF0	DA2REF1	DA2REF0	DA1REF1	DA1REF0	DA0REF1	DA0REF0
1	0	0	1	未使用	-	-	-	-	-	-	-	-
1	0	1	0	AVDD/2レジスタ	-	-	-	-	AVDD2O3	AVDD2O2	AVDD2O1	AVDD2O0
1	0	1	1	BUFONレジスタ	-	-	-	-	BUFON3	BUFON2	BUFON1	BUFON0
1	1	0	0	ソフトウェアリセット	SRST[7:0]							
1	1	0	1	VOUT0~VOUT3 制御レジスタ	-	-	-	-	CTRL3	CTRL2	CTRL1	CTRL0
1	1	1	0	未使用	-	-	-	-	-	-	-	-
1	1	1	1	未使用	-	-	-	-	-	-	-	-

注) “-”で示すデータにアクセスした場合、LSIの動作に影響はありません。

### 2) レジスタの説明

#### 2.1) VOUTレジスタ

アドレス				データ							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	VOUT07	VOUT06	VOUT05	VOUT04	VOUT03	VOUT02	VOUT01	VOUT00
↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓	↓
0	0	1	1	VOUT37	VOUT36	VOUT35	VOUT34	VOUT33	VOUT32	VOUT31	VOUT30
初期値				0	0	0	0	0	0	0	0

D7	D6	D5	D4	D3	D2	D1	D0	VOUT0~3出力
0	0	0	0	0	0	0	0	$VOUT = (VIN - VREF) \cdot 0/256 + VREF$
0	0	0	0	0	0	0	1	$VOUT = (VIN - VREF) \cdot 1/256 + VREF$
0	0	0	0	0	0	1	0	$VOUT = (VIN - VREF) \cdot 2/256 + VREF$
↓	↓	↓	↓	↓	↓	↓	↓	↓
1	1	1	1	1	1	1	0	$VOUT = (VIN - VREF) \cdot 254/256 + VREF$
1	1	1	1	1	1	1	1	$VOUT = (VIN - VREF) \cdot 255/256 + VREF$

注) レジスタ値のDAC出力へ反映タイミングは、VOUT0~VOUT3制御レジスタによって制御されます。

## 2.2) VREFレジスタ

アドレス				データ							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	DA3REF1	DA3REF0	DA2REF1	DA2REF0	DA1REF1	DA1REF0	DA0REF1	DA0REF0
初期値				0	0	0	0	0	0	0	0

DA3REF1 ～ DA0REF1	DA3REF0 ～ DA0REF0	DAC基準電圧	備考
0	0	VSS (内部)	
0	1	AVDD (内部)	
1	0	AVDD/2 (内部)	
1	1	VREF (外部)	

## 2.3) AVDD/2レジスタ

アドレス				データ							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
1	0	1	0	-	-	-	-	AVDD2O3	AVDD2O2	AVDD2O1	AVDD2O0
初期値				-	-	-	-	0	0	0	0

データ	設定項目	機能		備考
		0	1	
AVDD2O3 ～ AVDD2O0	内部AVDD/2出力	DAC出力	DACをバイパスし、 AVDD/2レベルをバッファを 介して出力する	

注) 内部で生成されるAVDD/2レベルは、このレジスタによりVOUT0～3端子に出力できます。

## 2.4) BUFONレジスタ

アドレス				データ							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
1	0	1	1	-	-	-	-	BUFON3	BUFON2	BUFON1	BUFON0
初期値				-	-	-	-	0	0	0	0

データ	設定項目	機能		備考
		0	1	
BUFON3 ～ BUFON0	DACバッファ動作	バッファをパワーダウンし、 Hi-Zを出力する	バッファ出力	

## 2.5) ソフトウェアリセットレジスタ

アドレス				データ							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
1	1	0	0	SRST[7:0]							
初期値				0	0	0	0	0	0	0	0

**SRST[7:0]**レジスタに0xAA:10101010を設定することで、ソフトウェアリセットが実行されます。  
 この設定により、全てのレジスタは初期値となります。  
 このレジスタは、ソフトウェアリセット完了後は“0”となります。

## 2.6) VOUT3～VOUT0制御レジスタ

アドレス				データ							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
1	1	0	1	-	-	-	-	CTRL3	CTRL2	CTRL1	CTRL0
初期値				-	-	-	-	0	0	0	0

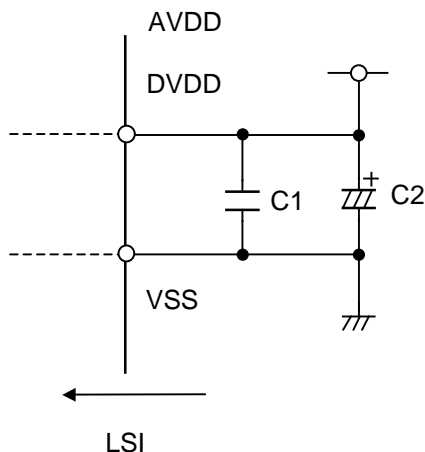
データ	設定項目	機能		備考
		0	1	
CTRL3 ～ CTRL0	VOUT0～VOUT3 出力制御	VOUT[7:0]データを出力	VOUT[7:0]データを保持	

**CTRL**レジスタ設定によって、各DACデータをラッチするタイミングを一致させることができます。  
**CTRL**レジスタに“0”が設定されている場合は**VOUT[7:0]**データ設定後、直ちにDAC出力に**VOUT[7:0]**データが反映されます。  
**CTRL**レジスタに“1”が設定されている場合は、**VOUT[7:0]**データの設定を行ってもDAC出力には反映されずデータを保持するため、各DAC出力は“1”に設定時の**VOUT[7:0]**データを出力し続けます。“0”が設定されたタイミングで、設定されている**VOUT[7:0]**データがDAC出力に反映されます。

## 外部接続回路推奨例

### 1) 電源安定化容量

電源に含まれるリップル、ノイズ等を除去するため、VDD-VSS端子間に下図のようにコンデンサをご接続ください。コンデンサは両端子間の最短距離に配置すると効果的です。

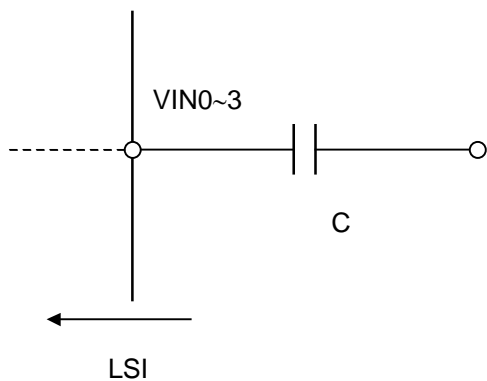


C1=0.1 $\mu$ F (Ceramic cap)

C2=4.7 $\mu$ F (Electrolytic cap)

### 2) VIN0~3外付け容量

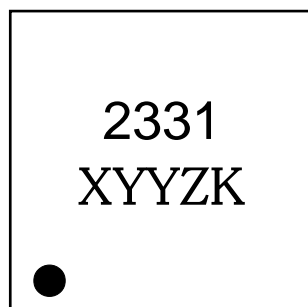
VIN端子にアナログ信号を入力する場合、入力信号のDCオフセットとLSI内部の動作点を調整するためにコンデンサを接続ください。これにより約 $f_c=120\text{Hz}$ のハイパス・フィルタが構成されます。



C=0.01 $\mu$ F

パッケージ

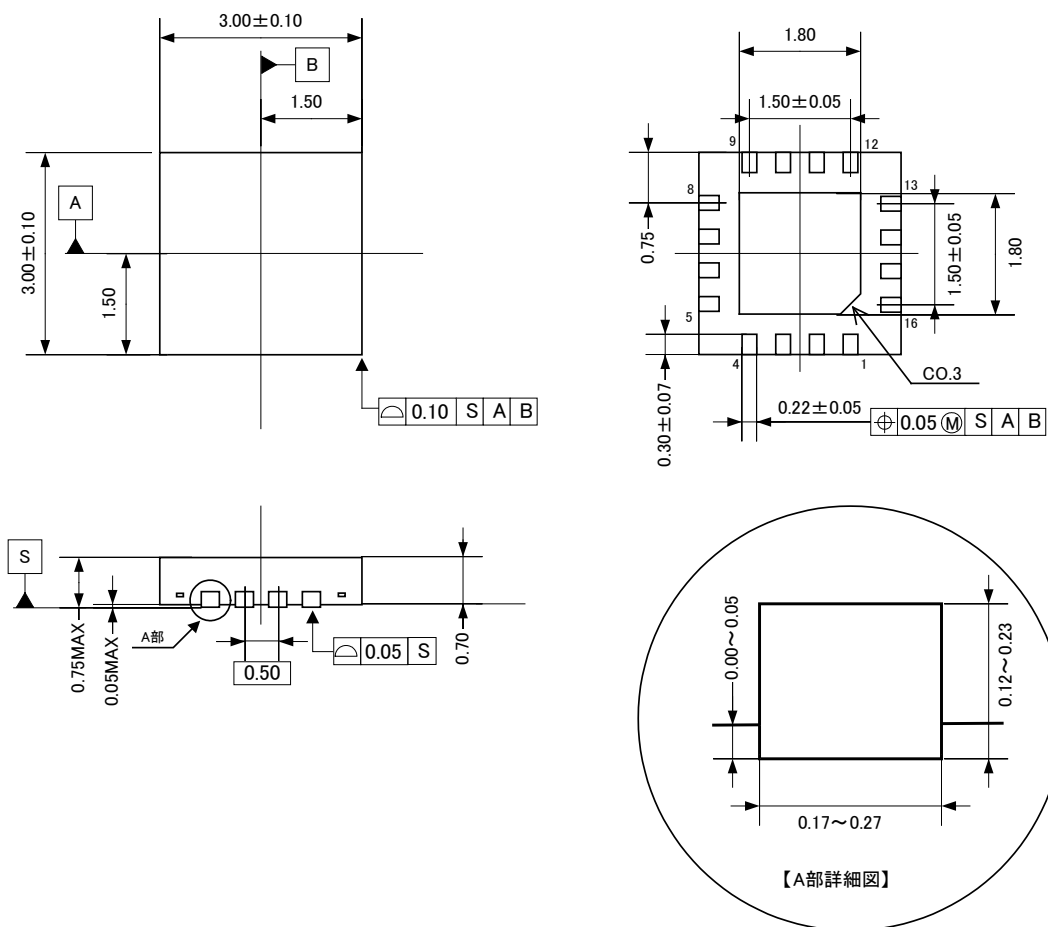
## 1) マーキング図



品番	2331
日付コード	X: 製造時期 西暦年号下1桁
	Y: 製造時期 週
	Z: 製造ロット 識別コード
	K: 組立地記号

## 2) 外形寸法図

パッケージタイプ: 16pin QFNJ (3.0 x 3.0 x 0.70mm, 0.5mm pitch)



注) パッケージ裏面中央の露出パッド(Exposed Pad)は、オープンまたはVSSに接続して下さい。



## 重要な注意事項

### 重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。