

**AsahiKASEI****AK2363****無線機用シグナリングLSI****特 長**

- AGC 回路内蔵の DTMF レシーバ
- 1200, 2400bit/s 切替え可能な MSK モデム内蔵
- モデムのフレーム検出パターン任意設定可能
- 3.6864MHz 発振回路内蔵
- 3.6864MHz の 2,3,4 通倍周波の外部クロックに対応
- 動作電圧: 2.6~3.7V
- 動作温度: -40~+85°C
- パッケージ: 24pin QFNJ (4.0 x 4.0 x 0.75mm, 0.5mm pitch)

**概 要**

AK2363は、MSKモデムとDTMFレシーバを1チップに集積した無線機用シグナリングLSIです。MSKモデムは1200bit/s、2400bit/sに対応し、復調部には16bitのフレームパターン検出機能を搭載し任意の設定が可能です。S/N対BERでは、S/N=12dBで1200bit/s時にBER=5.0E-06、2400bit/s時にBER=1.0E-04程度の特性が得られます。

DTMFレシーバは、-27~0dBxの入力信号検出レベルを示す通常モード(AGC Disable)と-40~0dBxで動作する高感度モード(AGC Enable)があります。

発振回路は3.6864MHzを基本周波数に、2通倍の7.3728MHz、3通倍の11.0592MHz、4通倍14.7456MHzの外部クロック入力に対応します。

内部動作は、1ビットのインストラクション、4ビットのアドレス、8ビットのデータから成るシリアル入力(SDATA)を、CSN、SCLK信号に同期して設定する3線シリアル方式によりコントロールされます。

パッケージには、4.0mm□の24pin QFNJを採用し、小型、高密度実装を実現いたします。

## 目次

特長.....	1
概要.....	1
目次.....	2
ブロック図.....	3
ピン配置図.....	3
ブロック機能説明.....	4
ピン機能説明.....	5
絶対最大定格.....	7
推奨動作条件.....	7
デジタル DC 特性.....	7
クロック入力特性.....	8
システムリセット.....	8
消費電流.....	9
アナログ特性.....	10
デジタル AC タイミング.....	11
レジスタ機能説明.....	17
MSK モデム動作説明.....	22
DTMF レシーバ動作説明.....	25
外部接続回路推奨例.....	29
パッケージ.....	32
重要な注意事項.....	33



## ブロック機能説明

ブロック	機 能
MSK Modulator	TDATA端子より入力されたデジタル信号の論理に従い、MSK信号を生成する回路です。
MSK DAC	MSK Modulatorで生成されたデータからアナログ信号へ変換するDACです。
MSK LPF	MSK DAC信号に含まれるクロック成分を除去するためのLow-Passフィルタです。 VRとの間にMute/Activeを切替えるスイッチがあり設定レジスタ:MSKTXで設定されます。
VR	送信MSK信号の出力レベルを調整するためのボリュームです。 設定レジスタ:VR[4:0] 調整範囲:-6.0~+6.0dB ステップ幅:0.5dB/step
TXA	送信MSK信号のゲイン調整および出力信号に含まれノイズ成分を除去するためのスムージングフィルタを構成する演算増幅器です。外付けの抵抗とコンデンサによりゲインを0dB、カットオフ周波数を13kHz程度に設定ください。
RXA	受信復調信号のゲイン調整および後段のSCF回路からの折返しノイズを防止するフィルタを構成する演算増幅器です。外付けの抵抗とコンデンサによりゲインを20dB以下、カットオフ周波数を40kHz程度に設定ください。
MSK BPF	受信MSK信号に含まれる帯域外の成分を除去するためにBand-Passフィルタです。
Data Demodulator	MSK信号を復調しデータを生成する回路です。
Digital PLL	MSK信号よりキャリア信号を検出し、クロック再生する回路です。
AGC(PGA)	DTMF信号の入力レベルを自動調整するためのAGC(Auto Gain Control)回路です。 設定レジスタ:AGCSW またAGCSWでDisable選択時は、PGA(Programmable Gain Amp)回路として動作します。 設定レジスタ:PGA[1:0] 調整範囲:0~+12dB ステップ幅:4dB/step RXAとの間に入力を切替えるスイッチがあり、設定レジスタ:DTMFSLで設定されます。
DTMF Receiver	DTMF信号検出回路です。入力された信号をデコードし4bitコードを出力します。
OSC	外付けの水晶発振子および抵抗により、3.6864MHzの基準クロックを発生する回路です。
DIV (1/2,1/3,1/4)	外部より3.6864MHzの2、3、4進倍信号が入力された時の2、3、4分周回路です。 設定レジスタ:MCKSL[1:0]
AGND	内部アナログ信号の基準電圧(1/2VDD)を発生するための回路です。
Control Register	コントロールレジスタは、1ビットのインストラクション+4ビットのアドレス+8ビットのデータから成るシリアル入力によりIC内部のスイッチやボリュームを設定する回路です。またデータバッファを内蔵しており、CPUとのインターフェースを容易にするため8ビット分のMSK受信データを蓄積します。 電源立ち上げ時には、RSTN端子によりシステムリセットを掛けます。またSRSTレジスタによりソフトリセットが設定されます。(レジスタの説明を参照)

## ピン機能説明

ピン 番号	ピン 名称	ピン タイプ	パワ ー ダ ウ ン 時 ピ ン 状 態	機 能
1	RSTN	DI	Z	リセット端子
2	TDATA	DI	Z	MSK信号送信データ入力端子 TCLK端子のクロックの立ち上がりに同期してデータを取り込みます。
3	TCLK	DO	H	MSK信号送信クロック出力端子
4	CSN	DI	Z	シリアルデータ用チップセレクト入力端子
5	SCLK	DI	Z	シリアルデータ用クロック入力端子
6	VDD	PWR	-	VDD電源端子 2.6~3.7Vの電源に接続ください。またVSS端子間に0.1 $\mu$ F以上のバイ パスコンデンサを接続ください。
7	SDATA	DB	Z	シリアルデータ用入出力端子
8	RDFFD/ RDATA	DO	H	MSK信号受信フラグ/フレーム検出信号/RDATA信号出力端子 この端子は設定レジスタ:FSLの設定により2種類の情報を出力します。 FSLが"1"の場合は、MSK信号受信フラグ出力モード(RDF)となり、受信 データレジスタにMSK受信信号が8bit書き込まれた時、Lowレベルを出力 します。 またFSLが"0"の場合は、フレーム検出信号出力モード(FD)となり、フレームパ ターンを検出するとLowパルスを出力します。 さらに設定レジスタ:MSKRCLKを"1"に設定するとRDATA信号を出力します。
9	RCLK	DO	H	MSK信号受信クロック出力端子
10	STD	DO	L	DTMF信号検出用遅延ステアリング出力端子 DTMF受信信号のデコードが完了し内部データが更新されると、Highレベルを 出力します。
11	SD	DO	H	DTMF信号受信データ出力端子 LOADN端子にLowレベル入力時、DTMF受信信号のデコード結果がACK端子 の立ち下がりに同期してMSBからシリアルに出力されます。 LOADN端子にHighレベル入力時は、Highレベルが出力されます。
12	ACK	DI	Z	DTMF信号受信データ読み出し用クロック入力端子

ピン番号	ピン名称	ピンタイプ	パワー ダウン時 ピン状態	機能
13	LOADN	DI	Z	DTMF信号受信データ読み出し用イネーブル信号入力端子 Lowレベル入力時、DTMF信号受信データが読み出し可能となります。
14	VSS	PWR	-	VSS電源端子 常に、0Vの電圧を印可ください。
15	XIN	DI/AO	注4)	水晶振動子接続端子 この端子と隣接するXOUT端子間に、3.6864MHzの振動子を接続することによりIC内部で使用する基準クロックを作ります。詳細な接続方法と外部からクロックを供給する場合については、外部接続回路推奨例を参照ください。
16	XOUT	AI	注4)	水晶振動子接続端子
17	TEST	DI	Z	テスト用入力端子 工場出荷時にテスト端子として使われます。 通常は、VSSに接続ください。
18	DTMFIN	AI	Z	DTMF信号入力端子
19	RXINO	AO	Z	RXAアンプ出力端子 注1)
20	RXIN	AI	Z	受信復調信号入力端子 RXAアンプの反転入力端子です。外部に抵抗とコンデンサを接続しプリフィルタを構成します。
21	AGND	AO	注3)	アナロググランド出力端子 アナロググランドを安定化するためVSS端子間に0.1μFのコンデンサを接続ください。
22	MOD	AO	Z	送信被変調信号出力端子 注2)
23	MODIN	AI	Z	送信被変調信号入力端子 TXAアンプの反転入力端子です。外部に抵抗とコンデンサを接続しスムージングフィルタを構成します。
24	MSKOUT	AO	Z	MSK信号ボリューム出力端子 注1)

注) A: Analog, D: Digital, PWR: Power, I: Input, O: Output, B: Bidirectional, Z: High-Z, L: Low

注1) 出力負荷条件: 負荷抵抗 > 30kΩ、負荷容量 < 15pF

注2) 出力負荷条件: 負荷抵抗 > 10kΩ、負荷容量 < 50pF

注3) AGNDレベル

注4) XOUT端子の入力レベルに応じて、XIN端子の出力レベルは定まる

## 絶対最大定格

項目	記号	Min.	Max.	単位
電源電圧	VDD	-0.3	4.6	V
グラウンドレベル	VSS	0	0	V
入力印可電圧	V <sub>IN</sub>	-0.3	VDD+0.3	V
入力印可電流(電源ピンを除く)	I <sub>IN</sub>	-10	+10	mA
保存温度	T <sub>stg</sub>	-55	130	°C

注) 電圧は全てVSSピンに対する値です。

注意:この値を超えた条件で使用した場合、デバイスを破壊することがあります。

また通常の動作は、保証されません。

## 推奨動作条件

項目	記号	条件	Min.	Typ.	Max.	単位
動作温度	Ta		-40		85	°C
動作電源電圧	VDD		2.6	3.0	3.7	V
アナログ基準電圧	AGND			1/2VDD		V

注) 電圧は全てVSSピンに対する値です。

## デジタルDC特性

項目	記号	条件	Min.	Typ.	Max.	単位
高レベル入力電圧	V <sub>IH</sub>	SCLK, SDATA, CSN, LOADN, ACK, TDATA, RSTN,	0.8VDD			V
低レベル入力電圧	V <sub>IL</sub>	SCLK, SDATA, CSN, LOADN, ACK, TDATA, RSTN,			0.2VDD	V
高レベル入力電流	I <sub>IH</sub>	V <sub>IH</sub> =VDD SCLK, SDATA, CSN, LOADN, ACK, TDATA, RSTN,			10	μA
低レベル入力電流	I <sub>IL</sub>	V <sub>IL</sub> =0V SCLK, SDATA, CSN, LOADN, ACK, TDATA, RSTN,	-10			μA
高レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> =+0.2mA SDATA, RDATA, RDATA, RCLK, STD, SD, TCLK	VDD-0.4		VDD	V
低レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> =-0.4mA SDATA, RDATA, RDATA, RCLK, STD, SD, TCLK	0.0		0.4	V

### クロック入力特性

項目	記号	条件	Min.	Typ.	Max.	単位	備考
クロック周波数	MCK0	XIN,XOUT		3.6864		MHz	
	MCK1,2	XIN		7.3728 11.0592 14.7456		MHz	注1,2)
高レベル入力電圧	$V_{MCK1JH}$	XIN	1.5			V	注1)
低レベル入力電圧	$V_{MCK1JL}$	XIN			0.4	V	注1)
入力振幅	$V_{MCK2}$	XIN	0.2		1.0	$V_{PP}$	注2)

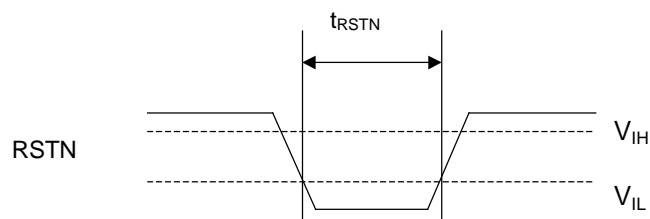
注1) XIN端子より直接入力時。詳細は外部接続回路推奨例 6)発振回路を参照ください。

注2) DCカットを介しXIN端子より入力時。詳細は外部接続回路推奨例 6)発振回路を参照ください。

### システムリセット

項目	記号	条件	Min.	Typ.	Max.	単位	備考
ハードウェアリセット 信号入力幅	$t_{RSTN}$	RSTN端子	1			$\mu s$	注1)
ソフトウェアリセット		SRSTレジスタ					注2)

注1) 電源投入後、35ms以上経過してからハードウェアリセット動作(レジスタの初期化)を必ず行なって下さい。  
1 $\mu s$ 以上の“Low”パルス入力でリセットがかかり、動作モードMode0(パワーダウン)となります。  
またこの時のデジタル入力(DI)端子は、RSTN:High、TDATA:Low、CSN:High、SCLK:Low、ACK:High、LOADN:High、TEST:VSS接続、と設定ください。



注2) SRST[7:0]レジスタに0xAA:10101010データを書き込むと、ソフトウェアリセットが実行されます。  
この設定により、レジスタは初期化され動作モードMode1(スタンバイ)となります。  
詳細については、“レジスタ機能説明”の項を参照ください。



## 消費電流

項目	記号	条件	Min.	Typ.	Max.	単位
消費電流	IDD0	Mode0 OSC: OFF   DTMFレシーバ: OFF, MSK_Tx: OFF, MSK_Rx: OFF		0.1	0.2	mA
	IDD1	Mode1 OSC: ON,   DTMFレシーバ: OFF, MSK_Tx: OFF, MSK_Rx: OFF		0.6	1.0	
	IDD2	Mode2 OSC: ON,   DTMFレシーバ: OFF, MSK_Tx: ON, MSK_Rx: OFF		1.3	2.1	
	IDD3	Mode3 OSC: ON,   DTMFレシーバ: OFF, MSK_Tx: OFF, MSK_Rx: ON		1.1	1.8	
	IDD4	Mode4 OSC: ON,   DTMFレシーバ: OFF, MSK_Tx: ON, MSK_Rx: ON		1.7	2.7	
	IDD5	Mode5 OSC: ON,   DTMFレシーバ: ON, MSK_Tx: OFF, MSK_Rx: OFF		1.3	2.2	
	IDD6	Mode6 OSC: ON,   DTMFレシーバ: ON, MSK_Tx: ON, MSK_Rx: ON		2.4	3.8	

<b>アナログ特性</b>
---------------

特記なき場合、MCLK=3.6864MHz, f=1kHz, VR=0dBが適用されます。

また外付け回路定数は、外部接続回路推奨例 29～31頁に基づき設定されます。

dBxは、動作電圧に対応するよう規格化した表記法で、 $0\text{dBx} = -5 + 20\log(VDD/2)$  dBm で規定されます。

0dBm=0.775Vrms

## 1) MSKモデム特性

項目	条件	Min.	Typ.	Max.	単位	備考
送信信号レベル	@MOD 1.2kHz出力時	-12	-11	-10	dBx	
送信信号歪率	@MOD 1.2kHz出力時			-32	dB	
受信信号レベル	@RXINO 1.2kHz出力時	-17	-11	-1	dBx	
VRゲイン誤差	@MSKOUT -6.0～+6.0dB, 0.5dB/step, 単調性	-0.5		0.5	dB	

## 2) DTMFレシーバ特性

項目	条件	Min.	Typ.	Max.	単位	備考
入力信号検出レベル (1周波数あたり)	@RXINO AGC Disable時 PGA=0dB設定時 注2,3,6	-27		0	dBx	
	@RXINO AGC Enable時 注2,3,6	-40		0	dBx	
	@DTMFIN AGC Disable時 PGA=0dB設定時 注2,3,6	-27		-2	dBx	
	@DTMFIN AGC Enable時 注2,3,6	-40		-2	dBx	
許容ツイスト	注3,6,8		±10		dB	
検出周波数帯域	注2,6			±1.5% ±2Hz		
非検出周波数帯域	注2,6	±3.5%				
第3周波許容レベル	注1,2,6,7		-16		dB	
許容ノイズレベル	注1,2,4,6,7		-12		dB	
ダイヤルトーン 許容レベル	注1,2,5,6,7		+17		dB	
PGAゲイン誤差	0～+12dB, 4dB/step	-0.5		+0.5	dB	

注1) 公称周波数のDTMF信号を使用

注2) 高群、低群の信号レベルは同一レベル

注3) 周波数偏差±1.5%±2Hz以内のDTMF信号に対して適用

注4) 0～3kHz帯域のガウスノイズに対して適用

注5) 350Hz±2% および440Hz±2%のダイヤルトーン

注6) エラー率は1E-4以下

注7) -22dBx以下のDTMF信号入力レベルを基準

注8) ツイスト=高群信号レベル/低群信号レベル

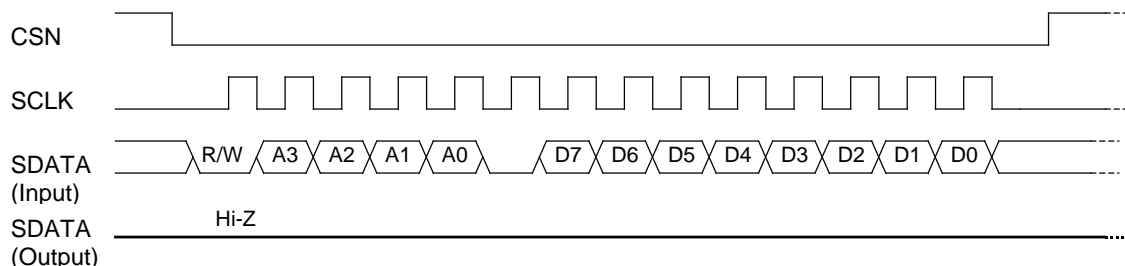
## デジタルACタイミング

### 1) シリアルインターフェース タイミング

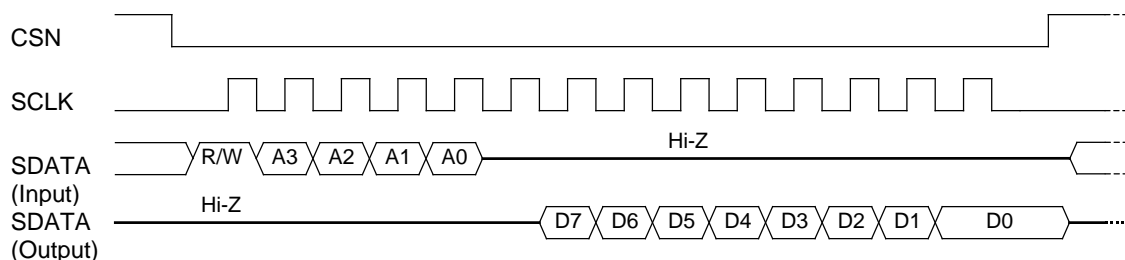
AK2363は、CSN, SCLK, SDATAの3線同期式シリアルインターフェースにより、データの書き込みと読み出しを行ないます。

SDATA(シリアルデータ)は、書き込み／読み出しの識別ビット(R/W)、レジスタアドレス(MSBファースト、A3～A0)とコントロールデータ(MSBファースト、D7～D0)で構成されます。

#### 書き込み(WRITE命令)



#### 読み出し(READ命令)



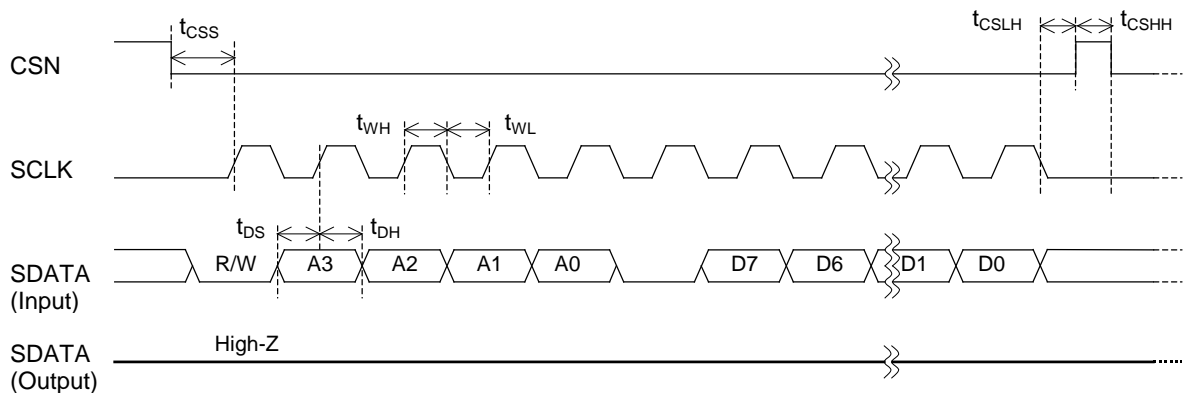
R/W : レジスタへのアクセスが書き込みか、読み出しかをこのビットで識別します。  
このビットが”Low”の場合には書き込み、”High”の場合には読み出しとなります。

A3～A0: アクセスしようとしているレジスタのアドレスを表します。

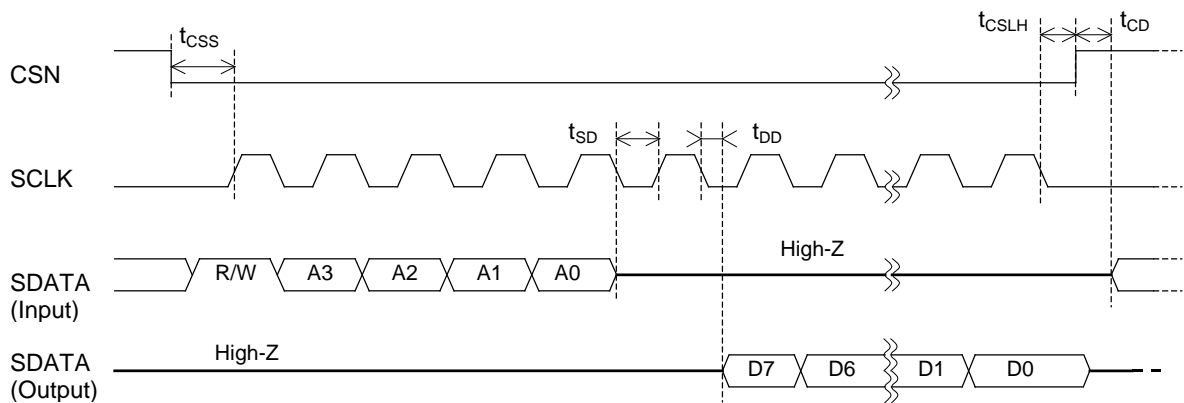
D7～D0: レジスタへの書き込み、もしくはレジスタからの読み出しデータです。

- ① CSN(チップセレクト)は、通常”High”に設定します。  
CSNを”Low”に設定すると、シリアルインターフェースがアクティブとなります。
- ② 書き込みでは、CSNが”Low”区間で、14個のSCLKクロックの立ち上がりに同期してSDATAから識別ビット、アドレス、データの順に取り込みます。アドレスA0とデータD7の間は、”Low”を設定ください。  
読み出しでは、CSNが”Low”区間で、SCLKの前半5クロックの立ち上がりに同期してSDATAから識別ビット、アドレスを取り込み、後半の9クロックの立ち下がりに同期して指定したアドレスのデータを出力します。  
アドレスA0とデータD7間のデータは、不定となりますのでご注意ください。  
SCLKの後半9クロックでデータ出力の区間では、SDATAへの入力は”Hi-Z”としてください。
- ③ 書き込み、読み出しの設定は、CSNの”Low”区間に14クロックがSCLKより入力されることを想定しています。  
14クロックを上回ったり下回るクロックが入力されると、データが正しく設定されませんのでご注意ください。

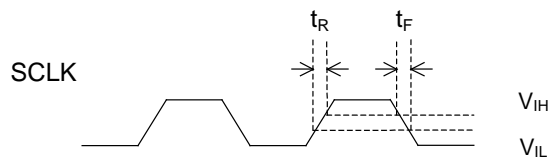
2) 詳細タイミング  
WRITE命令



READ命令



立ち上がり、立下り時間

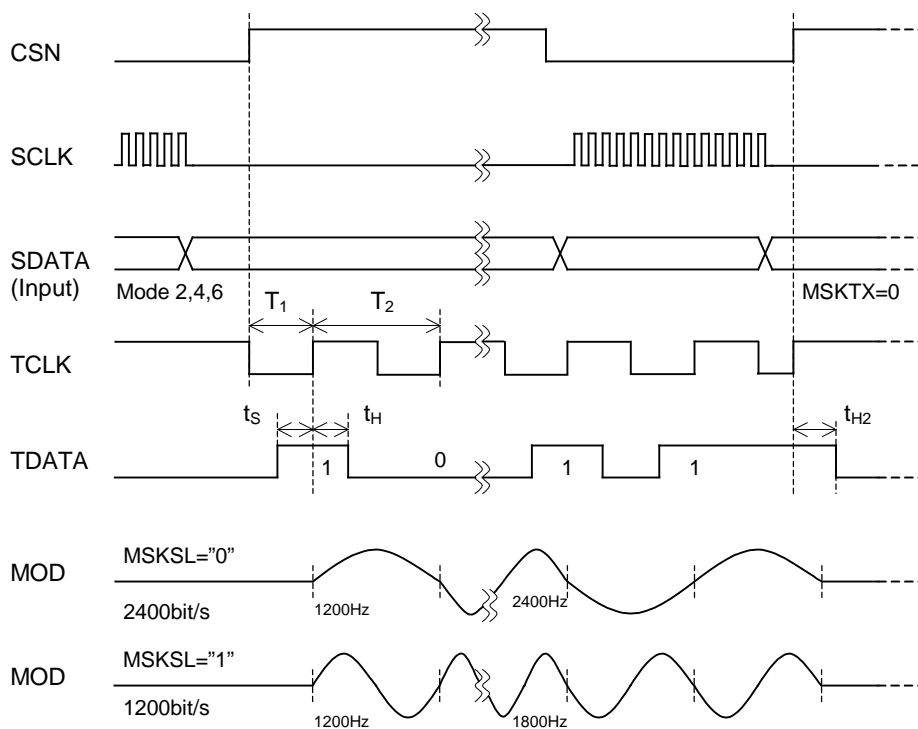


項目	記号	条件	Min.	Typ.	Max.	単位
CSN setup time	$t_{CSS}$		100			ns
SDATA setup time	$t_{DS}$		100			ns
SDATA hold time	$t_{DH}$		100			ns
SCLK high time	$t_{WH}$		500			ns
SCLK low time	$t_{WL}$		500			ns
CSN low hold time	$t_{CSLH}$		100			ns
CSN high hold time	$t_{CSHH}$		100			ns
SDATA Hi-Z setup time	$t_{SD}$		500			ns
SCLK to SDATA output delay time	$t_{DD}$	20pF負荷			400	ns
CSN to SDATA input delay time	$t_{CD}$	20pF負荷	200			ns
SCLK rising time	$t_R$				100	ns
SCLK falling time	$t_F$				100	ns

注) デジタル入力のタイミングは、立ち上がり・立ち下がり信号の0.5VDDの値を基準とします。またデジタル出力のタイミングは、立ち上がり・立ち下がり信号の0.5VDDの値を基準に測定されます。

3)MSKモジュレータ タイミング

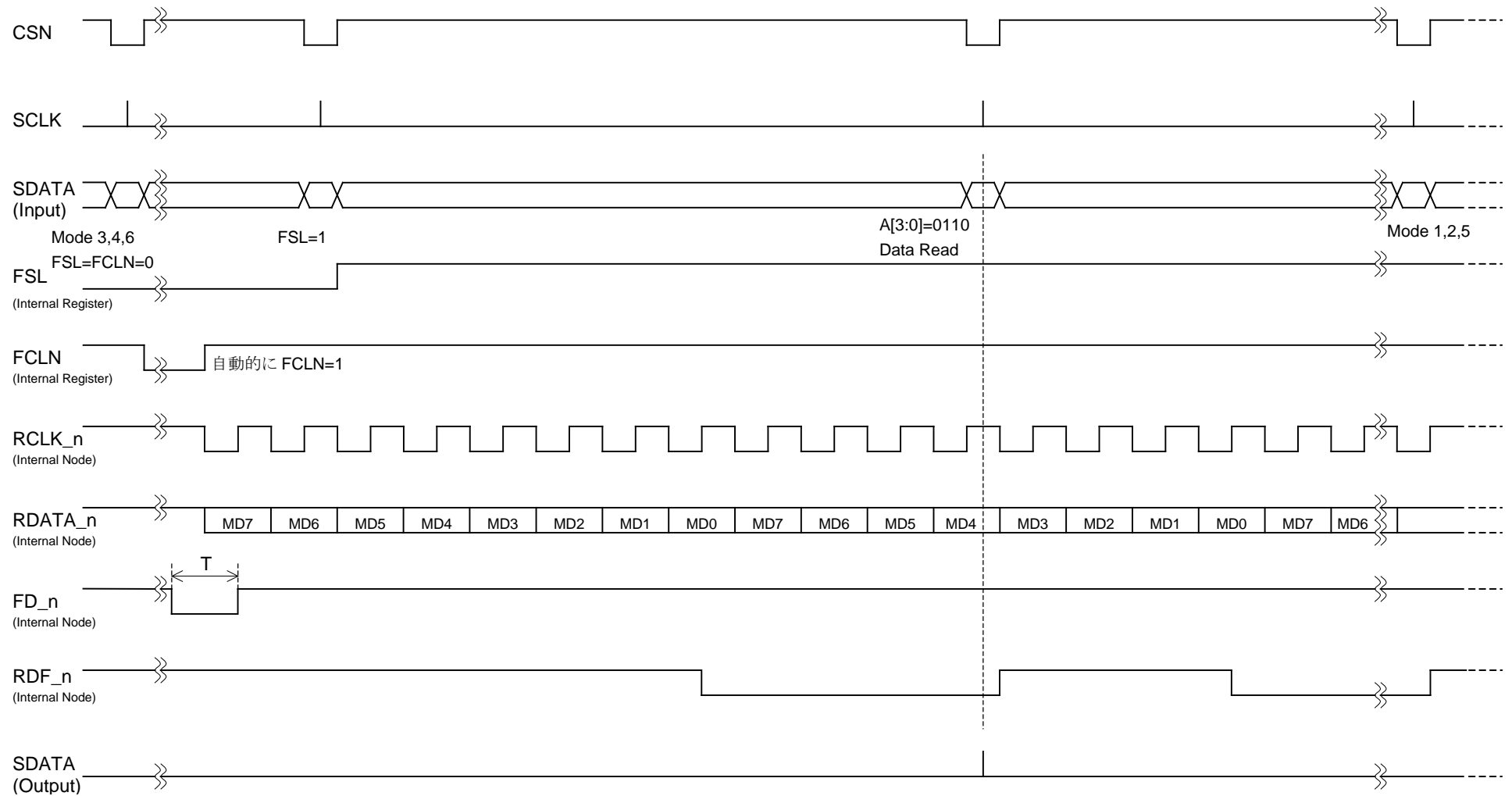
項目	記号	Min.	Typ.	Max.	単位
CSN Rising to TCLK Rising MSKSL="0" MSKSL="1"	$T_1$		208 417		$\mu\text{s}$
TCLK周期 MSKSL="0" MSKSL="1"	$T_2$		417 833		$\mu\text{s}$
TDATA Set up time	$t_s$	1			$\mu\text{s}$
TDATA Hold time	$t_H$	1			
TDATA Hold time2	$t_{H2}$	2			



注) レジスタ設定のタイミングは、CSN端子の立ち上がりに同期します。  
TDATA Hold time2 ( $t_{H2}$ )で規定する2 $\mu\text{s}$ 以上データを保持すると、MOD端子からの信号はゼロクロスポイントで終了します。

4)MSKデモジュレータ タイミング

項目	記号	Min.	Typ.	Max.	単位
RCLK周期およびFDパルス幅 MSKSL="0" MSKSL="1"	T		417 833		$\mu\text{s}$

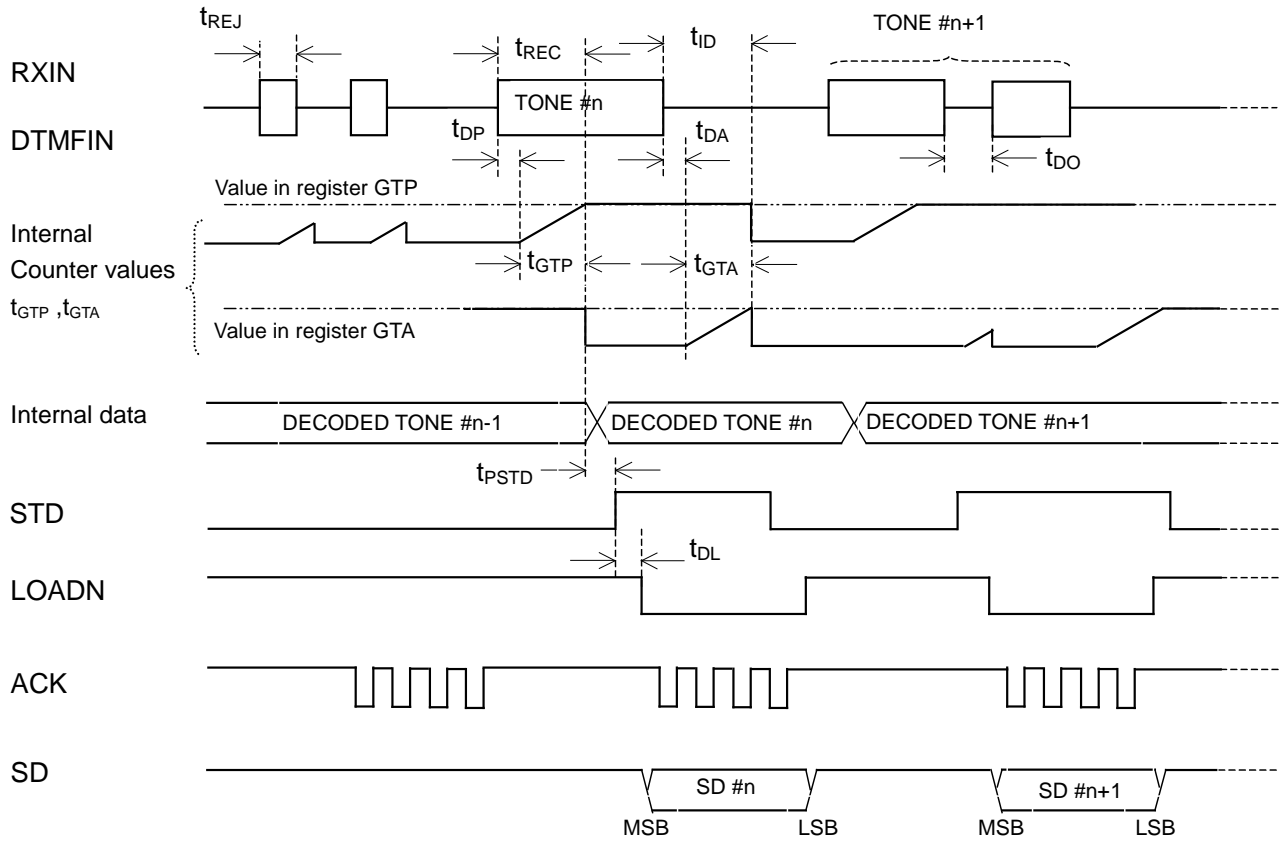


## 5)DTMFレシーバ タイミング

項目	記号	条件	Min.	Typ.	Max.	単位
信号検出時間(参考値)	$t_{DP}$	AGC Disable時	5	11	16.8	ms
		AGC Enable時	5	20	44	ms
信号停止検出時間(参考値)	$t_{DA}$		0.5	4	8.5	ms
入力信号有効時間 注1)	$t_{REC}$	AGC Disable GTP[3:0]=0100時	54.5			ms
		AGC Enable GTP[3:0]=0001時	54			ms
入力信号無効時間 注1)	$t_{REJ}$				32.2	ms
インターディジットポーズ有効時間 注1)	$t_{ID}$		28.4			ms
インターディジットポーズ無効時間 注1)	$t_{DO}$				1.6	ms
GT(内部カウンタ) to STD 遅延時間	$t_{PSTD}$			21.7		$\mu$ s
STD rising to LOADN falling time	$t_{DL}$		100			ns
ACK low period	$t_{CLL}$		500			ns
ACK high period	$t_{CLH}$		500			ns
LOADN setup time	$t_{LS}$		500			ns
SD output delay time	$t_{PD}$	20pF負荷			200	ns
SD output disable time	$t_{DF}$	20pF負荷			200	ns
ACK rising time	$t_{CLR}$				100	ns
ACK falling time	$t_{CLF}$				100	ns

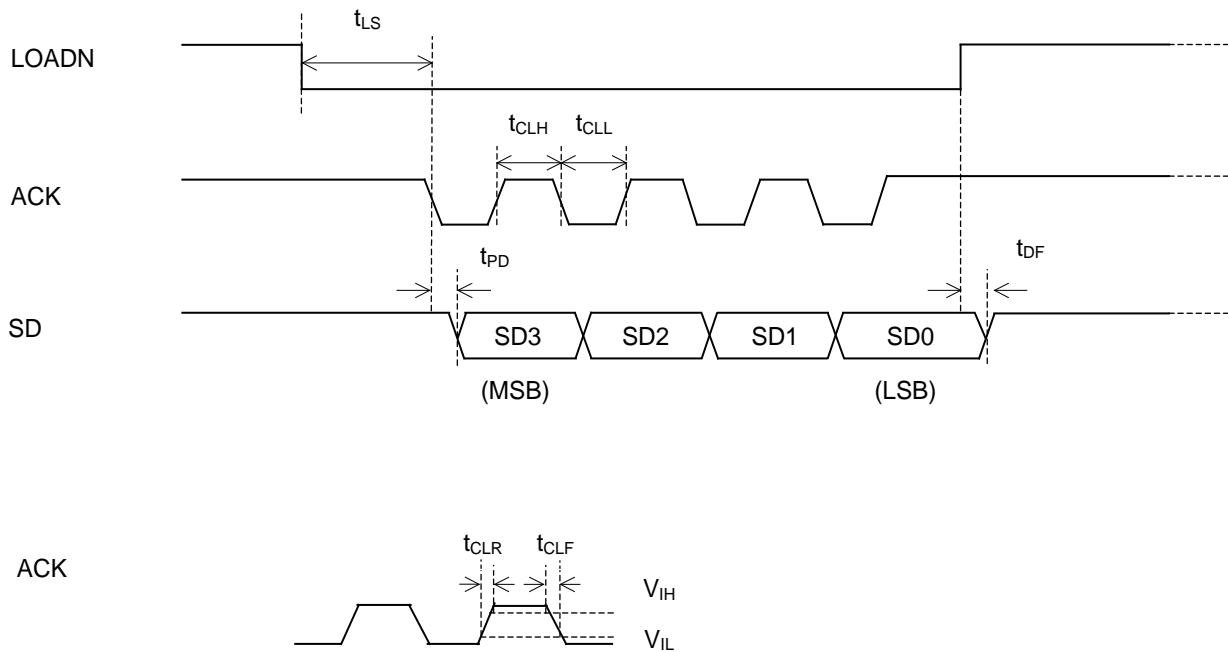
注1) 本データはレジスタGTPn,GTAn(n=0-3)が初期値の時の値です。  
本データはレジスタGTPn,GTAn(n=0-3)の設定により調整可能です(26~27頁ご参照ください)。

注2) デジタル入力のタイミングは、立ち上がり・立ち下がり信号の0.5VDDの値を基準とします。またデジタル出力のタイミングは、立ち上がり・立ち下がり信号の0.5VDDの値を基準に測定されます。



注) DTMFデータのLSI内部データの変更は、STDが“H”になる直前に行われますのでご注意ください。

詳細タイミング





レジスタ機能説明

1) レジスタの構成

アドレス				設定内容	データ							
A3	A2	A1	A0		D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	コントロールレジスタ1	BS2	BS1	BS0	MSKSL	MSKTX	MSKRCLK	FSL	FCLN
0	0	0	1	コントロールレジスタ2	MCKSL1	MCKSL0	TXRXA	VR4	VR3	VR2	VR1	VR0
0	0	1	0	DTMFレジスタ1	GTP3	GTP2	GTP1	GTP0	GTA3	GTA2	GTA1	GTA0
0	0	1	1	DTMFレジスタ2	-	STDPGA1	STDPGA0	DTMFSL	AGCSW1	AGCSW0	PGA1	PGA0
0	1	0	0	モデムフレームパターン1	MSKモデムフレームパターン下位8ビット							
0	1	0	1	モデムフレームパターン2	MSKモデムフレームパターン上位8ビット							
0	1	1	0	モデム受信データレジスタ	MSK受信データ (RDATA)							
0	1	1	1	ソフトウェアリセット	SRST[7:0]							
1	0	0	0	リビジョンレジスタ	-	-	-	-	REVNUM[3:0]			
1	0	0	1	テストレジスタ1	出荷検査用テストレジスタ1 (アクセス不可)							
1	0	1	0	テストレジスタ2	出荷検査用テストレジスタ2 (アクセス不可)							
1	0	1	1	未使用	-	-	-	-	-	-	-	-
↓	↓	↓	↓	未使用	-	-	-	-	-	-	-	-
1	1	1	1	未使用	-	-	-	-	-	-	-	-

注1) “-”で示すデータにアクセスした場合、LSIの動作に影響はなく常に”0”が読み出しされます。

注2) アドレス 0111のSRST[7:0]レジスタは書き込み専用です。

アドレス 0110のMSK受信データレジスタと1000のREVNUM[3:0]レジスタとは読み出し専用です。

注3) アドレス 1001と1010は、テストレジスタですのでアクセス不可です。誤ってアクセスした場合、LSIの動作は保証されません。

2) レジスタの説明

2.1) コントロールレジスタ1

アドレス				データ							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	BS2	BS1	BS0	MSKSL	MSKTX	MSKRCLK	FSL	FCLN
初期値				0	0	0	1	1	0	0	1

2.1.1) 動作モード設定

BS2	BS1	BS0	モード名	OSC,AGND系	MSKモデムTX系	MSKモデムRX系	DTMFレシーバ系
0	0	0	Mode0(パワーダウン)	OFF	OFF	OFF	OFF
0	0	1	Mode1(スタンバイ)	ON	OFF	OFF	OFF
0	1	0	Mode2	ON	ON	OFF	OFF
0	1	1	Mode3	ON	OFF	ON	OFF
1	0	0	Mode4	ON	ON	ON	OFF
1	0	1	Mode5	ON	OFF	OFF	ON
1	1	0	Mode6	ON	ON	ON	ON

注) システムリセット(Mode0)後、Mode1を経由してMode2~6を設定ください。

2.1.2) MSKモデム設定

データ	設定項目	機能		備考
		0	1	
MSKSL	MSKモデム伝送速度	2400bit/s	1200bit/s	
MSKTX	MSK送信出力	OFF (Mute)	ON (Active)	
MSKRCLK	RCLK出力切替	RCLK端子 High 出力	RCLK端子 Active	
		RDFFD/RDATA端子 Active (RDFFD信号 出力)	RDFFD/RDATA端子 Active (RDATA信号 出力)	
FSL	RDF/FD出力切替	フレーム検出信号(FD)出力	受信フラグ信号(RDF)出力	
FCLN	フレーム検出機能	ON (Enable)	OFF (Disable)	

2.2) コントロールレジスタ2

アドレス				データ							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	1	MCKSL1	MCKSL0	TXRXA	VR4	VR3	VR2	VR1	VR0
初期値				0	0	0	0	1	1	0	0

MCKSL1	MCKSL0	機能	備考
0	0	マスタークロック:3.6864MHz	
0	1	マスタークロック:7.3728MHz	外部入力のみ
1	0	マスタークロック:11.0592MHz	外部入力のみ
1	1	マスタークロック:14.7456MHz	外部入力のみ

注) MCKSL[1:0]は、動作モードMode0またはMode1時に設定ください。

データ	設定項目	機能		備考
		0	1	
TXRXA	TXA, RXAアンプ動作	OFF (Power OFF)	ON (Power ON)	動作モード設定との論理和で、Mode1~6で有効

VR4	VR3	VR2	VR1	VR0	VRゲイン(dB)
0	0	0	0	0	-6.0
0	0	0	0	1	-5.5
0	0	0	1	0	-5.0
0	0	0	1	1	-4.5
0	0	1	0	0	-4.0
0	0	1	0	1	-3.5
0	0	1	1	0	-3.0
0	0	1	1	1	-2.5
0	1	0	0	0	-2.0
0	1	0	0	1	-1.5
0	1	0	1	0	-1.0
0	1	0	1	1	-0.5
0	1	1	0	0	0.0

VR4	VR3	VR2	VR1	VR0	VRゲイン(dB)
0	1	1	0	1	+0.5
0	1	1	1	0	+1.0
0	1	1	1	1	+1.5
1	0	0	0	0	+2.0
1	0	0	0	1	+2.5
1	0	0	1	0	+3.0
1	0	0	1	1	+3.5
1	0	1	0	0	+4.0
1	0	1	0	1	+4.5
1	0	1	1	0	+5.0
1	0	1	1	1	+5.5
1	1	0	0	0	+6.0

2.3) DTMFレジスタ1

アドレス				データ							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
0	0	1	0	GTP3	GTP2	GTP1	GTP0	GTA3	GTA2	GTA1	GTA0
初期値				0	1	0	0	0	0	1	0

データ	機能	備考
GTP3~0	DTMFレシーバ ガードタイム $t_{GTP}$ 設定用レジスタです。 詳細説明は、DTMFレシーバ動作説明、26頁を参照ください。	
GTA3~0	DTMFレシーバ ガードタイム $t_{GTA}$ 設定用レジスタです。 詳細説明は、DTMFレシーバ動作説明、27頁を参照ください。	

2.4) DTMFレジスタ2

アドレス				データ							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
0	0	1	1	-	STDPGA1	STDPGA0	DTMFSL	AGCSW1	AGCSW0	PGA1	PGA0
初期値				-	0	0	1	0	1	0	0

STDPGA1	STDPGA0	PGAゲイン(dB)
0	0	0
0	1	+4
1	0	+8
1	1	+12

注) AGC回路Enable時、自動で設定されるPGAゲインをモニターできます。  
このレジスタは読み出し専用で書き込まれた内容は反映されません。またDTMF信号検出端子STDの立ち上がりと一緒に内容が更新されます。

データ	設定項目	機能		備考
		0	1	
DTMFSL	DTMF入力切替	DTMFIN端子入力	RXIN端子入力	

AGCSW1	AGCSW0	機 能	備考
0	0	AGC回路 OFF(Disable) PGA[1:0]にてPGAゲインを設定可。	
0	1	AGC回路 ON(Enable) STDPGA[1:0]からPGAゲインをモニター可。 信号検出ごとにSTDPGA[1:0]は更新。	初期値
1	0	AGC回路 OFF(Disable) AGC回路Enable時の最新STDPGA[1:0]データを保持した後、AGC回路をDisableとする。 この時、PGA[1:0]によるPGAゲイン設定は不可。	
1	1	設定不可	

PGA1		PGA0		PGAゲイン(dB)
0	0	0	0	0
0	1	1	0	+4
1	0	0	1	+8
1	1	1	1	+12

注) AGC回路Disable時、PGA[1:0]にてPGAゲインをマニュアルで設定可。

2.5) モデムフレームパターンレジスタ(パワーダウン時:特定小電力無線)

アドレス				データ							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	0	F07	F06	F05	F04	F03	F02	F01	F00
初期値				1	0	1	0	1	0	0	0
0	1	0	1	F15	F14	F13	F12	F11	F10	F09	F08
初期値				0	0	0	1	1	0	1	1

2.6) モデム受信データレジスタ

アドレス				データ							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
0	1	1	0	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0

データ	設定項目	MSK受信データ		備考
		0	1	
RD7~0	MSKSL=0時	2.4kHz	1.2kHz	最初に受信したデータがRD7。
	MSKSL=1時	1.8kHz	1.2kHz	

このレジスタは、読み出し専用で書き込むことはできません。

## 2.7) ソフトウェアリセットレジスタ

アドレス				データ							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
0	1	1	1	SRST[7:0]							
初期値				0	0	0	0	0	0	0	0

SRST[7:0]レジスタに0xAA:10101010を設定することで、ソフトウェアリセットが実行されます。  
 この設定により、BS[2:0]はMode1(スタンバイ)に、BS[2:0]以外のレジスタは初期値となります。  
 このレジスタは書き込み専用で、ソフトウェアリセット完了後は”0”となります。

## 2.8) リビジョンレジスタ

アドレス				データ							
A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	-	-	-	-	REVNUM[3:0]			
初期値				-	-	-	-	0	0	0	0

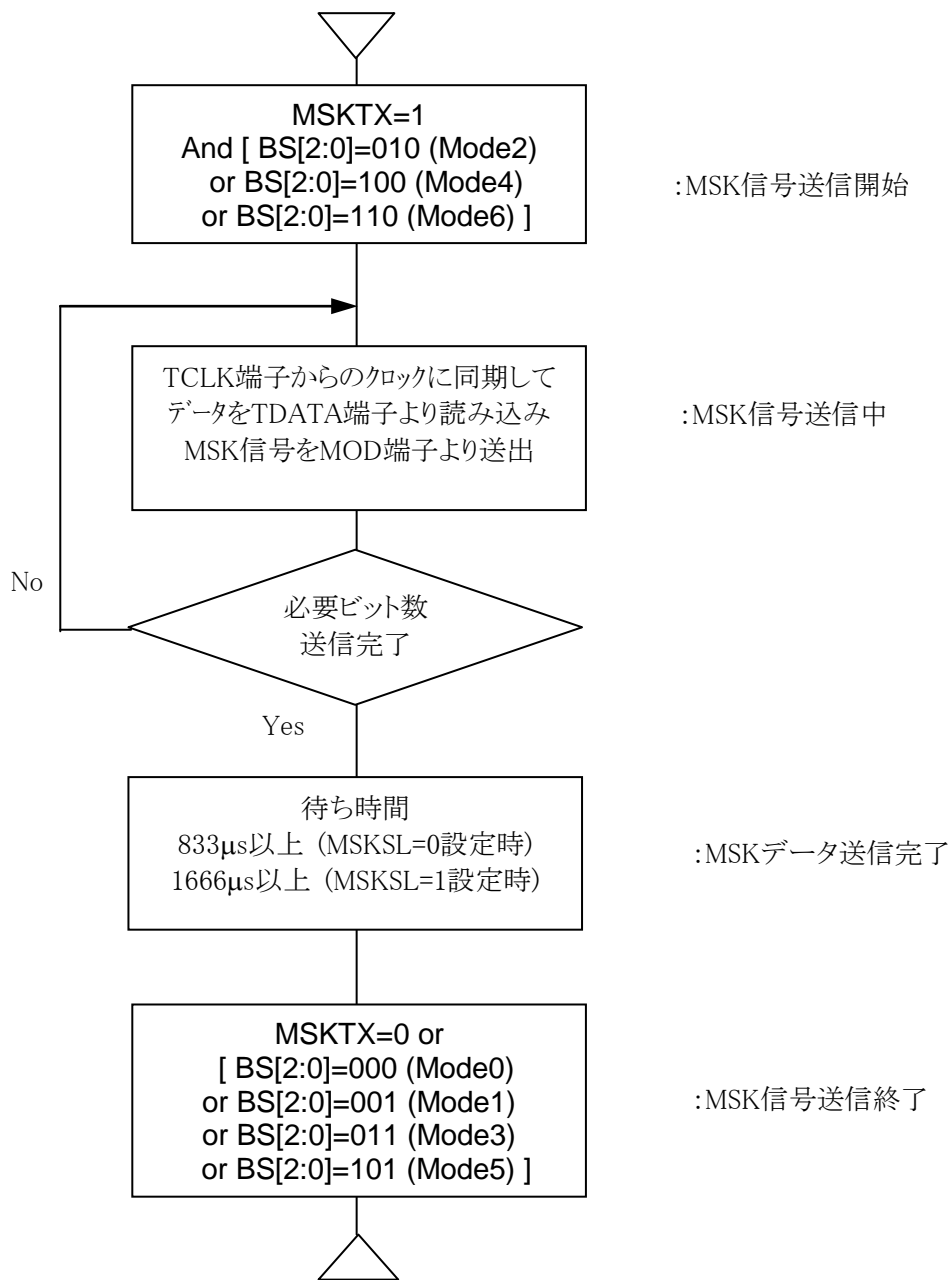
D3～D0のデータをアクセスすることで、管理上のリビジョン番号を読み出せます。  
 このレジスタは、読み出し専用で書き込むことはできません。

**MSKモデム動作説明**

1) MSKモジュレータ

モデム送信部のモジュレータとのインターフェースは、TCLK,TDATA,MOD端子とBS2,BS1,BS0(以下BS[2:0]), MSKTXレジスタとで以下のように行います。(13頁のタイミングを参照ください)

- (1) MSKTXを”1”に、BS[2:0]によりMode2,4,6に設定し、MSK送信状態にします。
- (2) TCLK端子より1200/2400Hzのクロックが出力されます。AK2363は、TCLKの立ち上がりに同期してTDATA端子よりMSK送信データを読み込み、変調したMSK信号をMOD端子から出力します。
- (3) 必要とするビット数を送信したら、最終ビットのMSK信号の送信が完了するまでクロックの2周期ほど待ちます。
- (4) その後、BS[2:0]によりMode2,4,6からMode0,1,3,5に変更するか、またはMSKTXを”0”に設定し終了します。特にMSKTX設定時は、TDATA Hold time2 ( $t_{H2}$ )で規定する2 $\mu$ s以上データを保持すると、MOD端子からの信号はゼロクロスポイントで終了します。



## 2) MSKデモジュレータ

## 2.1) フレーム検出機能を使用しない場合

デモジュレータとのインターフェースは、RXIN,RCLK,RDFFD/RDATA端子とBS[2:0],MSKRCLKレジスタとで以下のように行います。

- (1) BS[2:0]によりMode3,4,6を選択すると同時にMSKRCLKを”1”に設定し、MSK受信状態にします。
- (2) RXIN端子よりMSK信号を受信すると、MSK-BPF、Data-Demodulator、Digital-PLL回路をへてRCLK端子から出力される1200/2400Hzのクロックの立ち下りに同期して復調されたデータがRDFFD/RDATA端子よりRDATAとして連続的に出力されます。
- (3) BS[2:0]によりMode0,1,2,5を選択すると終了します。

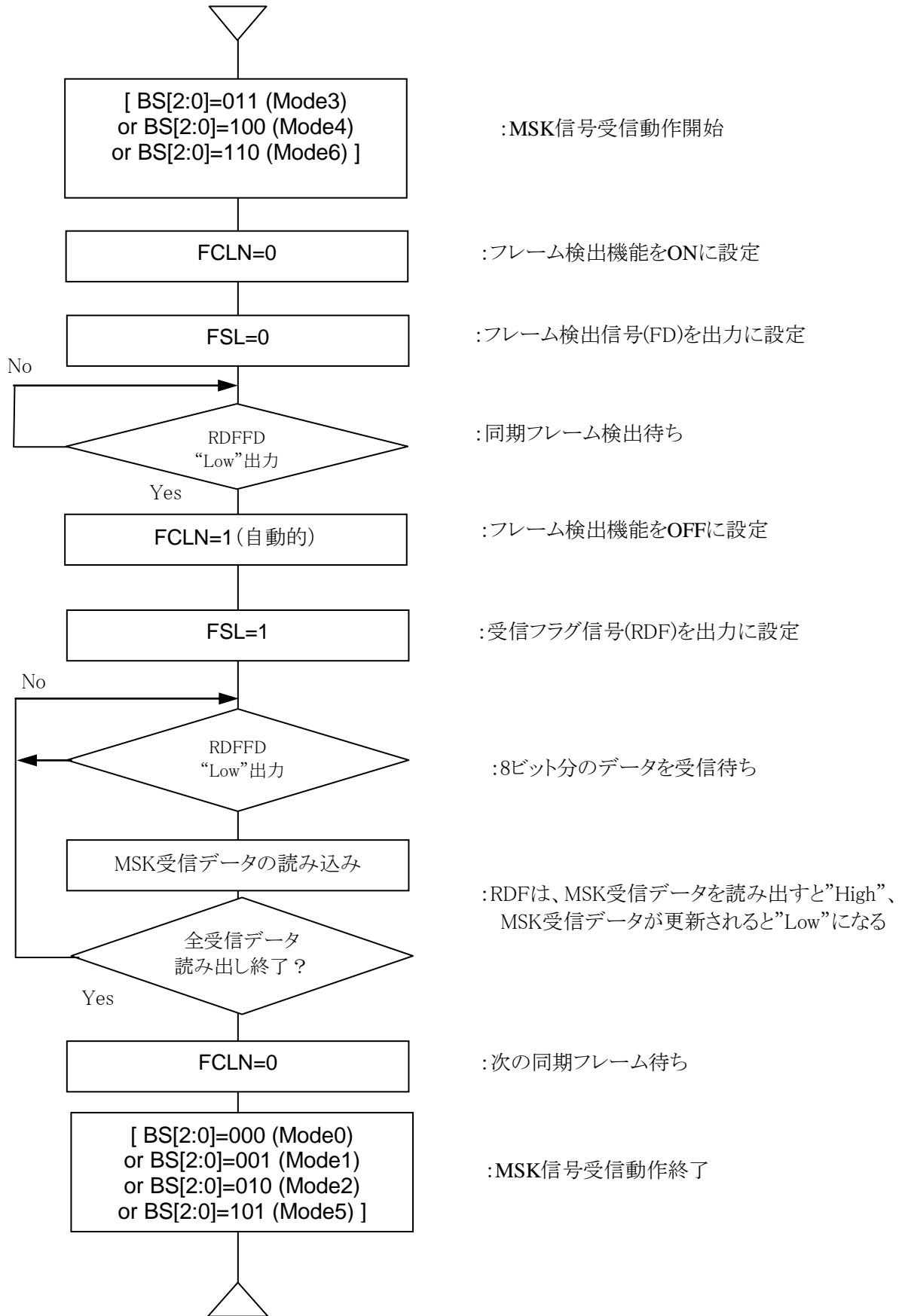
## 2.2) フレーム検出機能を使用する場合

デモジュレータとのインターフェースは、RXIN,RDFFD/RDATA,SDATA,SCLK,CSN端子とBS[2:0],MSKRCLK,FSL,FCLNレジスタとで以下のように行います。(14頁のタイミングを参照ください)

- (1) BS[2:0]によりMode3,4,6を選択すると同時にMSKRCLKを”0”に、FSLを”0”、FCLNを”0”に設定し、MSK受信状態にします。この設定によりRDFFD/RDATA端子はRDFFDのフレーム検出(FD)として機能を示し、”High”レベルを出力し同期フレーム待ちの状態となります。  
なおこの時、CSN端子は”H”レベル、SCLK端子は”L”レベルを入力します。
- (2) 同期フレームを検出するとRDFFD/RDATA端子はFD動作を行い”T”の区間だけ”Low”レベルを出力し、FCLNは自動的に”1”に設定されます。
- (3) RDFFD/RDATA端子が”Low”レベルになることをモニターしたらFSLは”1”とし、MSK受信フラグ信号(RDF)を出力するよう設定します。またFCLNは、”1”に設定ください。
- (4) 8ビット分の受信データ(MD7~0)は内部ノードRDATA\_nからバッファへ転送され、完了するとRDFFD/RDATA端子はRDF動作を行い”Low”レベルを出力します。
- (5) この変化をCPUでモニターしたら、モデム受信データレジスタ(アドレス:A[3:0]=0110)より復調データ(RD7~0)を読み出します。
- (6) モデム受信データレジスタからの読み出しが完了すると、RDFFD/RDATA端子は”High”レベルを出力し、バッファ内のRD7~0データが全て読み出されてことを示します。
- (7) 上記(4),(5),(6)を繰り返すと、復調されたデータを受信データレジスタより読み出すことができます。
- (8) 必要なデータの読み込みが終了したらFCLNを”0”に設けます。これにより内部ノードRCLK,RDATAは初期化され、次の同期フレーム待ちの状態となります。
- (9) BS[2:0]によりMode0,1,2,5を設定すると、MSKデモジュレータ動作を終了します。

このフレーム検出回路には、リセット機構がありません。したがって上記(1)~(8)の途中で中止した場合は、再度(1)から設定ください。特に(2)に記すようにRDFFD/RDATA端子がFDとしてフレームを検出し”Low”レベルを出力している間にFCLNは自動的に”1”に設定されます。この期間に”0”の書き込みを行っても無効となりますので、RDFFD/RDATA端子が”High”レベルを出力するのを待ち再度ご設定ください。

なおMode0,1,2,5では、内部ノードRDF\_nとFD\_nは”High”レベルに固定されており、RDFFD/RDATA端子Active時のRDFFD信号は”High”レベルを出力します。





## DTMFレシーバ動作説明

1) DTMFレシーバ

DTMFレシーバとのインターフェースは、RXIN,DTMFIN,STD,LOADN,ACK,AD端子とBS2,BS1,BS0 (以下BS[2:0]),DTMFSL,GTP[3:0],GTA[3:0],AGCSW[1:0],PGA[1:0]レジスタにより以下のように行います。(16頁のタイミングを参照ください)

- (1) BS[2:0]によりMode5,6を設定し、DTMFレシーバ動作状態にします。
- (2) DTMFSLレジスタによりRXINもしくはDTMFIN端子を選択し、AGC回路動作のAGCSW[1:0], PGA[1:0]レジスタとガードタイムのGTP[3:0],GTA[3:0]レジスタを設定すると、検出した周波数に応じて下記4ビットコードに変換します。
- (3) STD端子の出力レベルに合わせLOADN,ACK端子を入力すると、SD端子から4ビットコード(MSBファースト、SD3～SD0)が出力されます。
- (4) BS[2:0]によりMode0,1,2,3,4を設定すると、DTMFレシーバ動作は終了します。

出力コード表

低群周波数 [Hz]	高群周波数 [Hz]	KEY	SD3 (MSB)	SD2	SD1	SD0 (LSB)
697	1209	1	0	0	0	1
	1336	2	0	0	1	0
	1477	3	0	0	1	1
770	1209	4	0	1	0	0
	1336	5	0	1	0	1
	1477	6	0	1	1	0
852	1209	7	0	1	1	1
	1336	8	1	0	0	0
	1477	9	1	0	0	1
941	1336	0	1	0	1	0
	1209	*	1	0	1	1
	1477	#	1	1	0	0
697	1633	A	1	1	0	1
770	1633	B	1	1	1	0
852	1633	C	1	1	1	1
941	1633	D	0	0	0	0

2) デコード結果出力

DTMF受信信号デコード結果は内部出力バッファを介してSD端子に出力されます。

内部出力バッファはLOADN端子で制御されます。

LOADN端子入力	SD端子出力
0	デコード結果出力
1	Highレベル出力

3) ガードタイムの設定

入力信号有効時間( $t_{REC}$ )、入力信号無効時間( $t_{REJ}$ )、インターディジットポーズ有効時間( $t_{ID}$ )、インターディジットポーズ無効時間( $t_{DO}$ )は、下に示すようにガードタイムを調整して所望の値に設定することができます。ガードタイムはレジスタGTPn,GTAn(n=0-3)で設定します。

$$\begin{aligned} \text{入力信号有効時間}(t_{REC}) &= \text{信号検出時間}(t_{DP}) + \text{ガードタイム}(t_{GTP}) \\ \text{入力信号無効時間}(t_{REJ}) &= \text{信号検出時間}(t_{DP}) + \text{ガードタイム}(t_{GTP}) - \text{信号停止検出時間}(t_{DA}) \end{aligned}$$

$$\begin{aligned} \text{インターディジットポーズ有効時間}(t_{ID}) &= \text{信号停止検出時間}(t_{DA}) + \text{ガードタイム}(t_{GTA}) \\ \text{インターディジットポーズ無効時間}(t_{DO}) &= \text{信号停止検出時間}(t_{DA}) + \text{ガードタイム}(t_{GTA}) - \text{信号検出時間}(t_{DP}) \end{aligned}$$

ガードタイム( $t_{GTP}$ ) 設定範囲	10ms ~ 134ms
ガードタイム( $t_{GTP}$ ) 可変ステップ	9ms

ガードタイム( $t_{GTA}$ ) 設定範囲	19ms ~ 134ms
ガードタイム( $t_{GTA}$ ) 可変ステップ	9ms

レジスタGTPn,GTAn(n=0-3)設定値とガードタイム値との関係は、次表を参照ください。

レジスタGTPn(n=0-3)とガードタイム $t_{GTP}$ および入力信号有効時間 $t_{REC}$ との関係(AGC Disable時)

$t_{DP}$ (ms)		
Min.	Typ.	Max.
5	11	16.8

GTPレジスタ				$t_{GTP}$ (ms)	$t_{REC}$ (ms) = $t_{GTP} + t_{DP}$		
3	2	1	0	Typ.	Min.	Typ.	Max.
0	0	0	1	10	15	21	27
0	0	1	0	19	24	30	36
0	0	1	1	28	33	39	45
0	1	0	0	37	42	48	54
0	1	0	1	46	51	57	63
0	1	1	0	54	60	65	71
0	1	1	1	63	68	74	80
1	0	0	0	72	77	83	89
1	0	0	1	81	86	92	98
1	0	1	0	90	95	101	107
1	0	1	1	99	104	110	116
1	1	0	0	108	113	119	125
1	1	0	1	117	122	128	134
1	1	1	0	126	131	137	143
1	1	1	1	134	139	145	151

レジスタGTAn(n=0-3)とガードタイム $t_{GTA}$  およびインターディジットポーズ時間 $t_{ID}$ との関係

$t_{DA}$ (ms)		
Min.	Typ.	Max.
0.5	4	8.5

GTAレジスタ				$t_{GTA}$ (ms)	$t_{ID}$ (ms) = $t_{GTA} + t_{DA}$		
3	2	1	0	Typ.	Min.	Typ.	Max.
0	0	1	0	19	19	23	27
0	0	1	1	28	28	32	36
0	1	0	0	37	37	41	45
0	1	0	1	46	46	50	54
0	1	1	0	54	55	58	63
0	1	1	1	63	64	67	72
1	0	0	0	72	73	76	81
1	0	0	1	81	82	85	90
1	0	1	0	90	91	94	99
1	0	1	1	99	99	103	107
1	1	0	0	108	108	112	116
1	1	0	1	117	117	121	125
1	1	1	0	126	126	130	134
1	1	1	1	134	135	138	143

注1) 表中の $t_{GTP}$ 、 $t_{GTA}$ はTyp値です。ばらつきとして、±1msを考慮ください。

注2) ガードタイムGTPn(n=0-3)=0000と設定した場合、誤ったデコード結果を出力する可能性があるため、設定しないで下さい。

注3) ガードタイムGTAn(n=0-3)=0000及び0001と設定した場合、インターディジットポーズ無効時間が確保できないため、設定しないで下さい。

## 4) AGC回路動作

## 4.1) AGCSW[1:0]=00に設定すると、AGC回路はDisableになります。

このときPGAゲインは、PGA[1:0]レジスタにて0,+4,+8,+12dBの中からマニュアルで設定できます。

PGA[1:0]=00時、0dBに設定され、0~-27dBxの入力レベルを検出。

PGA[1:0]=01時、+4dBに設定され、-4~-31dBxの入力レベルを検出。

PGA[1:0]=10時、+8dBに設定され、-8~-35dBxの入力レベルを検出。

PGA[1:0]=11時、+12dBに設定され、-12~-39dBxの入力レベルを検出。

信号レベルがいずれかの範囲で安定して入力される場合は、PGA回路として使用いただけます。

## 4.2) AGCSW[1:0]=01に設定すると、AGC回路はEnableになり以下の動作を行います。

- (1) PGAゲインは初期値0dBからスタートし、信号が入力されるまで一定の周期でゲイン設定と設定解除を繰り返します。(無入力状態では、PGAゲインは、設定+12dBと解除0dBが繰り返される。)
- (2) 信号が入力されると一定時間内に信号のピークレベルを検出し、下表をもとに0,+4,+8,+12dBの中から最適なPGAゲインを自動的に設定します。
- (3) 検出動作は内部のガードタイム(GTP)カウンターの動作開始でスタートし、その後はPGAゲインを固定した状態で検出動作を行います。この時のPGAゲインは、STDPGA[1:0]からモニターできます。
- (4) 信号停止は内部のガードタイム(GTA)カウンターの動作終了で認識し、固定されたPGAゲインは解除され0dBに戻ります。
- (5) 次の信号が入力されるまで一定の周期でゲイン設定とゲイン解除を行い、信号を検出すると(2)から(4)の動作を繰り返します。なおSTDPGA[1:0]は、信号検出を示すSTD端子の立ち上がり同期して検出ごとに更新されます。

RXINO, DTMFIN 入力レベル (dBx)	PGA設定 ゲイン (dB)	PGA=0dB 内部レベル (dBx)	PGA=+4dB 内部レベル (dBx)	PGA=+8dB 内部レベル (dBx)	PGA=+12dB 内部レベル (dBx)
-21	0	-21	-17	-13	-9
-22	0	-22	-18	-14	-10
-23	0	-23	-19	-15	-11
-24	0	-24	-20	-16	-12
-25	0	-25	-21	-17	-13
-26	0	-26	-22	-18	-14
-27	0	-27	-23	-19	-15
-28	+4	-	-24	-20	-16
-29	+4	-	-25	-21	-17
-30	+4	-	-26	-22	-18
-31	+4	-	-27	-23	-19
-32	+8	-	-	-24	-20
-33	+8	-	-	-25	-21
-34	+8	-	-	-26	-22
-35	+8	-	-	-27	-23
-36	+12	-	-	-	-24
-37	+12	-	-	-	-25
-38	+12	-	-	-	-26
-39	+12	-	-	-	-27

## 4.3) AGCSW[1:0]=10に設定すると、上記AGC回路Enable時の最新STDPGA[1:0]データ(PGAデータ)を保持した後に、AGC回路をDisableにします。この設定はAGC回路Enable(AGCSW[1:0]=01)により得られたPGAゲインの設定を用いて、PGA回路を動作させる場合に使用いただけます。

なおAGCSW[1:0]=01から10への切り替えは、PGAゲインの内容が更新されるSTD端子立ち上がり直後のタイミングで設定されるよう推奨いたします。

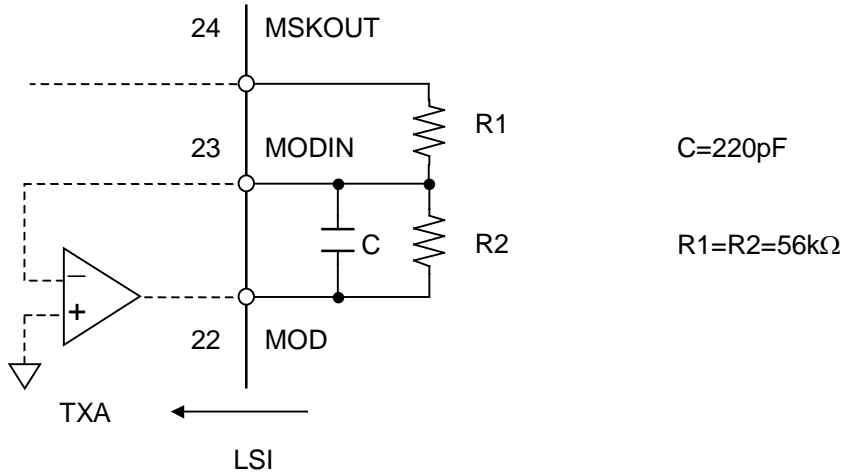
外部接続回路推奨例

1) TXAアンプ

送信信号のゲイン調整およびスムージングフィルタを構成するためのアンプです。

MSKOUT端子に115.2kHzのサンプリングクロックが含まれるため、このアンプを用いスムージングすることを推奨いたします。

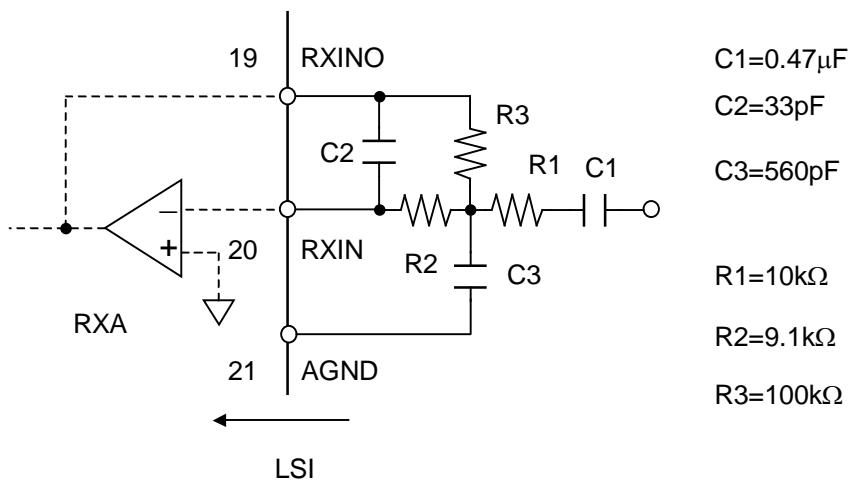
下図にゲイン0dB、カットオフ周波数13kHzの1次LPFの構成例を示します。



2) RXAアンプ

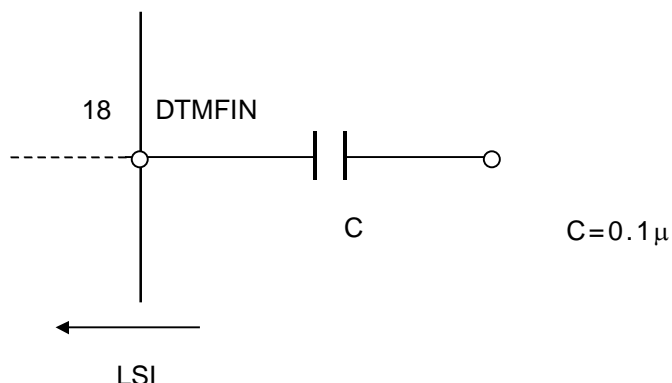
受信信号のゲイン調整用アンプで、20dB以下に設定ください。100kHz以上のノイズに対しては、折り返し防止フィルタを構成ください。

下図にゲイン20dB、カットオフ周波数39kHzの2次LPFの構成例を示します。



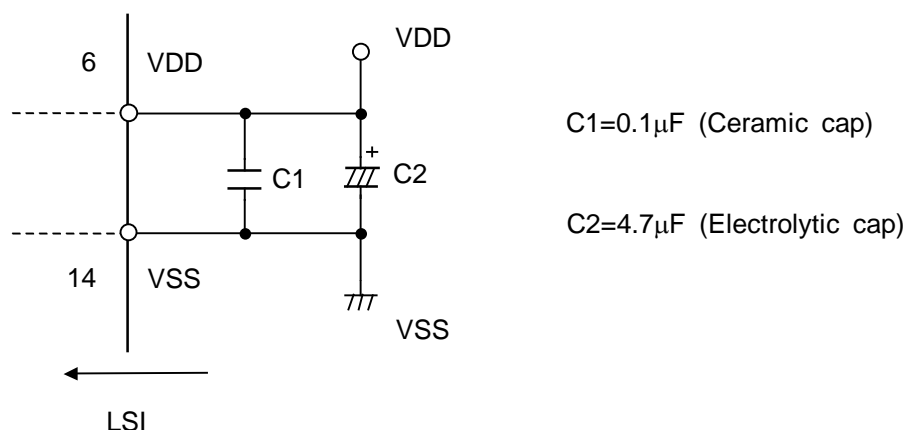
3) DTMFIN 外付け容量

DTMFIN 端子には、入力信号の DC オフセットと LSI 内部の動作点を調整するためにコンデンサを接続ください。これにより約  $f_c=3\text{Hz}$  の High-pass フィルタが構成されます。



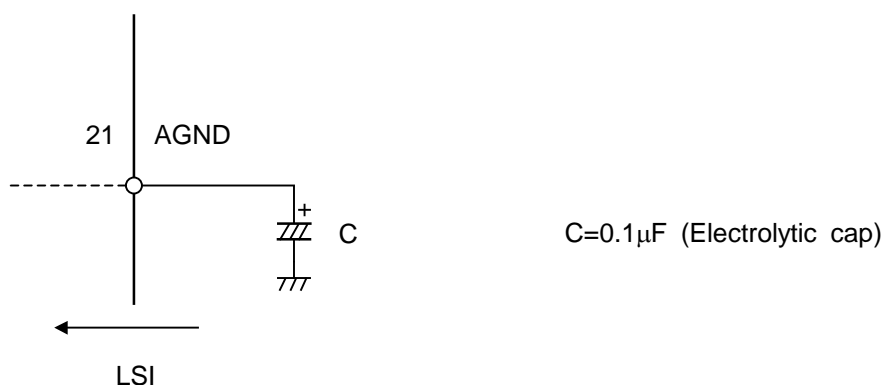
4) 電源安定化容量

電源に含まれるリップル、ノイズ等を除去するため、VDD-VSS端子間に下図の様にコンデンサを接続ください。コンデンサは両端子間の最短距離に配置すると効果的です。



5) AGND安定化容量

AGND端子には、VSSとの間に0.1 $\mu$ Fのコンデンサを接続しAGND信号の安定化を図るよう推奨いたします。コンデンサはできるだけ各端子の近くに配置ください。



6) 発振回路

内蔵の発振回路を使用する場合は、3.6864MHzの水晶振動子と抵抗とコンデンサをFig.1の様に接続します。内部バッファは、等価直列抵抗:150Ω(Max.)、並列容量:5pF(Max.)の等価回路定数を示す水晶振動子が、安定に発振するよう設計しております。

また外付けコンデンサには22pFを接続し、負荷容量がトータルで16pF(5pF+22pF//22pF)以下となるよう推奨いたします。振動子、抵抗、コンデンサはできるだけXIN,XOUT端子の近くに配置ください。

外部よりクロックを供給する場合は、3.6864MHzに加え、2乗倍の7.3728MHz、3乗倍の11.0592MHzおよび4乗倍の14.7456MHzの周波数にも対応可能です。ただし、後段の分周回路で2分周、3分周、4分周を選択し内部の周波数は常に3.6864MHzとなるよう設定します。また、その振幅レベルによりFig.2もしくはFig.3のように接続ください。

XIN端子初段の回路がスレッショルド電圧一定(0.8V)であることから、入力クロックのHighレベルが1.5V以上で、Lowレベルが0.4V以下の場合は、Fig.2のように接続ください。また入力クロックの振幅(p-p値)が0.2V以上で1.0V以下の場合は、Fig.3のように接続ください。

周辺のICとクロックを共通にする場合は、XIN端子に入力、出力するよう接続ください。またクロックの振幅は、絶対最大定格を超えないよう注意ください。

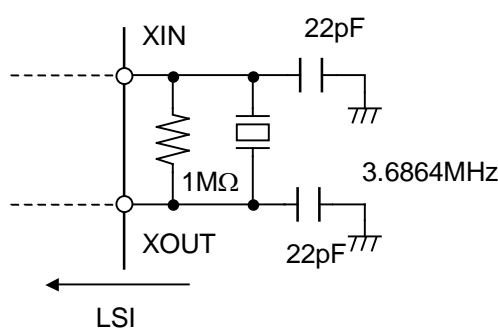


Fig. 1

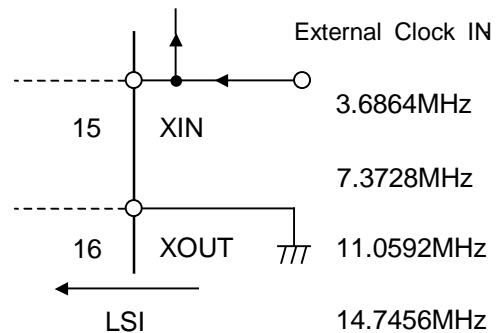


Fig. 2

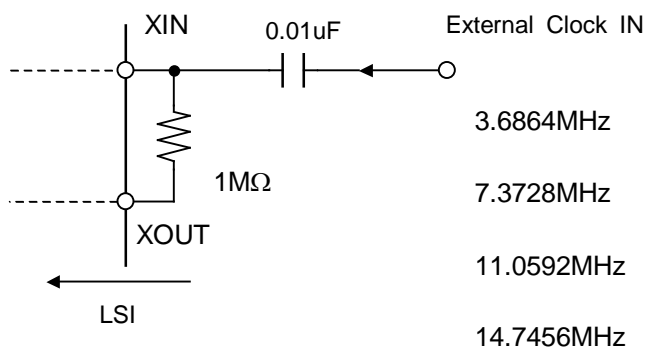
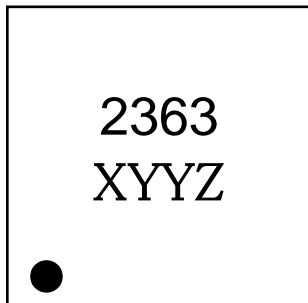


Fig. 3

パッケージ

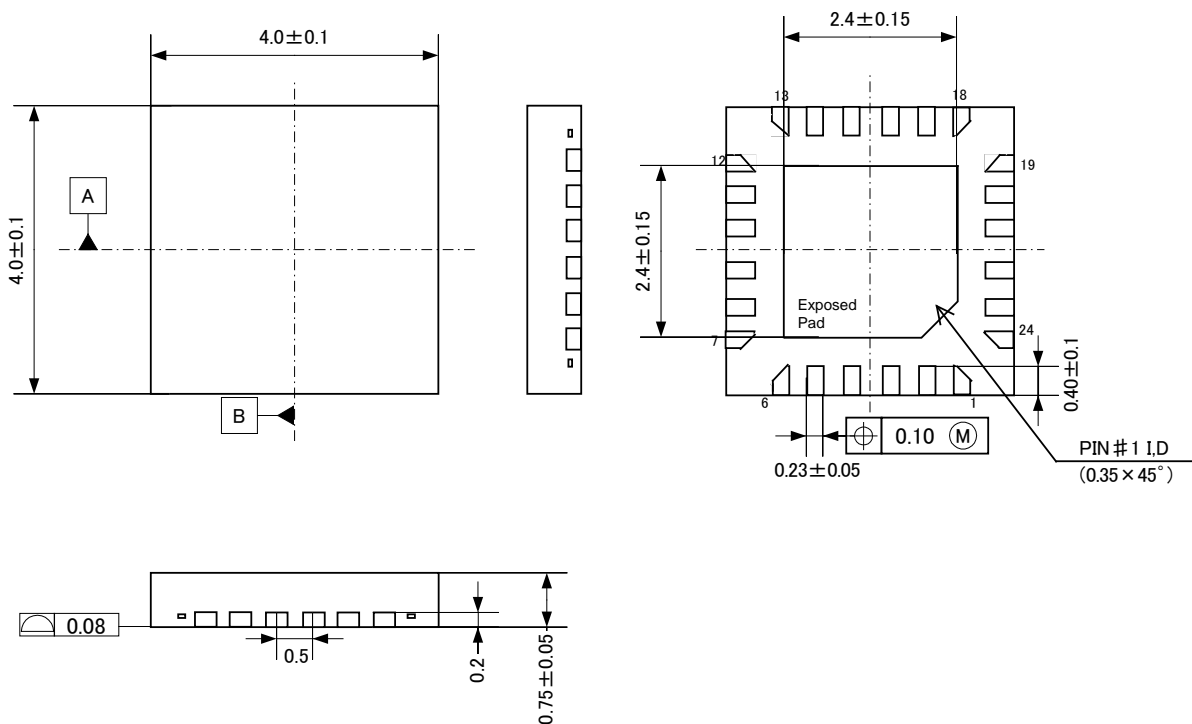
1) マーキング図



品番	2363
日付コード	X:製造時期 西暦年号下1桁 Y:製造時期 週 Z:製造ロット 識別コード

2) 外形寸法図

パッケージタイプ: 24pin QFNJ (4.0 x 4.0 x 0.75mm, 0.5mm pitch)



注) パッケージ裏面中央の露出パッド(Exposed Pad)は、オープンまたはVSSに接続してください。



**重要な注意事項****重要な注意事項**

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。