



AK2364

帯域可変型IFフィルタ内蔵 FM検波LSI

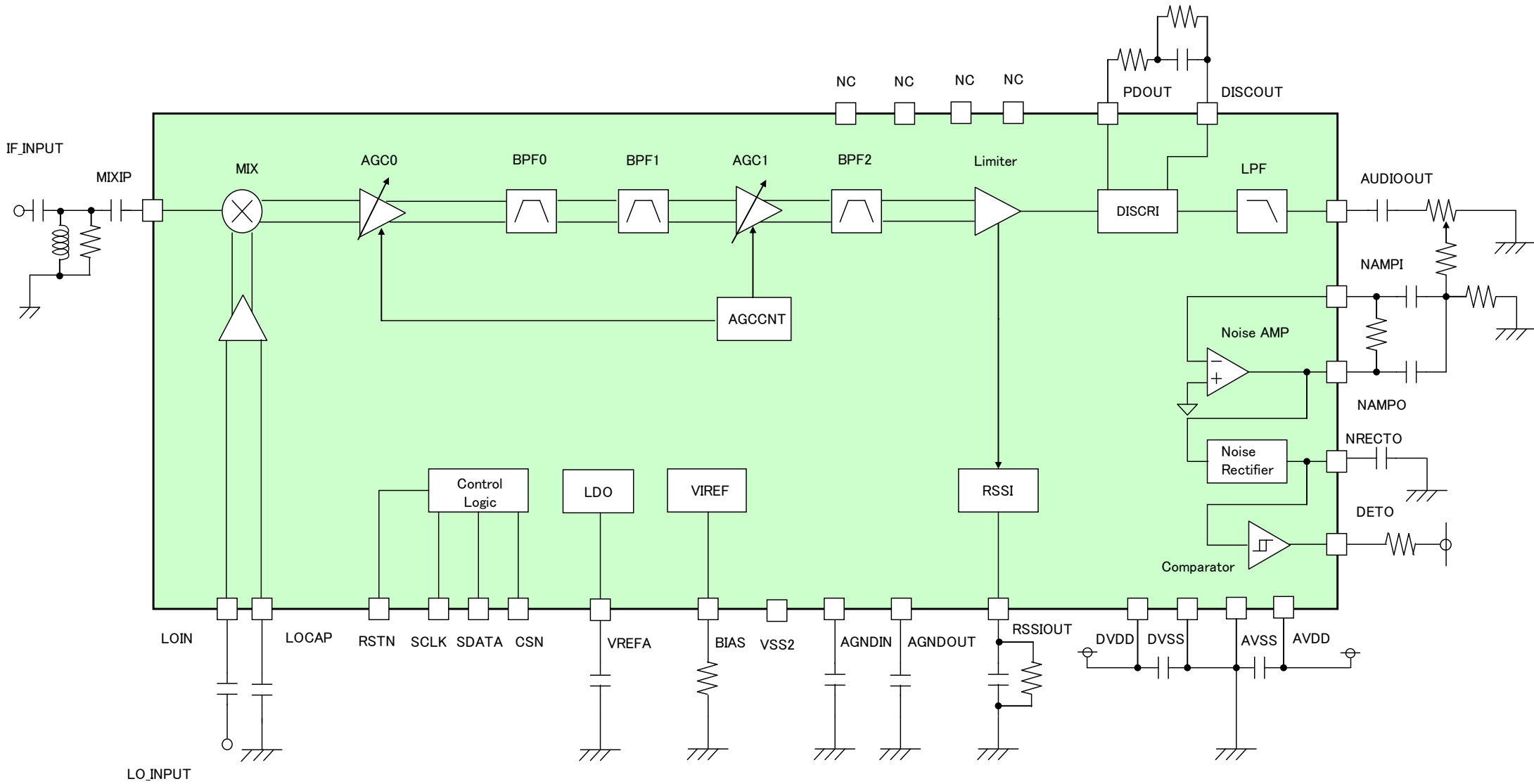
1. 特長

- 動作電圧： 2.6～5.5V
- 温度範囲： -40～+85℃
- 感度： 12dB SINAD -104dBm
- 2ndミキサ内蔵
- ローカル周波数： 45.9MHz、50.4MHz、57.6MHz
- 帯域可変型IFフィルタ内蔵
- FM復調回路内蔵（PLL検波方式）
- RSSI回路内蔵
- ノイズスケルチ回路内蔵
- 消費電流： 7mA（Typ.）
- パッケージ： 28pin-QFNJ（4mm角、0.4mmピッチ）

2. 目次

1. 特長.....	1
2. 目次.....	2
3. ブロック図	3
4. 回路構成	4
5. ピン/機能	5
6. 絶対最大定格.....	7
7. 推奨動作条件.....	7
8. デジタルDC特性	7
9. デジタルACタイミング	8
10. システムリセット.....	10
11. 消費電流.....	11
12. アナログ特性.....	12
13. シリアルインターフェース	16
14. パワーアップ動作説明	19
15. 外部接続回路推奨例	21
16. パッケージ	25
17. 重要な注意事項	26

3. ブロック図



4. 回路構成

ブロック	機 能
MIX	MIXIP端子から入力された信号をLO信号により、ダウンコバートする回路。
AGC+BPF	AGAとBPFを交互にカスコードに配置し、2nd Mixerからの信号に含まれる妨害波を徐々に抑圧しながら希望波を増幅する回路。
Divider	OSCIN端子からの信号を分周し、BPFにクロックを供給する回路。
LIMTER	PGA+BPFにてフィルタリングされた信号をさらに増幅し、矩形波信号を生成する回路。
DISCRI	PLL検波方式によりLIMTERからのIF信号を音声信号に復調するFM復調回路。
LPF	DISCRIで発生するノイズを除去するためのフィルタ。
Noise AMP	ノイズスケルチ用BPFを構成するためのアンプ。
Noise Rectifier	ノイズレベルを検出するための整流回路。
Comparator	ノイズレベルを比較するための回路。
RSSI	LIMTERから得られる信号より、受信信号強度(Received Signal Strength Indicator)を求める回路。
VIREF	内部の基準電圧を生成する回路。
LDO	一部の回路ブロックに1.8Vの電圧を供給する回路 (注)
Control Logic	レジスタ回路は、1ビットのインストラクション、6ビットのアドレス、8ビットのデータ、計16ビットで1フレームを構成し、ICの内部状態を設定する回路。

注: AVDD < 3.6Vの場合は、LDOをパワーダウンした状態でVREFA端子にAVDDと同じ電圧を外部から供給してください。

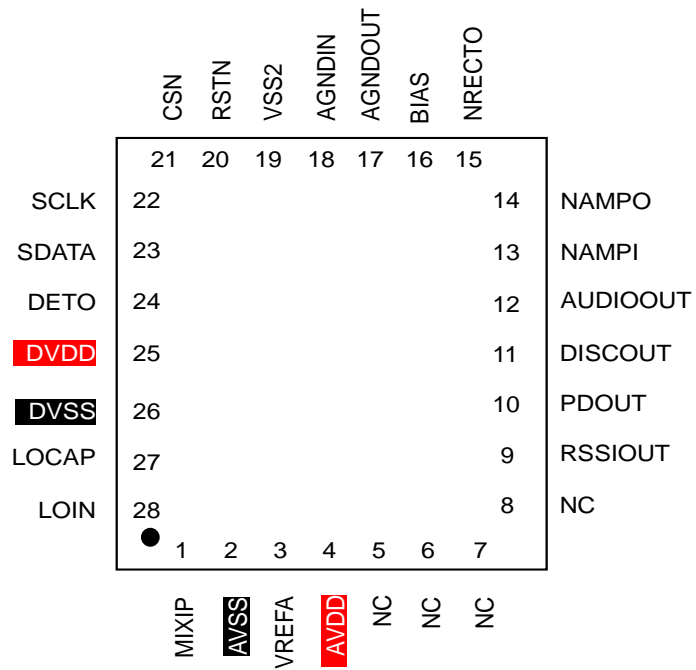
5. ピン/機能

ピン番号	ピン名称	ピンタイプ	パワー ダウン時 ピン状態	機能
1	MIXIP	AI	Z	IF正転信号入力端子
2	AVSS	PWR	-	グラウンド端子
3	VREFA	AI	H	LDO出力安定化コンデンサ接続端子(注)
4	AVDD	PWR	-	アナログ電源端子
5	NC	AIO	Z	NC端子
6	NC	AIO	Z	NC端子
7	NC	AIO	Z	NC端子
8	NC	AIO	Z	NC端子
9	RSSIOUT	AO	Z	受信信号レベル判定用キャパシタ接続端子
10	PDOUT	AO	Z	DISCRIMINATOR LPF用端子1
11	DISCOUT	AO	Z	DISCRIMINATOR LPF用端子2
12	AUDIOOUT	AO	Z	復調信号出力
13	NAMPI	AI	Z	ノイズスケルチ用アンプ入力端子
14	NAMPO	AO	Z	ノイズスケルチ用アンプ出力端子
15	NRECTO	AI	Z	全波整流回路出力端子
16	BIAS	AO	Z	基準電圧源用バイアス抵抗接続端子
17	AGNDOUT	AO	Z	アナログ基準グラウンド安定化コンデンサ接続端子
18	AGNDIN	AI	Z	アナログ基準グラウンド安定化コンデンサ接続端子
19	VSS2	PWR	-	グラウンド端子
20	RSTN	DI	Z	ハードウェアリセット端子
21	CSN	DI	Z	シリアルデータ用チップセレクト入力端子
22	SCLK	DI	Z	シリアルデータ用クロック入力端子
23	SDATA	DB	-	シリアルデータ用入出力端子
24	DETO	DO	Z	信号検出出力端子
25	DVDD	PWR	-	デジタル電源端子
26	DVSS	PWR	-	グラウンド端子
27	LOCAP	AI	Z	ローカル信号入力端子
28	LOIN	AI	Z	ローカル信号入力端子

注: AVDD < 3.6V の場合は、VREFA に AVDD と同じ電源電圧を外部から供給してください。
その際、LDO はパワーダウンした状態で使用してください。

注: VREFA に外部から電源電圧を印加する場合、絶対最大定格、推奨動作条件は AVDD に準拠します。

ピン配置 :



6. 絶対最大定格

項目	記号	Min.	Max.	単位
電源電圧	AVDD	-0.3	6.5	V
	DVDD	-0.3	6.5	V
グラウンドレベル	VSS	0	0	V
入力印可電圧	VIN_analog	-0.3	AVDD+0.3	V
	VIN_digital	-0.3	DVDD+0.3	V
入力印可電流(電源ピンを除く)	I _{IN}	-10	+10	mA
保存温度	T _{stg}	-55	130	°C

注：電圧は全てVSSピンに対する値です。

注意：この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は、保証されません。

7. 推奨動作条件

項目	記号	条件	Min.	Typ.	Max.	単位
動作温度	Ta		-40		85	°C
動作電源電圧	AVDD		2.6	3.0	5.5	V
	DVDD	DVDD ≤ AVDD	2.6	3.0	5.5	V
アナログ基準電圧	AGND	LDO使用時		1.35		
		LDO不使用時		1/2AVDD		V
出力負荷抵抗	R _L	AUDIOOUT, DISCOUT ,NAMPO	30			kΩ
出力負荷容量	C _L	AUDIOOUT, DISCOUT ,NAMPO			15	pF

注：電圧は全てVSSピンに対する値です。

8. デジタルDC特性

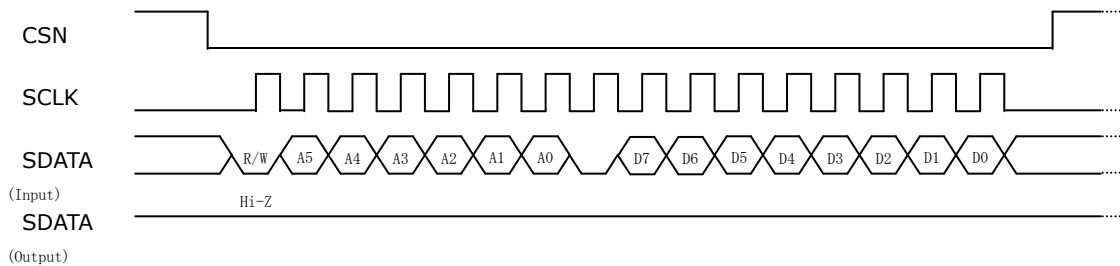
項目	記号	条件	Min.	Typ.	Max.	単位
高レベル入力電圧	V _{IH}	RSTN, SCLK, SDATA CSN	0.8DVDD			V
低レベル入力電圧	V _{IL}	RSTN, SCLK, SDATA CSN			0.2DVDD	V
高レベル入力電流	I _{IH}	V _{IH} =DVDD RSTN, SCLK, SDATA CSN			10	uA
低レベル入力電流	I _{IL}	V _{IL} =0V RSTN, SCLK, SDATA CSN	-10			uA
高レベル出力電圧	V _{OH}	I _{OH} =+0.2mA SDATA	DVDD-0.4		DVDD	V
低レベル出力電圧	V _{OL}	I _{OL} =-0.4mA SDATA, DETO	0.0		0.4	V

9. デジタルACタイミング

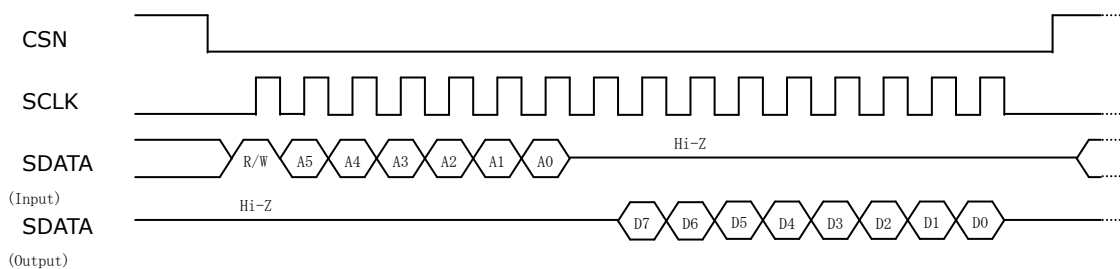
1) シリアルインターフェース タイミング

このLSIは、CSN, SCLK, SDATAの3線同期式シリアルインターフェースにより、データの書き込みと読み出しを行います。SDATA(シリアルデータ)は、書き込み/読み出しの識別ビット(R/W)、レジスタアドレス(MSBファースト, A5～A0)とコントロールデータ(MSBファースト, D7～D0)で構成されます。

書き込み (WRITE命令)



読み出し (READ命令)



R/W :レジスタへのアクセスが書き込みか、読み出しかをこのビットで識別します。
このビットが”Low”の場合には書き込み、”High”の場合には読み出しとなります。

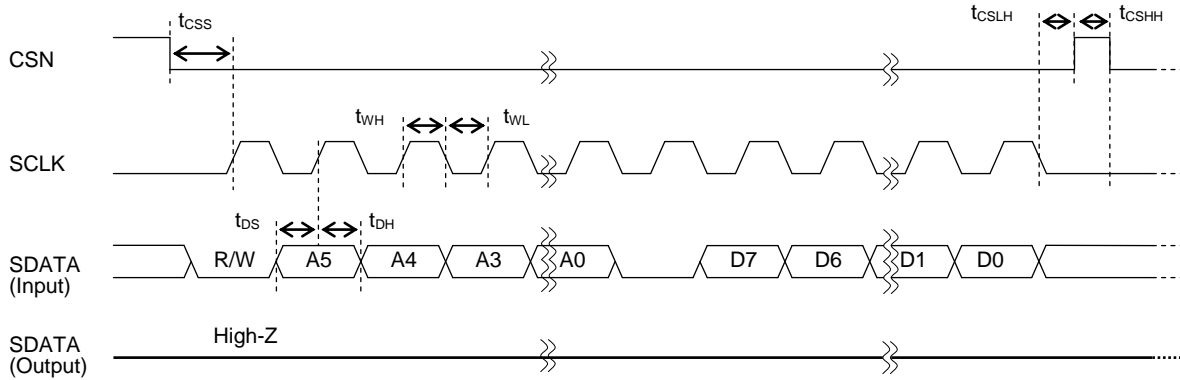
A5～A0 :アクセスしようとしているレジスタのアドレスを表します。

D7～D0 :レジスタへの書き込み、もしくはレジスタからの読み出しデータです。

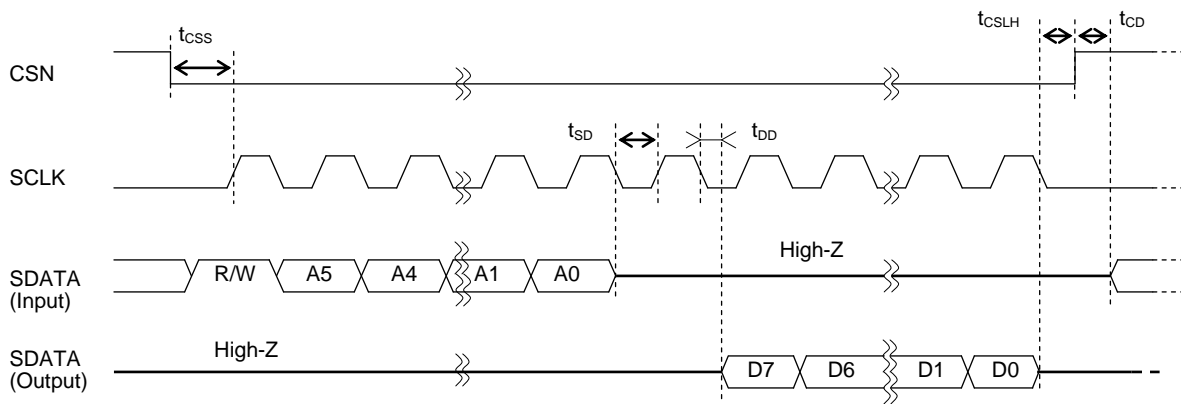
- ① CSN(チップセレクト)は、通常“High“に設定します。
CSNを“Low“に設定すると、シリアルインターフェースがアクティブとなります。
- ② 書き込み時は、アドレス A0 とデータ D7 と間は、“Low“を設定願います。CSN が“Low“区間で、SCLK の 16 クロックの立ち上がりに同期して SDATA より識別ビット、アドレス、データの順に取り込みます。入力データの確定は、16 個目のクロックの立ち上がりで行われます。(クロックのカウントが 16 より手前で CSN が“H“になった場合には、その入力データは無効になりますので、ご注意ください。)
CSN が“L”の時、クロックの 16 発毎に書き込みが行われますので、CSN が“L”の間は連続で書き込みが可能です。
- ③ 読み出しでは、CSN が“Low“区間で、SCLK の前半 7 クロックの立ち上がりに同期して SDATA より識別ビット、アドレスを取り込み、後半の 9 クロックの立ち下がりに同期して指定したアドレスのデータが出力されます。アドレス A0 とデータ D7 間のデータは、不定となりますのでご注意ください。
SCLK の後半 9 クロックでデータ出力の区間では、SDATA への入力は“Hi-Z“としてください。連続での読み出しはデータが保証されませんので、データ読み出し毎に CSN を”H“に設定してください。

2) 詳細タイミング

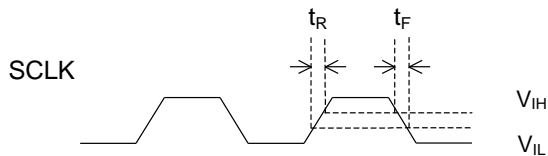
WRITE命令



READ命令



立ち上がり、立下り時間



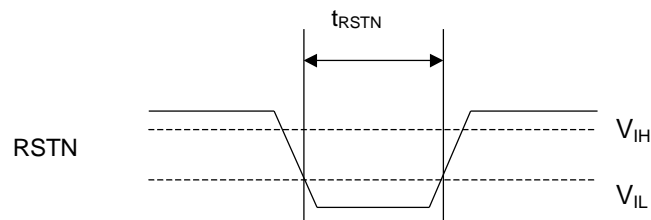
項目	記号	条件	Min.	Typ.	Max.	単位
CSN setup time	t_{CSS}		100			ns
SDATA setup time	t_{DS}		100			ns
SDATA hold time	t_{DH}		100			ns
SCLK high time	t_{WH}		500			ns
SCLK low time	t_{WL}		500			ns
CSN low hold time	t_{CSLH}		100			ns
CSN high hold time	t_{CSHH}		100			ns
SDATA Hi-Z setup time	t_{SD}		500			ns
SCLK to SDATA output delay time	t_{DD}	20pF負荷			400	ns
CSN to SDATA input delay time	t_{CD}	20pF負荷	200			ns
SCLK rising time	t_R				250	ns
SCLK falling time	t_F				250	ns

注) デジタル入力のタイミングは立ち上がり・立ち下がり信号の 0.5DVDD の値を基準とします。
 また、デジタル出力のタイミングは立ち上がり・立ち下がり信号の 0.5DVDD の値を基準に測定されます。

10. システムリセット

項目	記号	条件	Min.	Typ.	Max.	単位	備考
ハードウェアリセット 信号入力幅	t_{RSTN}	RSTN端子	1			μs	注1)
ソフトウェアリセット		SRSTレジスタ					注2)

注1) 電源投入後、ハードウェアリセット動作(レジスタの初期化)を必ず行なって下さい。1 μs 以上の“Low”パルス入力でリセットがかかり、動作モードMode0(パワーダウン)となります。
またこの時のデジタル入力(DI)端子は、RSTN:High、SCLK:Low、SDATA:Low、CSN:Lowと設定ください。



注2) **SRST[7:0]**レジスタに0x03:10101010データを書き込むと、ソフトウェアリセットが実行されます。この設定により動作モードMode0(パワーダウン)となり、レジスタは初期値となります。このレジスタは、ソフトウェアリセット完了後は”0”となります。

11. 消費電流

項目	記号	条件	Min.	Typ.	Max.	単位
消費電流	IDD0	Mode0 パワーダウン時			10	μA
	IDD1	Mode1 スタンバイ時 AGNDINのみ		0.1	0.2	mA
	IDD2	Mode2 スタンバイ時、Lo buffer, VIREF,		0.6	1.4	mA
	IDD3	Mode3 無信号時消費電流		7	10	mA

12. アナログ特性

特記なき場合、LOIN=50.4MHz、MIXIP=50.85MHz、 $\Delta f = \pm 1.5\text{kHz}$ 、 $f_{\text{mod}} = 1\text{kHz}$ 、AGC+BPF=F4特性、パッケージ裏面中央の露出パッドはVSSへ接続が適用されます。また外付け回路定数は、外部接続回路推奨例P.21～24に基づき設定しております。

1) LO部

項目	記号	条件	Min.	Typ.	Max.	単位	備考
ローカル周波数	F_{LO}	LOIN		45.9 50.4 57.6		MHz	
入力振幅	V_{LO}	LOIN	0.2		1.0	V_{PP}	注1)

注1) DCカットを介しLOIN端子より入力時。

2) 2nd Mixer部

項目	条件	Min.	Typ.	Max.	単位	備考
入力インピーダンス	注1)		50		Ω	
入力周波数			F_{LO} +0.45		MHz	
電圧利得			23		dB	
ノイズ・フィギュア			13		dB	

注1) 外付けの整合回路を含む。

3) Discriminator部

項目	条件	Min.	Typ.	Max.	単位	備考
復調出力レベル	$\Delta f = \pm 3.0\text{kHz}$, $f_{\text{mod}} = 1\text{kHz}$, LIMITER入力→AUDIOOUT 注2)	60	100	140	mVrms	BAND=1
	$\Delta f = \pm 1.5\text{kHz}$, $f_{\text{mod}} = 1\text{kHz}$, LIMITER入力→AUDIOOUT 注2)	60	100	140	mVrms	BAND=0
S/N比	$\Delta f = \pm 3.0\text{kHz}$, $f_{\text{mod}} = 1\text{kHz}$, LIMITER入力→AUDIOOUT 注2)		50		dB	BAND=1

注2) デエンファシス+BPF回路(0.3～3kHz)通過後

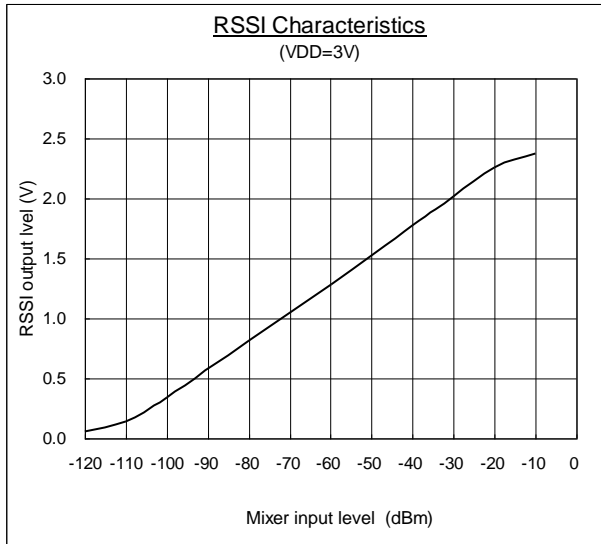
4) 受信総合特性

項目	条件	Min.	Typ.	Max.	単位	備考
12dB SINAD 入力感度	注3)		-104		dBm	
IIP3			-16		dBm	
復調出力レベル	$\Delta f = \pm 3.0\text{kHz}$, $f_{\text{mod}} = 1\text{kHz}$, AGC+BPF=F3特性 注3)	60	100	140	mVrms	BAND=1
	$\Delta f = \pm 1.5\text{kHz}$, $f_{\text{mod}} = 1\text{kHz}$, AGC+BPF=F4特性 注3)	60	100	140	mVrms	BAND=0
S/N比	$\Delta f = \pm 3.0\text{kHz}$, $f_{\text{mod}} = 1\text{kHz}$, AGC+BPF=F3特性 注3)	40	46		dB	BAND=1
	$\Delta f = \pm 1.5\text{kHz}$, $f_{\text{mod}} = 1\text{kHz}$, AGC+BPF=F4特性 注3)	34	40		dB	BAND=0

注3) デエンファシス+BPF回路(0.3～3kHz)通過後

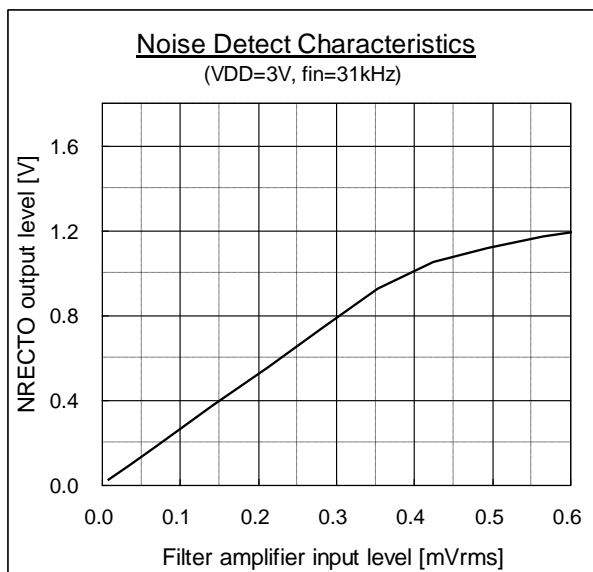
5) RSSI部

項目	条件	Min.	Typ.	Max.	単位	備考
RSSI出力電圧	MIXIP→RSSIOUT MIXIP=-100dBm入力時	0.1	0.36	0.62	V	
	MIXIP→RSSIOUT MIXIP=-30dBm入力時	1.4	2.0	2.6	V	



6) ノイズスケルチ回路特性

項目	条件	Min.	Typ.	Max.	単位	備考
ノイズ検出レベル	NRECTO→DETO Highを検出		0.5	0.7	V	
	NRECTO→DETO Lowを検出	0.3	0.4		V	
ノイズ検出特性	NAMPI→NRECTO 入力条件: 31kHz, 0.1mVrms	0.1	0.26	0.36	V	
	NAMPI→NRECTO 入力条件: 31kHz, 0.25mVrms	0.4	0.65	0.8	V	



7) AGC+BPF部

7.1) F1特性 (D)

項目	条件	Min.	Typ.	Max.	単位	備考
フィルタ減衰特性 (450kHzでの利得を 0dBとした相対値)	430kHz			-50	dB	
	440kHz	-6			dB	
	460kHz	-6			dB	
	470kHz			-50	dB	
ゲインリップル	450±7kHz以内			3	dB	

7.2) F2特性 (E)

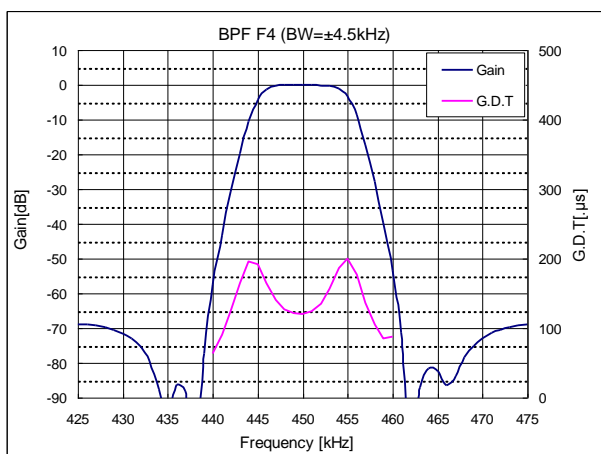
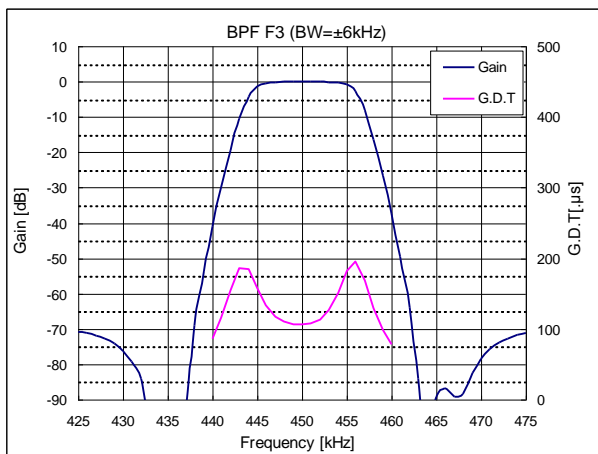
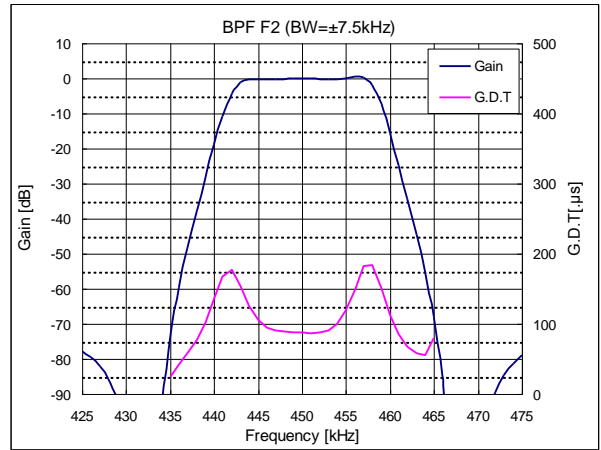
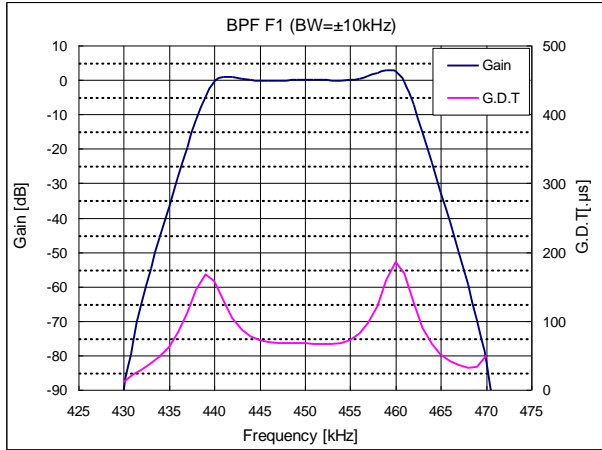
項目	条件	Min.	Typ.	Max.	単位	備考
フィルタ減衰特性 (450kHzでの利得を 0dBとした相対値)	435kHz			-50	dB	
	442.5kHz	-6			dB	
	457.5kHz	-6			dB	
	465kHz			-50	dB	
ゲインリップル	450±5kHz以内			3	dB	

7.3) F3特性 (F)

項目	条件	Min.	Typ.	Max.	単位	備考
フィルタ減衰特性 (450kHzでの利得を 0dBとした相対値)	437.5kHz			-50	dB	
	444kHz	-6			dB	
	456kHz	-6			dB	
	462.5kHz			-50	dB	
ゲインリップル	450±4kHz以内			3	dB	

7.4) F4特性 (G)

項目	条件	Min.	Typ.	Max.	単位	備考
フィルタ減衰特性 (450kHzでの利得を 0dBとした相対値)	439kHz			-50	dB	
	445.5kHz	-6			dB	
	454.5kHz	-6			dB	
	461kHz			-50	dB	
ゲインリップル	450±3kHz以内			3	dB	



13. シリアルインターフェース

Name	ADRS	D7(MSB)	D6	D5	D4	D3	D2	D1	D0(LSB)	W/R
コントロール レジスタ1	0x01	LDOSTAT	PDLDON	BPF_BW[1:0]		LOFREQ[1:0]		BS[1:0]		W/R
		1	0	0	0	0	1	0	1	
コントロール レジスタ2	0x02	Reserved			AGC_TIME[1:0]		AGC0_ STEP	BAND	CAL	W/R
		0	0	0	0	0	1	0	0	
ソフトウェア リセット	0x03	SRST[7:0]								W
		—	—	—	—	—	—	—	—	

上記アドレス以外は、アクセス不可。

アドレス 0x01 (コントロールレジスタ1)

Name	D7(MSB)	D6	D5	D4	D3	D2	D1	D0(LSB)
コントロール レジスタ1	LDOSTAT	PDLDON	BPF_BW[1:0]		LOFREQ[1:0]		BS[1:0]	
初期値	1	0	0	0	0	1	0	1

LDO設定

データ	設定項目	機能		備考
		0	1	
LDO STAT	LDOパワーダウン時 の出力状態	AVSSショート	AVDDショート	
PDLDON	LDOのパワー制御	OFF	ON	

BPF帯域切替

BPF_BW [1]	BPF_BW [0]	記号	6dB減衰帯域
0	1	F1	±10kHz
0	0	F2	±7.5kHz
1	0	F3	±6kHz
1	1	F4	±4.5kHz

ローカル周波数の設定

LOFREQ [1]	LOFREQ [0]	ローカル周波数
0	0	45.9MHz
0	1	50.4MHz
1	0	57.6MHz

注1) 表中に規定されていないコードの組み合わせは、設定しないで下さい。

動作モード設定

BS[1]	BS[0]	モード名	AGNDIN	LOBUF,VIREF 系	AGNDIN,LOBUF, VIREF以外
0	0	Mode0(パワーダウン)	OFF	OFF	OFF
0	1	Mode1(スタンバイ)	ON	OFF	OFF
1	0	Mode2	ON	ON	OFF
1	1	Mode3	ON	ON	ON

アドレス 0x02 (コントロールレジスタ2)

Name	D7(MSB)	D6	D5	D4	D3	D2	D1	D0(LSB)
コントロール レジスタ2	Reserved			AGC_TIME[1:0]		AGC0_ STEP	BAND	CAL
初期値	0	0	0	0	0	1	0	0

AGC応答時間の設定

AGC0ゲイン及び、AGC1ゲインが1ステップ切り替わる時の応答時間を設定できます。

AGC_TIME [1]	AGC_TIME [0]	AGC応答時間 [ms]					
		AGC0_STEP=0設定時			AGC0_STEP=1設定時		
		状態A	状態B	状態C	状態A	状態B	状態C
0	0	0.56	8.50	8.50	0.38	4.35	4.35
0	1	0.92	8.79	8.79	0.56	4.50	4.50
1	0	1.64	9.37	9.37	0.93	4.79	4.79
1	1	3.08	10.52	10.52	1.66	5.38	5.38

注1) ゲインが最大から最小、最小から最大に変化するまでの応答時間を示します。

注2) AGC応答時間は、以下の3つの状態に応じて異なります。

状態A: AGC0出力レベルが上限を超えた場合

状態B: AGC0出力レベルが上限を超えずにAGC1出力レベルが上限を超えた場合

状態C: AGC1出力レベルが下限を下回った場合

データ	設定項目	機能		備考
		0	1	
AGC0_ STEP	AGC0の ゲイン切替幅の設定	±1dB	±2dB	
BAND	復調レベルの設定 (注1)	NARROW	WIDE	
CAL	Discriminator部 キャリブレーション開 始トリガ(注2)	無効	開始	

注1) {BAND}に0を書き込むと、 $\Delta f \pm 1.5\text{kHz dev}$ 入力時のAUDIOOUT出力端での復調レベルが100mVrms typとなります。また、{BAND}に1を書き込むと、 $\Delta f \pm 3.0\text{kHz dev}$ 入力時のAUDIOOUT出力端での復調レベルが100mVrms typとなります。

注2) {CAL}の立ち上がりを検出して、Discriminator部のキャリブレーションを実施します。キャリブレーション終了後は自動的に“0”に設定されます。キャリブレーションには、1.3msを必要とします。詳細については、“キャリブレーション動作説明”の項を参照ください。

アドレス 0x03 (ソフトウェアリセット)

Name	D7(MSB)	D6	D5	D4	D3	D2	D1	D0(LSB)
ソフトウェアリセット	SRST[7:0]							
初期値	—	—	—	—	—	—	—	—

SRST[7:0]レジスタに0x03:10101010データを書き込むと、ソフトウェアリセットが実行されます。

詳細については、“システムリセット”の項を参照ください。

14. パワーアップ動作説明

1) AVDD=2.6V~3.6Vの範囲で使用する場合

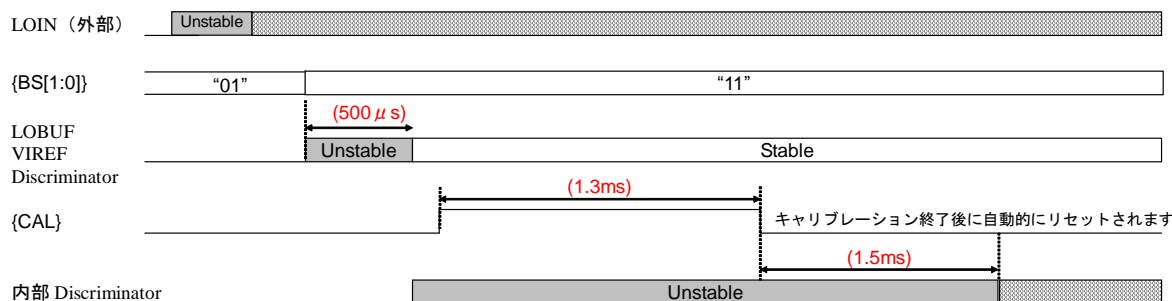
本LSIを電源電圧AVDD=2.6V~3.6Vの範囲で使用する場合は、LDOを使用せずにVREFAにAVDDと同じ電圧を印加してください。

また本LSIは、Discriminator内のVCOの自走周波数および復調レベルのキャリブレーション機能を有します。VCOの動作レンジを確保し、仕様の復調レベルを得るためには受信動作を開始する前にキャリブレーションを実施する必要があります。

LDOを使用しない場合のパワーアップシーケンスを以下に示します。

- ① 外部のTCXOを立上げ、LO信号を安定供給される状態にします。
- ② アドレス0x01 {BS[1:0]}に”11”を設定し、全ての回路を立ち上げます。これにより、キャリブレーション動作に必要な回路 (LOBUF、VIREF、Discriminator) がパワーアップし、500us後までにはキャリブレーションが可能な状態になります。
- ③ その後、アドレス0x02 {CAL}に”1”を書き込むことによりキャリブレーションを開始します。なお、一度キャリブレーション動作が実行されると、マスターリセット以外ではキャリブレーション動作を止めることはできません。{CAL}に”0”を書き込んでも、キャリブレーションは最後まで実行されます。
- ④ キャリブレーション結果はマスターリセット動作、もしくはDVDD電源を落とさない限りデータは保持されます。
- ⑤ キャリブレーションが完了してから、Discriminatorが安定するまで1.5msかかります。

パワーアップタイミング推奨例



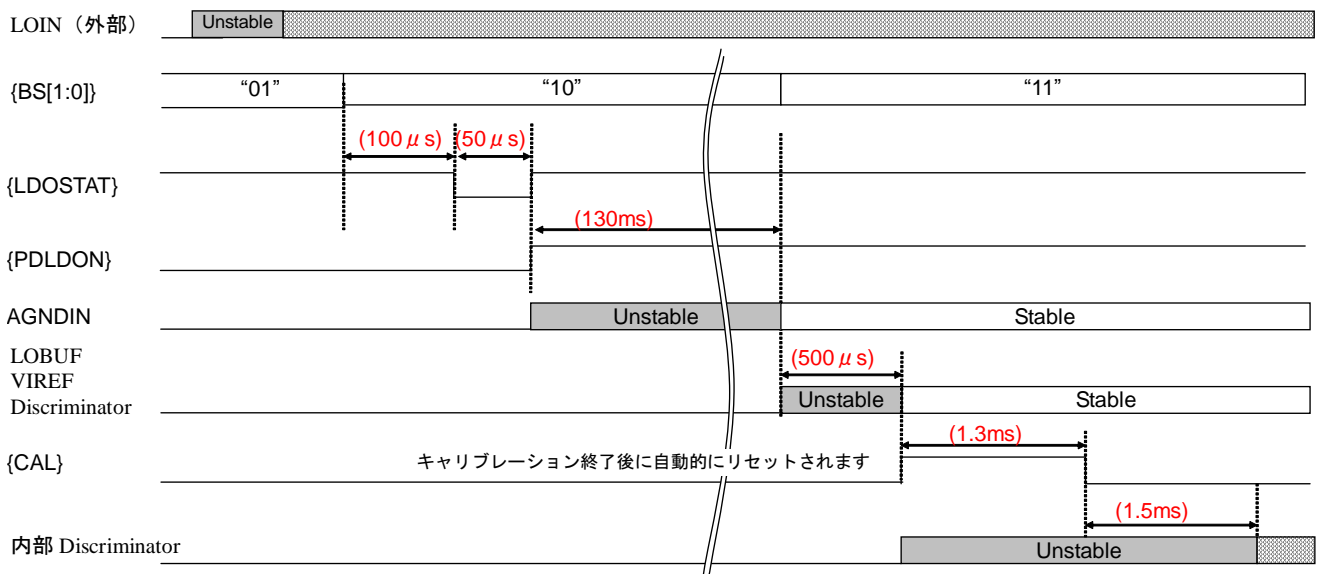
2) AVDD=3.6V~5.5Vの範囲で使用する場合

本LSIはLDO(Low Drop Out)を内蔵しており、一部の回路はLDO出力電圧で動作させます。電源電圧AVDD=3.6V~5.5Vの範囲で使用する場合は、LDOを使用することを推奨します。

LDOを使用した場合のパワーアップシーケンスを以下に示します。

- ① 外部のTCXOを立上げ、LO信号を安定供給される状態にします。
- ② アドレス0x01 {BS[1:0]}に”10”を設定し、VIREF回路を立ち上げます。これによりLDOがパワーアップ可能な状態となります。
- ③ アドレス0x01:LDOSTATに”0”を設定し、LDO出力を一旦VSSにショートさせます。これによりLDOの立ち上げ時間を短縮する事が可能となります。
- ④ アドレス0x01;LDOSTATに”1”,PDLDONに”1”を設定し、LDOをパワーアップします。このときAGNDINの電圧が安定するまでに130msの時間がかかります。
- ⑤ アドレス0x01 {BS[1:0]}に”11”を設定し、全ての回路を立ち上げます。これにより、キャリブレーション動作に必要な回路(LOBUF、VIREF、Discriminator)がパワーアップし、500us後までにはキャリブレーションが可能な状態になります。
- ⑥ その後、アドレス0x02 {CAL}に”1”を書き込むことによりキャリブレーションを開始します。なお、一度キャリブレーション動作が実行されると、マスターリセット以外ではキャリブレーション動作を止めることはできません。{CAL}に”0”を書き込んでも、キャリブレーションは最後まで実行されます。
- ⑦ キャリブレーション結果はマスターリセット動作、もしくはDVDD電源を落とさない限りデータは保持されます。
- ⑧ キャリブレーションが完了してから、Discriminatorが安定するまで1.5msかかります。

パワーアップタイミング推奨例

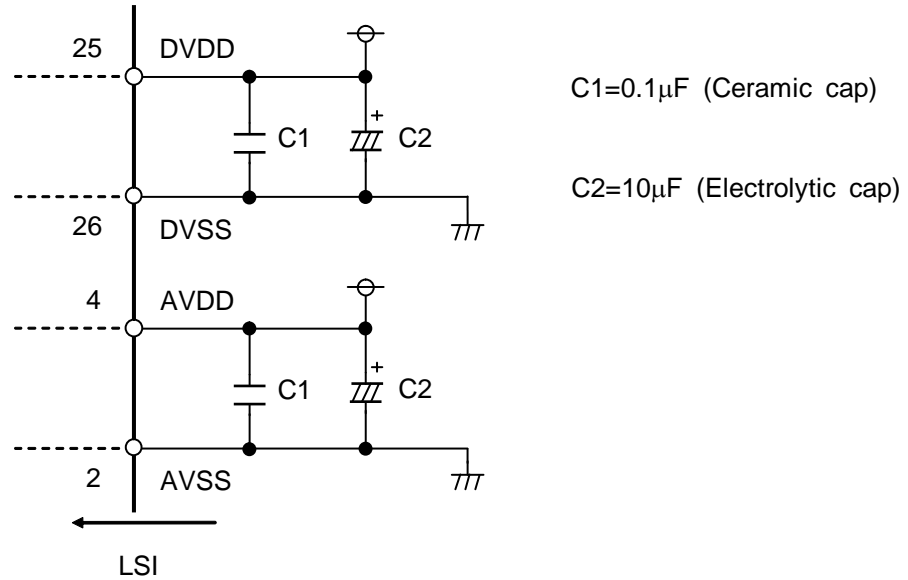


注)外部接続回路推奨例を参考にした場合です

15. 外部接続回路推奨例

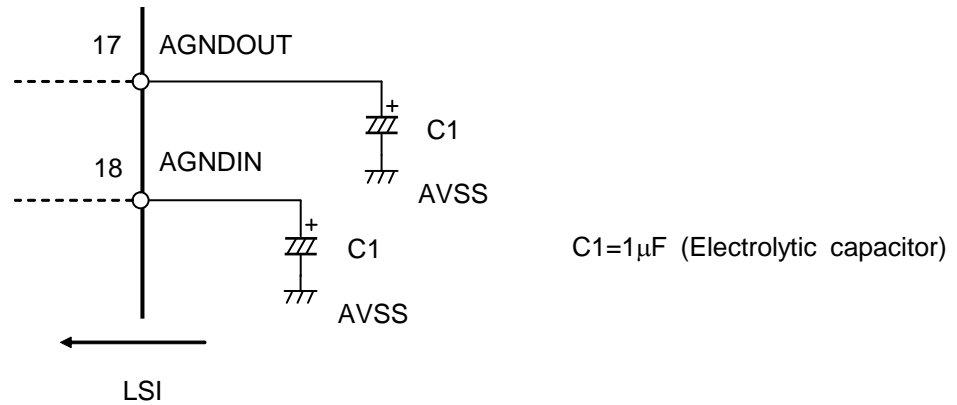
1) 電源安定化容量

電源に含まれるリップル、ノイズ等を除去するため、VDD-VSS端子間に下図のようにコンデンサを接続してください。コンデンサは両端子間の最短距離に配置すると効果的です。

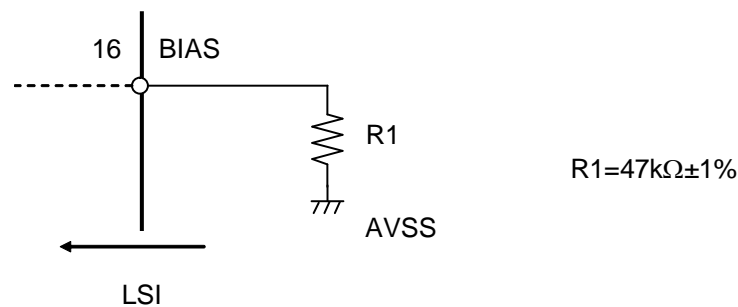


2) AGND安定化容量

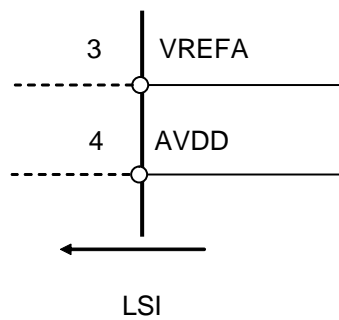
AGND,AGNDIN端子には、VSSとの間に1 μ F以上のコンデンサを接続しAGND信号の安定化を図るよう推奨いたします。コンデンサはできるだけ各端子の近くに配置してください。



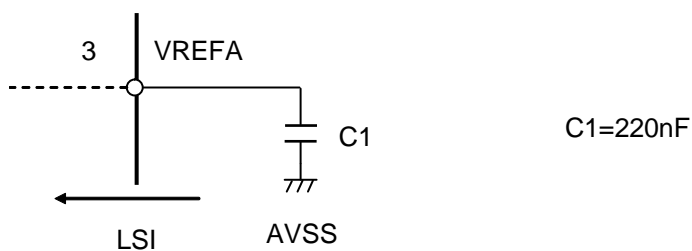
3) BIAS出力



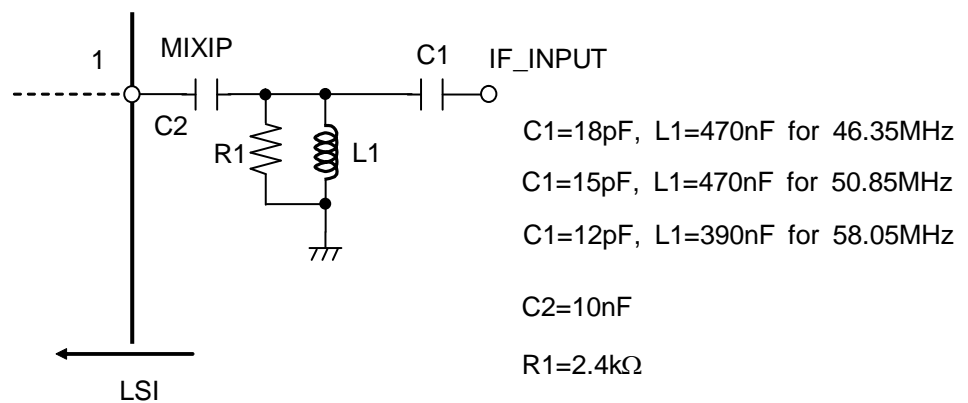
4-1) VREFA入力 (AVDD=2.6~3.6V時)



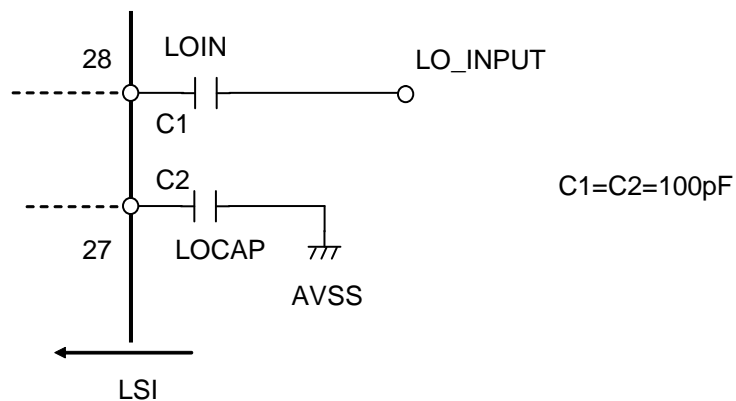
4-2) VREFA入力 (AVDD=3.6~5.5V時)



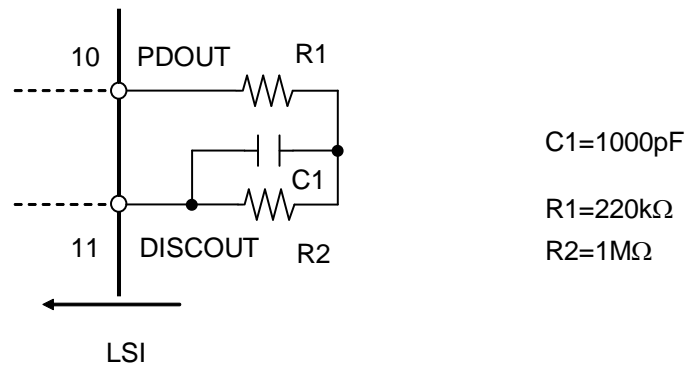
5) MIX入力



6) LOIN入力

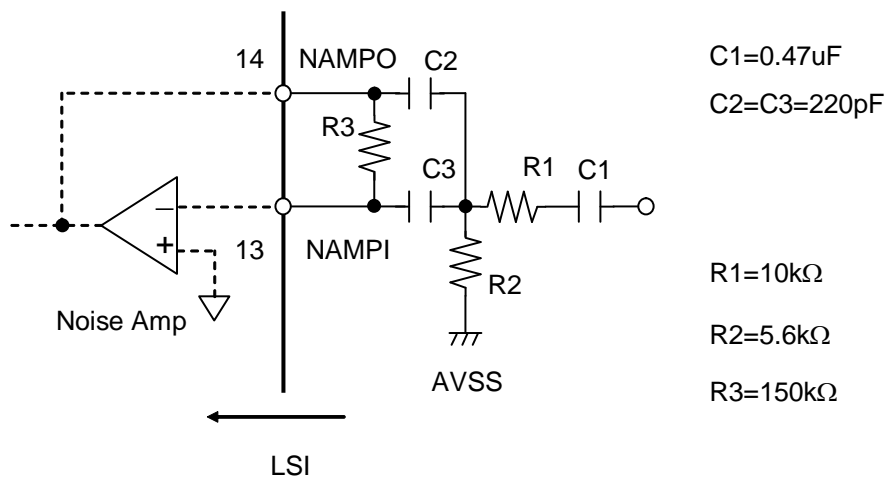


7) Discriminator出力



8) Noise Amp

下図のようにバンドパスフィルタを構成できます。入力条件は、31kHzの場合を以下に示します。定数の設定には、下式(1)~(3)を参照願います。



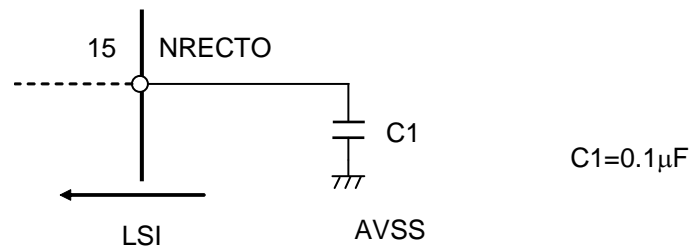
$$(1) f_0 = \frac{1}{2\pi\sqrt{R_3(R_1 // R_2)C^2}}$$

$$(2) G_v = \frac{R_3}{2R_1}$$

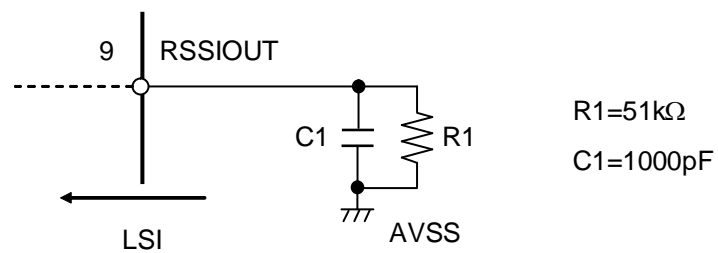
$$(3) Q^2 = \frac{R_3}{4(R_1 // R_2)}$$

9) NRECTO出力

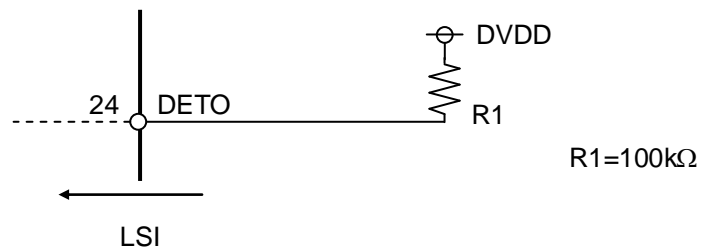
ノイズ検出立ち上がり時間は、 $C1=0.1\mu\text{F}$ と内部抵抗 $75\text{k}\Omega$ との時定数に比例します。



10) RSSIOUT出力

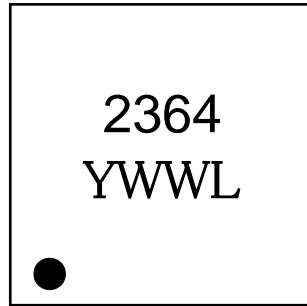


11) DETO出力



16. パッケージ

□ マーキング

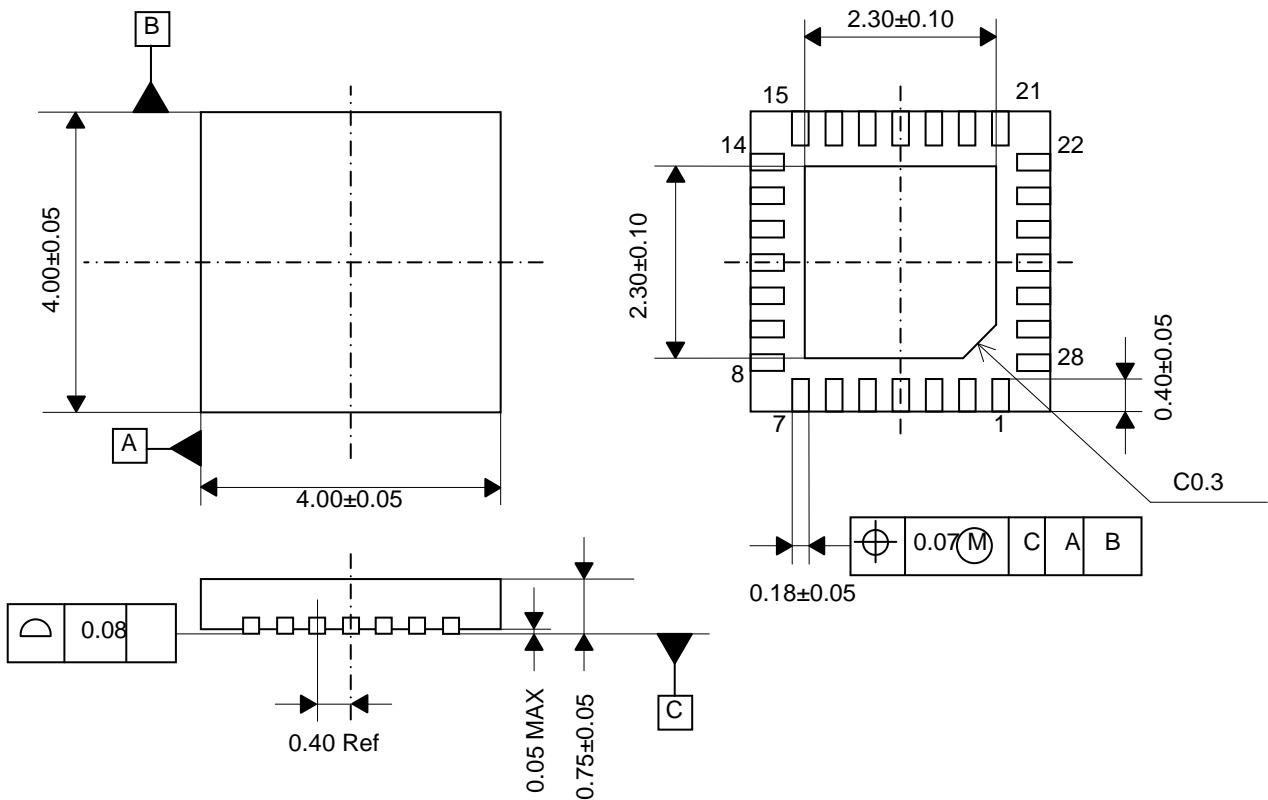


[YWWL内容]

Y: 製造時期 西暦年号下1桁
 WW: 製造時期 週
 L: 製造ロット 識別コード

□ パッケージ外形図

パッケージタイプ: 28pin QFN (4.0 x 4.0 x 0.7mm, 0.4mm pitch)



注) パッケージ裏面中央の露出パッド (Exposed Pad) は、オープンまたはVSSに接続してください。

17. 重要な注意事項

重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
- 本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器設計において本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報を使用される場合は、お客様の責任において行ってください。本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。また、当該使用に起因する、工業所有権その他の第三者の所有する権利に対する侵害につきましても同様です。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取りください。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承ください。

●関連製品

Part#	Description	Comments
Mixer		
AK1220	100MHz~900MHz 高線形性ダウンコンバージョンミキサー	IIP3:+22dBm
AK1222	100MHz~900MHz 低消費電流ダウンコンバージョンミキサー	IDD:2.9mA
AK1224	100MHz~900MHz 低ノイズ、高線形性ダウンコンバージョンミキサー	NF:8.5dB, IIP3:+18dBm
AK1228	10MHz~2GHz アップダウンコンバージョンミキサー	3V動作対応, NF:8.5dB
AK1221	0.7GHz~3.5GHz 高線形性ダウンコンバージョンミキサー	IIP3:+25dBm
AK1223	3GHz~8.5GHz 高線形性ダウンコンバージョンミキサー	IIP3:+13dB, NF:15dB
PLL Synthesizer		
AK1541	20MHz~600MHz 低消費電流 Fractional-N 周波数シンセサイザ	IDD:4.6mA
AK1542A	20MHz~600MHz 低消費電流 Integer-N 周波数シンセサイザ	IDD:2.2mA
AK1543	400MHz~1.3GHz 低消費電流 Fractional-N 周波数シンセサイザ	IDD:5.1mA
AK1544	400MHz~1.3GHz 低消費電流 Integer-N 周波数シンセサイザ	IDD:2.8mA
AK1590	60MHz~1GHz Fractional-N 周波数シンセサイザ	IDD:2.5mA
AK1545	0.5GHz~3.5GHz Integer-N 周波数シンセサイザ	16-TSSOPパッケージ
AK1546	0.5GHz~3GHz 低Phase Noise Integer-N 周波数シンセサイザ	規格化位相雑音:-226dBc/Hz
AK1547	0.5GHz~4GHz Integer-N 周波数シンセサイザ	5V動作対応
AK1548	1GHz~8GHz 低Phase Noise Integer-N 周波数シンセサイザ	規格化位相雑音:-226dBc/Hz
IFVGA		
AK1291	100~300MHz アナログ制御方式 可変ゲインアンプ	ダイナミックレンジ:30dB
integrated VCO		
AK1572	690MHz~4GHz Frac. -N PLL/VCO内蔵ダウンコンバージョンミキサー	IIP3:24dBm, -111dBc/Hz@100kHz
AK1575	690MHz~4GHz Frac. -N PLL/VCO内蔵アップコンバージョンミキサー	IIP3:24dBm, -111dBc/Hz@100kHz
IF Reciever (2nd Mixer + IF BPF + FM Detector)		
AK2364	帯域可変IFBPF内蔵 FM検波LSI	帯域可変:±10kHz ~ ±4.5kHz
AK2365A	帯域可変IFBPF内蔵 IFIC	帯域可変:±7.5kHz ~ ±2kHz
Analog BB for PMR/LMR		
AK2345C	CTCSS用エンコーダ/デコータ	24-VSOPパッケージ
AK2360/ AK2360A	周波数反転方式(3.376kHz/3.020kHz) 秘話LSI	8-SOPパッケージ
AK2363	MSKモデム/DTMFレシーバ搭載LSI	24-QFNパッケージ
AK2346B	0.3-2.55/3.0kHz アナログ音声フィルタ、	24-VSOPパッケージ
AK2346A	エンファシス、コンパンダ、秘話回路、MSKモデム内蔵LSI	24-QFNパッケージ
AK2347B	0.3-2.55/3.0kHzアナログ音声フィルタ、	24-VSOPパッケージ
AK2347A	エンファシス、コンパンダ、秘話回路、CTCSSフィルタ内蔵LSI	24-QFNパッケージ
Function IC		
AK2330	8-bit 8ch 電子ボリューム	各ch毎の基準電圧設定が可能
AK2331	8-bit 4ch 電子ボリューム	各ch毎の基準電圧設定が可能

上記情報は、予告なく変更することがあります。ご使用を検討の際には、上記情報が最新であることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。