



= Preliminary =

AK2401A

Direct Conversion Transceiver

1. 概要

AK2401Aは、高性能な狭帯域無線通信を実現するダイレクトコンバージョントランシーバICです。受信部は、LNA、直交復調器、PGA、24-bit $\Delta\Sigma$ ADC、デジタルフィルタを内蔵し、高感度で高い妨害波耐性を持つ受信機を実現します。帯域幅を可変できるデジタルフィルタは、複数の異なる無線システムのチャンネル選択をサポートし、無線プラットフォームにおいて容易なシステム設計を可能とします。また、 $\Delta\Sigma$ フラクショナルN PLLシンセサイザを内蔵し、外部VCOと合わせて高性能なPLLを構成します。送信部は、DACとドライバンプを内蔵しています。7mm \square の小型QFNパッケージを採用しており、無線機器の小型化を実現します。

2. 特長

- 動作周波数：29MHz ~ 1200MHz
- 動作電圧：2.7 ~ 3.3V (CPVDD, DACVDD : 2.7 ~ 5.5V, DVDD : 1.7 ~ 1.9V または 2.7 ~ 3.3V)
- 温度範囲：-40 ~ +85°C
- LNA内蔵：Gain 15dB, NF 1.2dB, IIP3 +7dBm
- 高線形性ダイレクトコンバージョン直交復調器内蔵
- 24-bit $\Delta\Sigma$ A/Dコンバータ内蔵：出力サンプリングレート ~150kHz (TCXO=19.2MHz使用時)
- 帯域可変型デジタルフィルタ内蔵 (任意に帯域を設定可能)
- LNAおよびPGAを制御するAGC機能
- Real-time DC Offset Canceller(RDOC)機能
- RSSI機能：SPIによる読み出し方式
- 18-bit $\Delta\Sigma$ フラクショナルN PLLシンセサイザ内蔵
- 周波数オフセット機能によるデジタル周波数変調(FM/FSK)
- ファーストロック機能によるロックアップ時間の高速化
- 12-bit D/Aコンバータ内蔵：サンプリングレート ~200kHz, S/N 72dB
- 送信用ドライバンプ内蔵：-6 ~ +6dBm 出力
- ローカル信号分周回路内蔵
- TCXO周波数：18.432MHz / 19.2MHz 推奨
- パッケージ：52-pin QFN (7 \times 7 \times 0.85mm 0.4 mm pitch)

3. アプリケーション

- ・ 狭帯域無線通信：6.25kHz / 7.5kHz / 12.5kHz / 15kHz / 20kHz / 25kHz / 50kHz / 100kHz / 150kHz / etc.
- ・ 変調方式：FM / 2FSK / 4FSK / QPSK / $\pi/4$ DQPSK / 16QAM / 64QAM
(データ変復調は外部で行う必要があります。AK2401Aにはモデム機能は搭載していません。)
- ・ アナログ/デジタル混載無線
- ・ 業務用デジタル無線
- ・ 公共/防災無線
- ・ 簡易無線機
- ・ 船舶/移動体通信
- ・ 特定小電力/テレメータ通信
- ・ アマチュア無線

4. 目次

1.	概要	1
2.	特長	1
3.	アプリケーション	1
4.	目次	2
5.	ブロック図と機能説明	3
5.1.	ブロック図	3
5.2.	機能説明	3
6.	ピン配置と機能説明	5
6.1.	ピン配置	5
6.2.	機能説明	6
7.	絶対最大定格	8
8.	推奨動作条件	8
9.	デジタル特性	9
9.1.	DC特性	9
10.	アナログ特性	10
10.1.	受信特性	10
10.1.1.	LNA	10
10.1.2.	MIXER+PGA+AAF+ADC	10
10.1.3.	LOCAL BUFFER+LOCAL DIVIDER(RX)	12
10.1.4.	PLL SYNTHESIZER	12
10.1.5.	RSSI	13
10.2.	送信特性	14
10.2.1.	DAC+SMF	14
10.2.2.	LOCAL BUFFER+LOCAL DIVIDER(TX)+DRIVER AMP	14
10.3.	消費電流	15
11.	外部接続回路例	16
11.1.	外部接続回路例	16
11.2.	部品表	16
11.3.	電源ピン/グラウンドピン	17
11.4.	基板設計	18
11.5.	評価ボードレイアウト	19
12.	パッケージ	20
12.1.	外形寸法図	20
12.2.	マーキング	20

5. ブロック図と機能説明

5.1. ブロック図

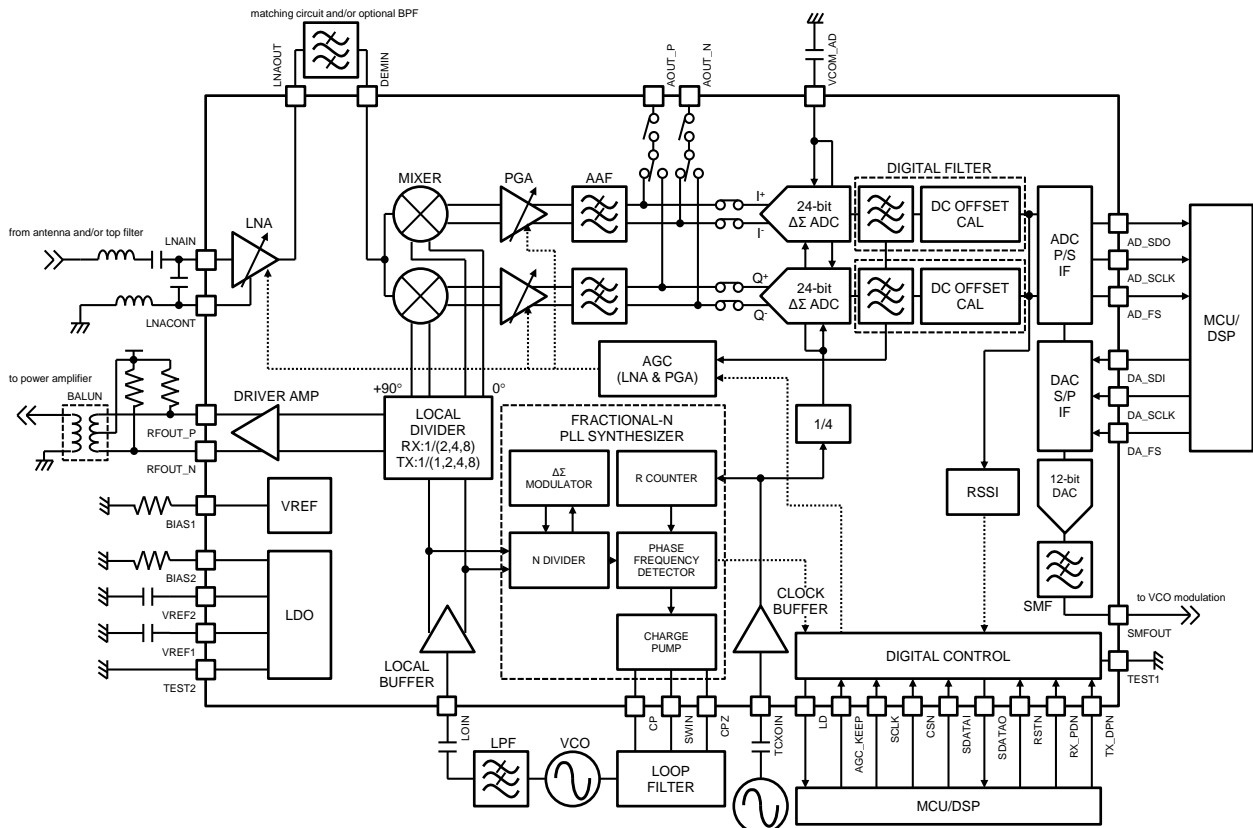


Figure 1 AK2401A ブロック図

5.2. 機能説明

AK2401Aは、受信アナログ回路(LNA)、受信アナログ回路(MIXER, PGA, AAF)、受信デジタル回路(ADC, DIGITAL FILTER, RSSI, AGC, ADC P/S IF)、ローカル発振回路(PLL SYNTHESIZER, LOCAL BUFFER, LOCAL DIVIDER, CLOCK BUFFER)、送信データ生成回路(DAC S/P IF, DAC, SMOOTHING FILTER)、送信プリアンプ回路(DRIVER AMP)、基準電圧生成回路(VREF)、内部低電圧源生成回路(LDO)、デジタル制御回路(DIGITAL CONTROL)により構成されます。

■ 受信アナログ回路(LNA)

受信したRF信号を低ノイズで増幅します。強入力時の歪み特性劣化を防ぐために低ゲインの動作モードを持ち、信号入力レベルに応じて自動で動作モードを切り替えるAGC機能を搭載しています。また、LNAの入出力には整合回路が必要です。LNA-MIXER間にはイメージ抑圧特性の要求に応じて外付けフィルタを追加することができます。

■ 受信アナログ回路(MIXER, PGA, AAF)

LNAで増幅されたRF信号をダイレクトコンバージョン方式のMIXERでベースバンド信号にダウンコンバートします。MIXERは互いに90度の位相差を持つ2つのローカル信号で動作し、Ich/Qchのベースバンド信号を生成します。MIXERの入力には整合回路が必要です。PGAはレジスタ設定に応じてゲイン可変の1次のローパスフィルタで構成されており、後段のADCの入力レベルを一定に保つことでダイナミックレンジを増加させます。信号入力レベルに応じて自動でPGAのゲインを切り替えるAGC機能を搭載しています。AAFは3次のローパスフィルタ($F_c=100\text{kHz}$)で構成されており、後段のADCにおける折り返し防止のためのアンチエイリアシングフィルタです。PGAとAAFでアナログフィルタを構成しており、ADCに入力されるブロッキング信号を減衰します。

- 受信デジタル回路(ADC, DIGITAL FILTER, RSSI, AGC, ADC P/S IF)
24-bit $\Delta\Sigma$ A/Dコンバータは、受信アナログ回路で生成されたアナログベースバンド信号をデジタルベースバンド信号に変換します。デジタルフィルタはデシメーションフィルタおよび妨害波除去用チャンネルフィルタで構成され、チャンネルフィルタは周波数特性の異なる10種類の標準のチャンネルフィルタおよび係数を任意に設定可能なFIRフィルタから選択します。標準のチャンネルフィルタのPass Bandは狭いもので2kHz、広いもので60kHzです。出力サンプリングレートは選択するチャンネルフィルタの種類によって異なり、リファレンスクロックに19.2MHzを使用時、最大150kHzです。DC OFFSET CALはDCオフセットキャリブレーションとReal-time DC Offset Canceller(RDOC)で構成され、ベースバンド信号に重畳されたDCオフセットをキャンセルします。RSSIはDC OFFSET CAL通過後の信号レベル強度をレジスタ値で出力しますので、SPIによるレジスタリードバックで確認できます。ADC用パラレル-シリアルインターフェースはデジタルベースバンド信号を出力します。
- ローカル生成回路(PLL SYNTHESIZER, LOCAL BUFFER, LOCAL DIVIDER, CLOCK BUFFER)
PLL SYNTHESIZERと外付けのLOOP FILTER、VCOによりFRACTIONAL-N PLLを構成します。TCXOIN pinから入力されるリファレンスクロックを基準にN倍のローカル周波数の信号を生成し、LOCAL DIVIDERでN分周(N= 2, 4, 8)することでローカル周波数に変換します。また同時に、90度の位相差を持つ2つのローカル信号を生成します。
- 送信データ生成用回路(DAC S/P IF, DAC, SMF)
12-bit DAコンバータは、DAC用シリアル-パラレルインターフェースに入力されたデジタルベースバンド信号をアナログベースバンド信号に変換します。SMF(SMOOTHING FILTER)はDAC出力を平滑化するローパスフィルタ($F_c=20\text{kHz}$)です。これらの回路は、外付けのVCOに直接変調を行う構成の場合に、送信データの生成に使用することを想定しています。その他に、汎用の12-bit DACとしても使用できます。
- 送信プリアンプ回路(DRIVER AMP)
LOCAL DIVIDERでN分周された信号を増幅して出力します。外付けのVCOに直接変調を行う構成の場合に、送信信号出力として使用することを想定しています。
- 基準電圧生成回路(VREF)
各ブロックの基準電圧を生成します。
- 内部低電圧源生成回路(LDO)
外部3V電源(SYNVDD)から、受信デジタル回路、デジタル制御回路、ローカル発振回路の一部に供給される1.9V電源を生成します。
- デジタル制御回路(DIGITAL CONTROL)
 - ・ 4線式のシリアルインターフェースによるレジスタ書き込み/読み出し (CSN, SCLK, SDATAI, SDATAO pins)
 - ・ ハードウェアリセット信号入力(RSTN pin)
 - ・ AGC機能 制御信号入力(AGC_KEEP pin)
 - ・ PLLの状態出力(LD pin)
 - ・ ピン制御によるパワーコントロール(RX_PDN, TX_PDN pins)

6.2. 機能説明

AI:アナログ入力ピン、AO:アナログ出力ピン、DI:デジタル入力ピン、DO:デジタル出力ピン

P:電源ピン、G:グラウンドピン

全てのデジタル入力ピンについてフローティングは禁止です。

ピン#	ピン名	Type	PD 時 ピン状態	機能概要
1	DA_SCLK	DI	Hi-Z	D/A コンバータシリアルデータ用クロック入力ピンです。
2	DVSS	G	-	インターフェース回路用デジタルグラウンドピンです。
3	DA_SDI	DI	Hi-Z	D/A コンバータシリアルデータ用入力ピンです。
4	TEST1	DI	100kΩ Pull down	テストピンです。VSS に接続してください。
5	BIAS2	AI	-	チャージポンプ電流設定抵抗接続ピンです。
6	SMFOUT	AO	Hi-Z	スムージングフィルタ出力ピンです。
7	DACVDD	P	-	D/A コンバータ用アナログ電源ピンです。
8	VREF1	AO	-	LDO 基準電圧用安定化コンデンサ接続ピンです。
9	TCXOIN	AI	27kΩ Pull down	リファレンスクロック入力ピンです。
10	VREF2	AO	-	基準電圧用安定化コンデンサ接続ピンです。
11	SYNVSS	G	-	PLL シンセサイザ用アナロググラウンドピンです。
12	SYNVDD	P	-	PLL シンセサイザ用アナログ電源ピンです。
13	CPVDD	P	-	チャージポンプ用アナログ電源ピンです。
14	CP	AO	Hi-Z	チャージポンプ出力ピンです。
15	SWIN	AI	* 1	ファーストロック用抵抗への接続ピンです。
16	CPZ	AI	* 1	ループフィルタ用コンデンサへの接続ピンです。
17	LODVDD	P	-	ローカル分周器およびローカルバッファ用アナログ電源ピンです。
18	LOIN	AI	50Ω Pull down	ローカル入力ピンです。
19	RFOUT_P	AO	Hi-Z * 2	ドライバアンプ正転出力ピンです。
20	RFOUT_N	AO	Hi-Z * 2	ドライバアンプ反転出力ピンです。
21	LOVDD	P	-	ローカルアンプおよびドライバアンプ用アナログ電源ピンです。
22	VSS	G	* 3	グラウンドピンです。
23	DEMIN	AI	H-Z	MIXER 入力ピンです。
24	DEMVDD	P	-	MIXER 用アナログ電源ピンです。
25	LNAOUT	AO	Hi-Z * 2	LNA 出力ピンです。
26	VSS	G	* 3	グラウンドピンです。
27	VSS	G	* 3	グラウンドピンです。
28	LNAIN	AI	100kΩ Pull down	LNA 入力ピンです。
29	LNACONT	AI	Hi-Z	LNA 整合調整用ピンです。
30	LNAVDD	P	-	LNA 用アナログ電源ピンです。
31	BIAS1	AI	Hi-Z	電流調整抵抗接続ピンです。
32	RXVDD	P	-	PGA、AAF および VREF 用アナログ電源ピンです。

33	AOUT_P	AO	Hi-Z	受信アナログベースバンド信号正転出力ピンです。
34	AOUT_N	AO	Hi-Z	受信アナログベースバンド信号反転出力ピンです。
35	TEST2	DI	100k Ω Pull down	テストピンです。VSSに接続してください。
36	ADVSS	G	-	A/Dコンバータ用グラウンドピンです。
37	ADVDD	P	-	A/Dコンバータ用アナログ電源ピンです。
38	VCOM_AD	AO	VSS	A/Dコンバータ基準電圧用安定化コンデンサ接続ピンです。
39	RSTN	DI	Hi-Z	ハードウェアリセットピンです。
40	RX_PDN	DI	Hi-Z	受信部パワーダウンピンです。
41	TX_PDN	DI	Hi-Z	送信部パワーダウンピンです。
42	AGC_KEEP	DI	Hi-Z	AGC動作ON/OFF制御ピンです。
43	CSN	DI	Hi-Z	レジスタシリアルデータ用チップセレクトピンです。
44	SDATAI	DI	Hi-Z	レジスタシリアルデータ用入力ピンです。
45	SCLK	DI	Hi-Z	レジスタシリアルデータ用クロック入力ピンです。
46	SDATAO	DO	Low	レジスタシリアルデータ用出力ピンです。
47	LD	DO	Low	ロック検出出力ピンです。
48	DVDD	P	-	インターフェース回路用デジタル電源ピンです。
49	AD_SCLK	DO	Low	A/Dコンバータシリアルデータ用クロック出力ピンです。
50	AD_SDO	DO	Low	A/Dコンバータシリアルデータ用出力ピンです。
51	AD_FS	DO	Low	A/Dコンバータシリアルデータ用フレームシンク出力ピンです。
52	DA_FS	DI	Hi-Z	D/Aコンバータシリアルデータ用フレームシンク入力ピンです。
-	TAB	G	-	パッケージ裏面の露出パッドはVSSへ接続してください。

Notes:

- * 1. PD_SYNTH_N bit="0"設定時、ループフィルタ切り替え用スイッチの状態はOFFです。
- * 2. オープンドレイン/オープンコレクタ出力のため、インダクタを介して電源電圧供給が必要です。
- * 3. 内部でTABに接続されています。

7. 絶対最大定格

Parameter		Symbol	Min.	Max.	Unit
電源電圧範囲	LNAVDD pin, DEMVDD pin, ADVDD pin, SYNVDD pin, LODVDD pin, LOVDD pin, RXVDD pin	VDD1	-0.3	+6.5	V
	DACVDD pin	DACVDD	-0.3	+6.5	V
	CPVDD pin	CPVDD	-0.3	+6.5	V
	DVDD pin	DVDD	-0.3	+6.5	V
グラウンドレベル * 4		VSS	0	0	V
アナログ入力印加電圧		V_{AIN}	-0.3	VDD1+0.3 DACVDD+0.3 CPVDD+0.3	V
デジタル入力印加電圧		V_{DIN}	-0.3	DVDD+0.3	V
入力印加電流(電源ピンを除く)		I_{IN}	-10	+10	mA
最大LNAIN入力レベル * 5		V_{LNAIN}		2.4	V _{pp}
最大DEMIN 入力レベル	DEMIN Input \geq 100MHz	DEMPOW1		+15	dBm
	DEMIN Input $<$ 100MHz	DEMPOW2		+10	dBm
最大LOIN入力レベル		LOPOW		+14	dBm
保存温度範囲		T_{stg}	-55	125	°C

Note:

* 4. VSSはVSS, SYNVSS, DVSS, ADVSS pinsが対象です。電圧は全てVSSに対する値です。

* 5. LNAIN pinにおけるDCバイアスを含まないAC振幅の規定です。

* この値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は保証されません。

8. 推奨動作条件

Parameter	Symbol	Min.	Typ.	Max.	Unit
動作温度範囲	T_a	-40		85	°C
動作電源電圧	VDD1	2.7	3.0	3.3	V
	DACVDD	2.7	5.0	5.5	V
	CPVDD	2.7	5.0	5.5	V
	DVDD* 6	2.7 1.7	3.0 1.8	3.3 1.9	V

Note:

* 6. DVDDはインターフェース回路用デジタル電源です。

DVDD=2.7~3.3V 使用時、<Address0x4A> DO_MODE bit="0"、

DVDD=1.7~1.9V 使用時、<Address0x4A> DO_MODE bit="1"に設定してください。

9. デジタル特性

9.1. DC特性

Parameter		Symbol	Min.	Typ.	Max.	Unit
高レベル入力電圧	* 7	V_{IH}	0.8DVDD			V
低レベル入力電圧	* 7	V_{IL}			0.2DVDD	V
高レベル入力電流	$V_{IH}=DVDD, * 7$	I_{IH1}			+10	μA
	$V_{IH}=DVDD * 8$	I_{IH2}	+9	+33	+66	μA
低レベル入力電流	$V_{IL}=0V, * 7$	I_{IL1}	-10			μA
	$V_{IL}=0V, * 8$	I_{IL2}	-10			μA
高レベル出力電圧	$I_{OH}=+0.2mA * 9$	V_{OH}	DVDD-0.4		DVDD	V
低レベル出力電圧	$I_{OL}=-0.4mA * 9$	V_{OL}	0.0		0.4	V

入力電流について、ICへ電流が流れ込む方向を+、ICから電流が流れ出る方向を-と定義しています。

Notes:

- * 7. 対象ピン:RSTN, CSN, SDATAI, SCLK, DA_SCLK, DA_SDI, DA_FS, AGC_KEEP, RX_PDN, TX_PDN pins
- * 8. 対象ピン:TEST1, TEST2 pins
- * 9. 対象ピン:SDATAO, LD, AD_SCLK, AD_SDO, AD_FS pins

10. アナログ特性

設計保証値はテストを実施しません。

10.1. 受信特性

特記無き場合、以下の条件とします。

VDD1= 2.7 ~ 3.3V, DACVDD=2.7 ~ 5.5V, CPVDD= 2.7 ~ 5.5V,
DVDD= 1.7 ~ 1.9V or 2.7 ~ 3.3V, 温度= -40 ~ 85°C,
LNA Input=MIXER RF Input=450MHz, LOIN Input=900MHz,
<Address0x12>DIVSEL[1:0] bits="01"(2分周), Normal Gain Mode

10.1.1. LNA

Parameter	Min.	Typ.	Max.	Unit	Description	
Operating Frequency Range	29		1200	MHz		
Gain	Normal Power Mode	12	15	18	dB	Normal Gain Mode
	Low Power Mode	12	15	18	dB	
	Normal Power Mode	3	6	9	dB	Low Gain Mode LNA Input=-10dBm
	Low Power Mode	3	6	9	dB	
Noise Figure	Normal Power Mode		1.2	1.8	dB	設計保証値
	Low Power Mode		1.2	1.8	dB	
IIP3	Normal Power Mode	2	7		dBm	450.025MHz & 450.047MHz Input Observed 450.003MHz
	Low Power Mode	-7	-2		dBm	

10.1.2. MIXER+PGA+AAF+ADC

Iチャンネル/Qチャンネルそれぞれでの規定です。

Maximum PGA Gain:

Iチャンネル : <Address0x15>PGAGAIN_I[5:0] bits="000000"(+28dB)

Qチャンネル : <Address0x16>PGAGAIN_Q[5:0] bits="000000"(+28dB)

Middle PGA Gain:

Iチャンネル : <Address0x15>PGAGAIN_I[5:0] bits= "011100"(0dB)

Qチャンネル : <Address0x16>PGAGAIN_Q[5:0] bits= "011100"(0dB)

Minimum PGA Gain:

Iチャンネル : <Address0x15>PGAGAIN_I[5:0] bits="110000"(-20dB)

Qチャンネル : <Address0x16>PGAGAIN_Q[5:0] bits="110000"(-20dB)

Parameter	Min.	Typ.	Max.	Unit	Description	
Operating Frequency Range	29		1200	MHz		
Max. Gain	Normal Power Mode		42	dB		
	Low Power Mode		41	dB		
Min. Gain	Normal Power Mode		-6	dB		
	Low Power Mode		-7	dB		
Gain Control Range		48		dB		
Gain Control Step	0.7	1	1.3	dB		
Noise Figure	Normal Power Mode		16	20	dB	Maximum PGA Gain * 10
	Low Power Mode		17	21	dB	
IIP3	Normal Power Mode	15	19	dBm	Middle PGA Gain	

	Low Power Mode	7	11		dBm	25kHz & 47kHz offset Observed 3kHz
IIP2 (In-band)	Normal Power Mode	55	76		dBm	Middle PGA Gain 5.25kHz & 7.25kHz offset Observed 2kHz
	Low Power Mode	55	76		dBm	
IIP2 (Out-band)	Normal Power Mode	53	72		dBm	Maximum PGA Gain 1MHz & 1.002MHz offset Observed 2kHz
	Low Power Mode	53	72		dBm	
Input P1dB	Normal Power Mode	-28	-22		dBm	Maximum PGA Gain
	Low Power Mode	-28	-22		dBm	
Local Leak@DEMIN pin			-90		dBm	LOIN Input=0dBm
I/Q Gain Imbalance				0.5	dB	
I/Q Phase Imbalance				1	deg	LOIN Input=0dBm
Frequency Attenuation Characteristics (Normalized at 1kHz) Low Cutoff Mode * 11	10kHz	-1	0	+1	dB	Maximum PGA Gain
	100kHz	-18	-9	-3	dB	
	1MHz	-97	-86	-75	dB	
	Middle PGA Gain	10kHz	-1	0	+1	dB
		100kHz	-9	-2	-1	dB
		1MHz	-72	-62	-52	dB
	Minimum PGA Gain	10kHz	-1	0	+1	dB
		100kHz	-9	-2	+1	dB
		1MHz	-68	-60	-50	dB
Frequency Attenuation Characteristics (Normalized at 1kHz) High Cutoff Mode * 11	10kHz	-1	0	+1	dB	Maximum PGA Gain
	100kHz	-14	-5	0	dB	
	1MHz	-91	-81	-69	dB	
	Middle PGA Gain	10kHz	-1	0	+1	dB
		100kHz	-9	-1.6	+1	dB
		1MHz	-69	-60	-50	dB
	Minimum PGA Gain	10kHz	-1	0	+1	dB
		100kHz	-9	-2	+1	dB
		1MHz	-68	-59	-50	dB

Notes:

* 10. 300Hz~4kHzまでの出力ノイズの積分値から計算しています。

* 11. Frequency Attenuation CharacteristicsはMIXER+PGA+AAFの特性で、ADCは含みません。

10.1.3. LOCAL BUFFER+LOCAL DIVIDER(RX)

Parameter	Min.	Typ.	Max.	Unit	Description
LOIN Input Sensitivity	-5	0	5	dBm	
Output Frequency Range	2 div	50	1200	MHz	3 levels by <Address0x12> DIVSEL[1:0] bits
	4 div	29	600	MHz	
	8 div	29	300	MHz	

10.1.4. PLL SYNTHESIZER

BIAS2 pin=27kΩ

Parameter	Min.	Typ.	Max.	Unit	Description
N DIVIDER					
Operating Frequency Range	100		2400	MHz	High Frequency Mode
	100		1200	MHz	Low Frequency Mode
CLOCK BUFFER					
TCXOIN Input Sensitivity	0.4		2	Vpp	
Operating Frequency Range	10	19.2 or 18.432	25	MHz	* 12
PHASE FREQUENCY DETECTOR(PFD)					
Phase Detector Frequency(F _{PFD})			25	MHz	
CHARGE PUMP(CP)					
CP Current Adjust	22	27	33	kΩ	BIAS2 pinに接続
Maximum CP Current		2400		μA	32 levels by <Address0x0A, 0x0B>
Minimum CP Current		75		μA	
I _{CP} TRI-STATE Leak Current		1		nA	0.6 ≤ V _{CPO} ≤ (CPVDD - 0.7) (V _{CPO} :CPピン電圧)
Sink/Source Current Mismatch * 13			10	%	V _{CPO} = CPVDD/2 Ta = 25°C
I _{CP} vs V _{CPO} * 14			15	%	0.5 ≤ V _{CPO} ≤ (CPVDD - 0.5) Ta = 25°C
NOISE CHARACTERISTICS					
Normalized Phase Noise		-210		dBc/Hz	* 15

Notes:

- * 12. 18.432MHz/19.2MHz以外のTCXOを使用する場合、標準のチャネルフィルタのカットオフ周波数
が変化します。また、ADCの出力サンプリングレートはTCXO周波数に関係していますので注意し
てください。
- * 13. Sink/Source Current Mismatch: $\left[\frac{(|I_{SINK}| - |I_{SOURCE}|)}{(|I_{SINK}| + |I_{SOURCE}|)/2}\right] \times 100$ [%]
- * 14. I_{CP} vs V_{CPO} : $\left[\frac{1/2 * (|I_1| - |I_2|)}{1/2 * (|I_1| + |I_2|)}\right] \times 100$ [%]
- * 15. PLLループをロックさせた状態で測定を行い、以下の式より算出。TCXOIN=19.2MHz,
F_{PFD}=19.2MHz, フラクショナル動作時。
(PN_{TOTAL} = PN_{SYNTH} - 10 Log F_{PFD} - 20 Log N)
PN_{TOTAL}: Normalized Phase Noise, PN_{SYNTH}: In-band Phase Noise

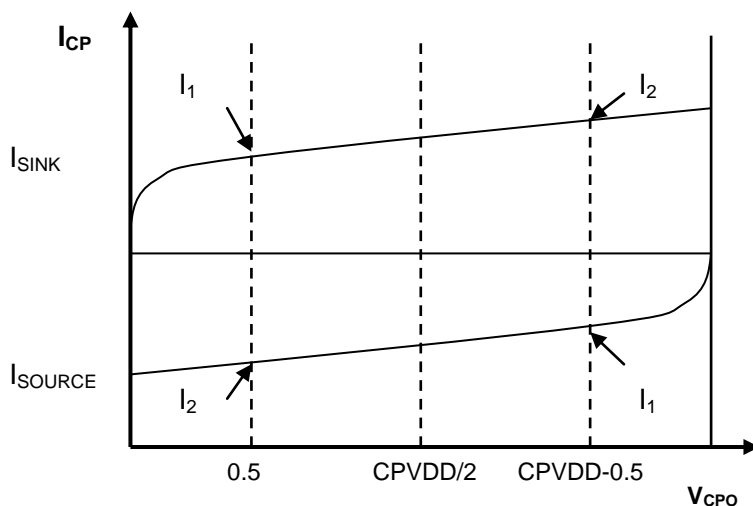


Figure 3 Charge Pump Characteristics - Voltage vs. Current

10.1.5. RSSI

Parameter	Min.	Typ.	Max.	Unit	Description	
RSSI出力code <Address0x3A> RSSI[7:0] bits Read Back	LNA Input=-120dBm	0	14	28	Dec	Normal Gain Mode <Address0x1F> AGCOFF bit="0" <Address0x2C> RSSI_LOW bit="00"
	LNA Input=-50dBm	140	154	168	Dec	

10.2. 送信特性

特記無き場合、以下の条件とします。

VDD1= 2.7 ~ 3.3V, DACVDD=2.7 ~ 5.5V, CPVDD= 2.7 ~ 5.5V,

DVDD= 1.7 ~ 1.9V or 2.7 ~ 3.3V, 温度= -40 ~ 85°C,

LOIN Input=0dBm

10.2.1. DAC+SMF

Parameter	Min.	Typ.	Max.	Unit	Description	
Resolution		12		bit		
Sampling Frequency			200	kHz		
Load Resistance (R _L)	10	100		kΩ		
Load Capacitance (C _L)		50	100	pF		
Output Level	Low Level Mode	1.1	1.3	1.5	V _{pp}	High Level Mode:4.5 ~ 5.5V Low Level Mode:2.7 ~ 5.5V R _L = 100kΩ, C _L = 50pF Integrated Noise BW : 300Hz ~ 48kHz, f _s = 96kHz, f _{out} = 1kHz sine Observed SMFOUT pin
	High Level Mode	2.9	3.1	3.3	V _{pp}	
Reference Level	Low Level Mode	1.3	1.4	1.5	V	
	High Level Mode	2.3	2.4	2.5	V	
S/N	Low Level Mode		72		dB	
	High Level Mode		72		dB	
SINAD	Low Level Mode		65		dB	
	High Level Mode		65		dB	
SMF Frequency Characteristics	@1kHz		0		dB	
	@20kHz		-4		dB	
	@100kHz		-44		dB	

10.2.2. LOCAL BUFFER+LOCAL DIVIDER(TX)+DRIVER AMP

Parameter	Min.	Typ.	Max.	Unit	Description	
LOIN Input Sensitivity	-5	0	5	dBm		
Output Frequency Range	no div	100		1200	MHz	4 levels by <Address0x12> DIVSEL[1:0] bits
	2 div	100		1200	MHz	
	4 div	100		600	MHz	
	8 div	100		300	MHz	
Output Power@450MHz		+6			dBm	4 levels by <Address0x13> TXOLV[1:0] bits
		+3			dBm	
		0			dBm	
		-6			dBm	

10.3. 消費電流

特記無き場合、以下の条件とします。

VDD1= 2.7 ~ 3.3V, DACVDD=2.7 ~ 5.5V, CPVDD= 2.7 ~ 5.5V,

DVDD= 1.7 ~ 1.9V or 2.7 ~ 3.3V, 温度= -40 ~ 85°C

消費電流はデジタル出力ピンのドライブ分を含みます。

■ ファンクション別消費電流

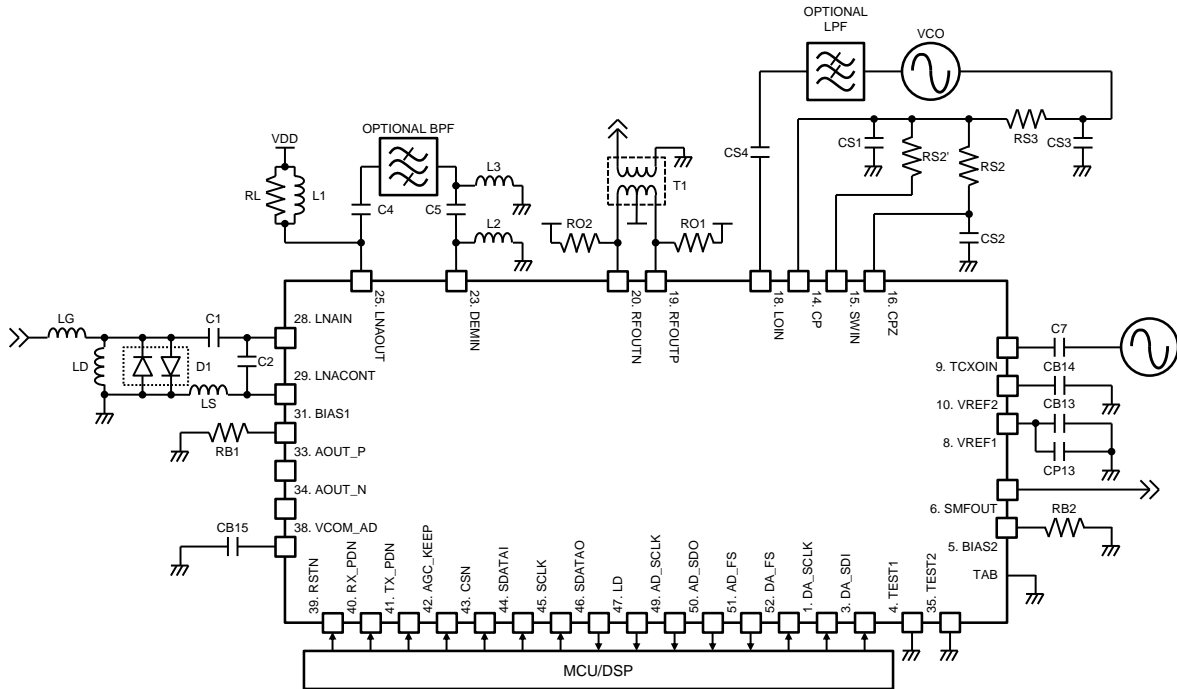
Parameter	Min.	Typ.	Max.	Unit	Description
BIAS CIRCUIT		1.7	2.2	mA	[10], [11]
PLL SYNTHESIZER	High Frequency Mode	15	20	mA	[5], [6]
	Low Frequency Mode	11	16	mA	
RX TOTAL (2 div)	Normal Power Mode	70	93	mA	[1], [2], [3], [5], [7], [8]
	Low Power Mode	52	70	mA	
TX TOTAL (2 div, 0dBm)		24	31	mA	[4], [7], [8], [9]

■ ブロック別消費電流(設計保証値)

Parameter	Min.	Typ.	Max.	Unit	Description
LNA	Normal Power Mode	14		mA	[1]
	Low Power Mode	4		mA	
MIXER+PGA+AAF	Normal Power Mode	35		mA	[2]
	Low Power Mode	27		mA	
ADC+DIGITAL		13		mA	[3]
CLOCK BUFFER		1		mA	[5]
LOCAL BUFFER		2.5		mA	[7]
LOCAL DIVIDER(RX)	2 div	4.5		mA	[8]
	4 div	5.5		mA	
	8 div	6.5		mA	
VREF		0.8		mA	[11]
DAC		5		mA	[4]
LOCAL DIVIDER(TX)	no div	2		mA	[7]
	2 div	3		mA	
	4 div	4		mA	
	8 div	5		mA	
DRIVER AMP	+6dBm	28		mA	[9]
	+3dBm	19		mA	
	0dBm	13.5		mA	
	-6dBm	7		mA	

11. 外部接続回路例

11.1. 外部接続回路例



11.2. 部品表

Table 1. 外部接続回路例の部品表

Ref.	Value	Description	Ref.	Value	Description
LG	30nH	LNAIN=450MHz Normal Power Mode	T1	4:1	RFOUT=450MHz JTX-4-10T
LS	3.3nH		RO1	100Ω	
C2	3.6pF		RO2	100Ω	
C1	100pF		RS2	-	LOOP FILTER
LD	-		RS2'	-	
D1	-	RS3	-		
LG	47nH	CS1	-		
LS	3.3nH	CS2	-		
C2	1.3pF	LNAIN=450MHz Low Power Mode	CS3	-	
C1	100pF		CS4	1000pF	
LD	-		C7	100pF	
D1	-		CB13	10μF	
RL	200Ω		CB14	0.47μF	
L1	27nH	LNAOUT=450MHz	CB15	2.2μF	
C4	3.9pF		RB1	47kΩ	±1%品推奨
L2	220nH	DEMIN=450MHz	RB2	27kΩ	±1%品推奨
L3	22nH				
C5	20pF				

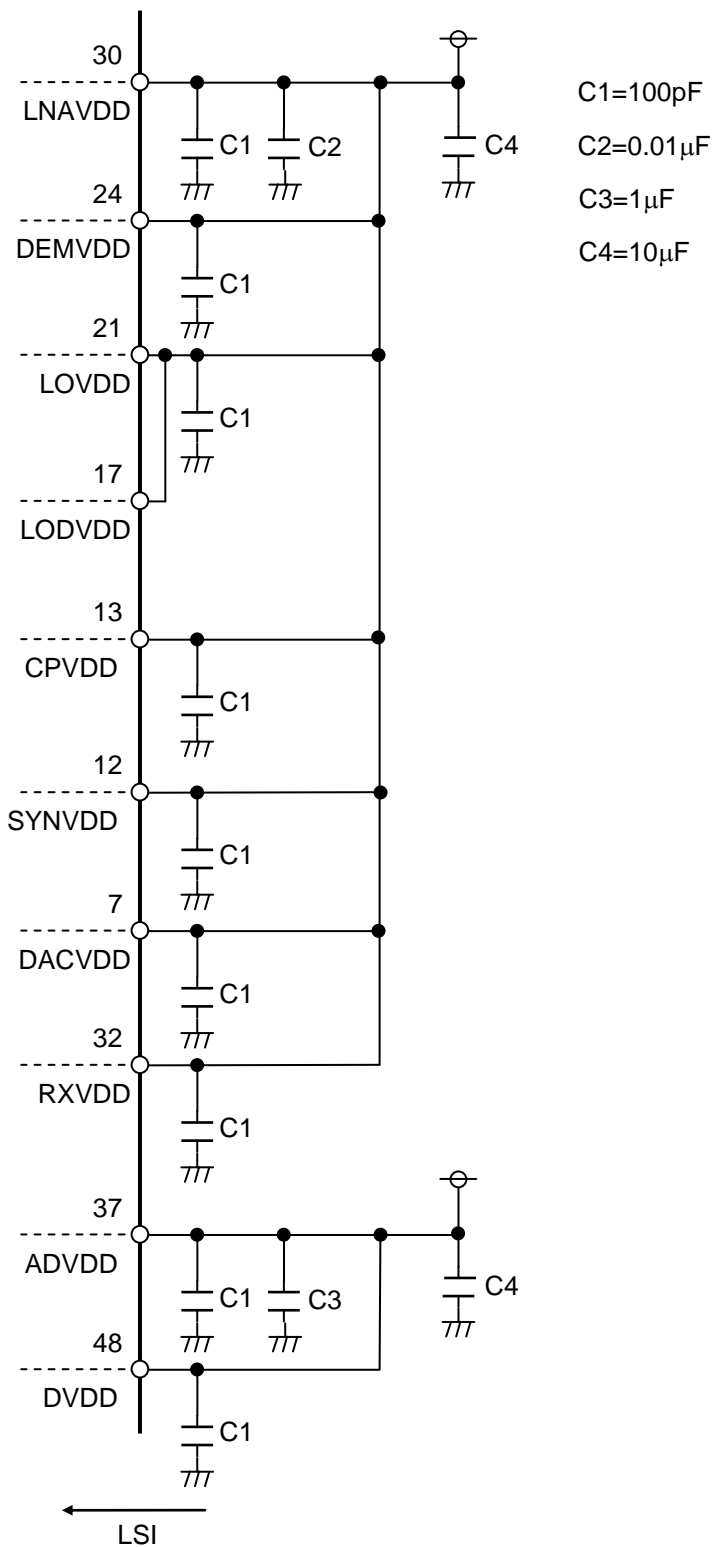
*450MHz 以外の周波数での整合回路例はアプリケーションノートとして準備しています。別途お問い合わせください。

* AKM の評価ボードでインダクタには巻線インダクタを使用しています。

* AKM の評価ボードでダイオード LD には DAN217UM を使用しています。

11.3. 電源ピン/グラウンドピン

電源に含まれるリップル、ノイズ等を除去するため、VDD - VSSピン間に下図の様にコンデンサを接続してください。コンデンサは両ピン間の最短距離に配置すると効果的です。

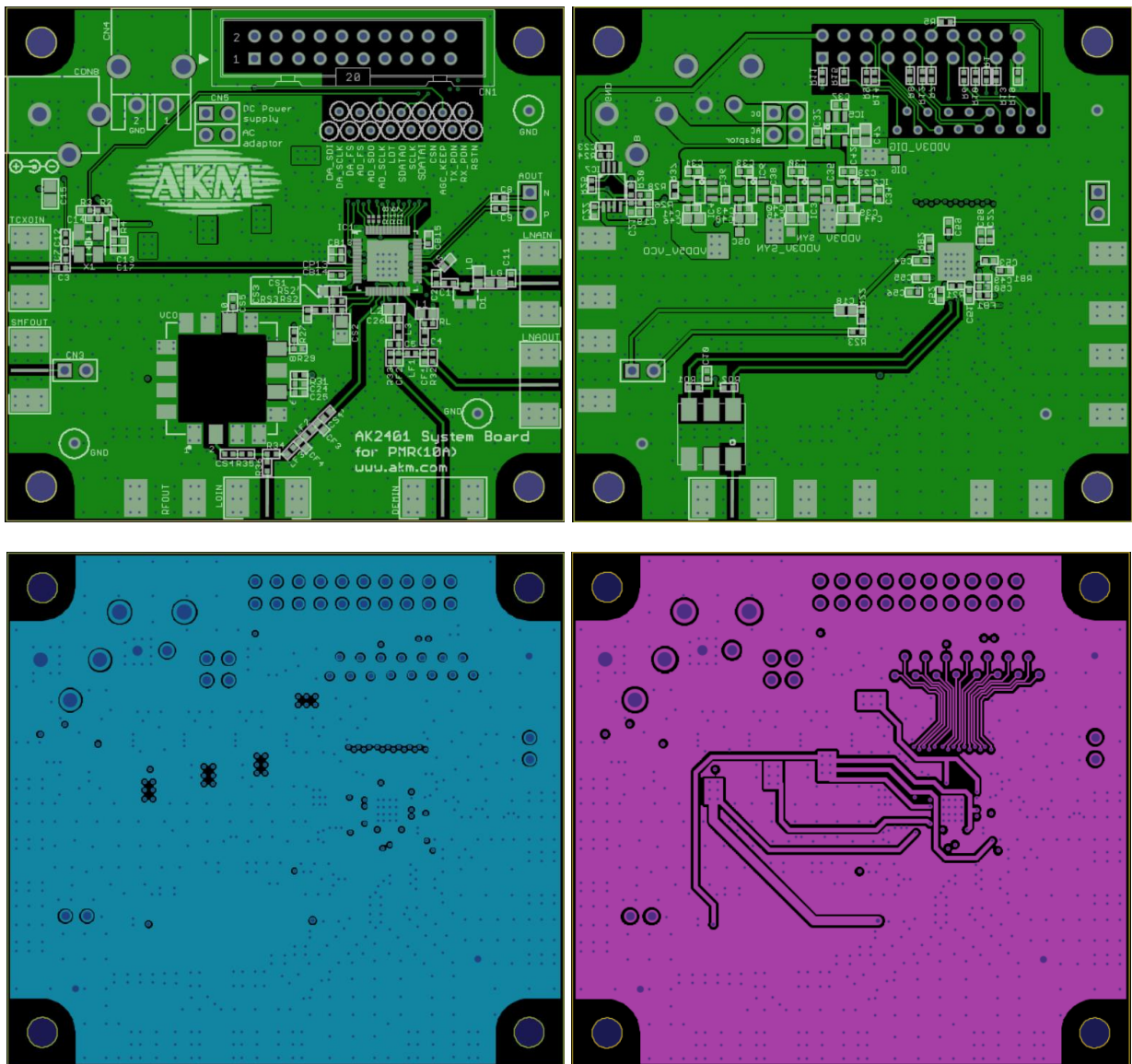


11.4. 基板設計

以下は弊社評価ボードの条件で確認した基板設計指針であり、お客様の基板のレイアウトパターンを指定、または特性を保証するものではありません。

- 裏面中央の露出パッドは低インピーダンスのアナロググラウンドに接続してください。露出パッドを実装せずオープンにした場合、動作が不安定になる可能性があります。
- 24-bit $\Delta\Sigma$ A/D コンバータは、TCXOIN pin から入力されるリファレンスクロックを4分周して使用します。そのため、(TCXO/4)MHz とその高調波成分が LNA の入力部に回り込むことにより、その周波数を RF 周波数と選択して AK2401A を使用する場合に受信感度抑圧を引き起こします。従って、ご使用の RF 周波数が (TCXO/4)MHz の通倍である場合には、その実力を十分にご評価の上でご使用ください。弊社評価ボードでは、以下に記載する点に注意を払うことでその影響が緩和することを確認しています。
- 各 VSS は分離せず、同じアナロググラウンドに接続してください。アナロググラウンドはグラウンドプレーンを広く取り低インピーダンスにすることで、スプリアス特性が向上します。
- 裏面中央の露出パッドと各 VSS ピンは基板の TOP 層でショートすることでスプリアス特性が向上します。
- 電源ピンは、ADVDD/DVDD が主要なスプリアス源のため、LNA に回り込まないようにケアする必要があります。各電源ピンに 100pF のデカップリングコンデンサを接続する他、LNAVDD には 0.01 μ F を、ADVDD には 1 μ F を追加で接続しています。AD_SCLK のデジタル信号線と LNAVDD の電源配線はできる限り離してアイソレーションを確保してください。
- 各電源ピンには直列にフェライトビーズなどを接続することなく、LDO 等からの低インピーダンス状態のまま配線しています。LNAVDD のみ、直列に 1 Ω を接続することでスプリアス特性が向上することがあります。
- AD_SCLK, AD_SDO, AD_FS pins の高周波ノイズでスプリアス特性が劣化します。直列に 100 Ω のダンピング抵抗を入れてください。デジタル信号線は内層に埋めてください。
- デカップリングコンデンサ、特に小容量のセラミックコンデンサは AK2401A にできるだけ近づけて接続してください。
- RFOUT_P, RFOUT_N pins に接続するバランは使用周波数帯に応じたバランを使用してください。オープンコネクタピンのため、センタータップ無しのバランを使用する場合には別途、インダクタを介して電源電圧の供給が必要です。
- VREF1, VREF2 pins に対接地に接続するコンデンサは内部回路の安定化のため、指定の値を接続してください。
- 全てのデジタル入力ピンはオープンにしないでください。

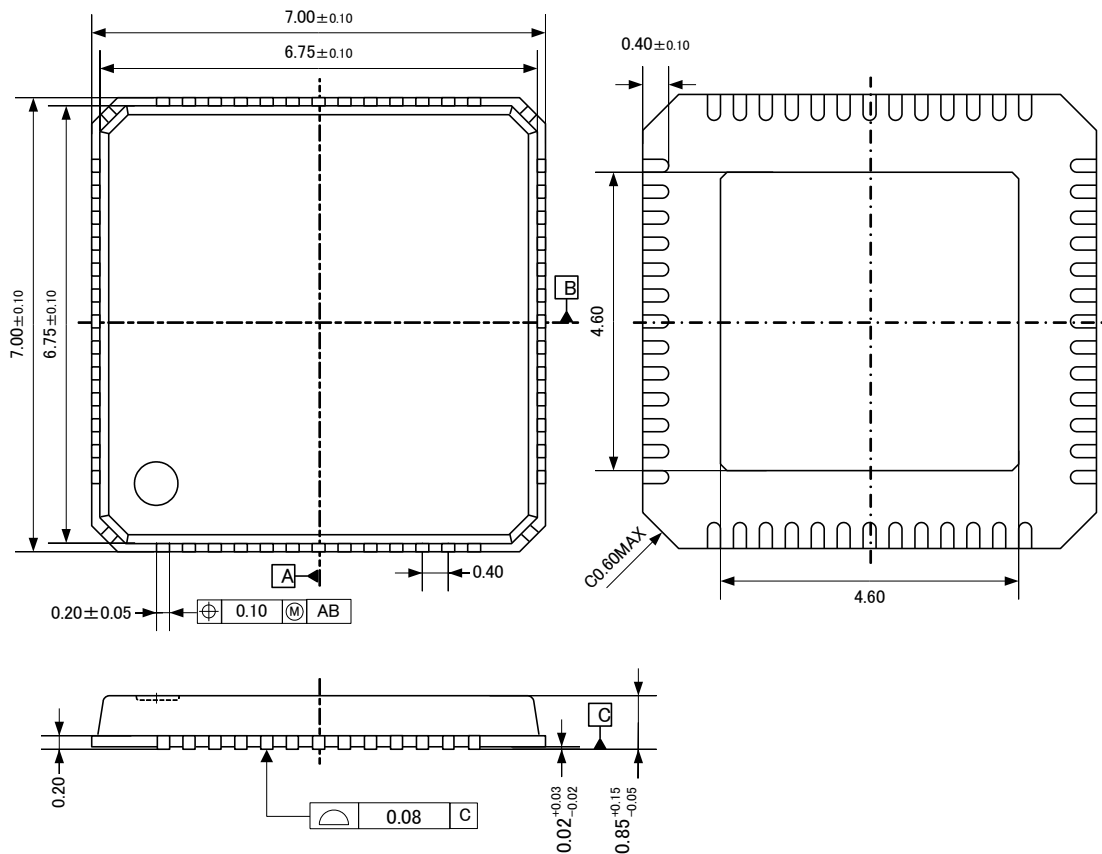
11.5. 評価ボードレイアウト



12. パッケージ

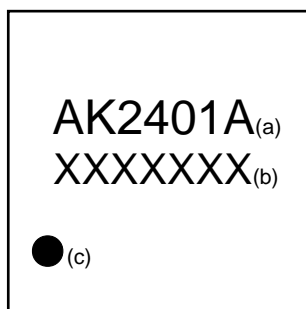
12.1. 外形寸法図

52-pin QFN (Unit:mm)



*本デバイスのパッケージ裏面中央の露出パッドは、VSSに接続してください。

12.2. マーキング



- a: Product number : AK2401A
- b: Date code : XXXXXXX
- c: 1 pin marking : ●
- d: Style : QFN
- e: Number of pins : 52

重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替及び外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。