



AK7707

Multi Core DSP with SRC

1. 概要

AK7707はサンプリング周波数192kHzまで対応の6系統ステレオSRC、DIR、DITに加え、Audio処理やVoice処理に対応した2種類のDSPを内蔵したLSIです。DSP1はC言語対応可能なCoreクロック295MHz対応のDSPです。DSP2,3は4608step/fs (48kHzサンプリング時)の演算能力を持ちます。DSP1とDSP2,3は異なるサンプリング周波数で動作可能のため、音響処理と同時に、ハンズフリー(HF)処理をすることも可能です。RAMベースDSPのため、プログラムを書き換えることで、ユーザの要望に合わせた音響処理や独自開発の高性能HF機能を実現させることができます。64-pin HTQFPパッケージの採用により省スペースを実現できます。

2. 特長

- DSP1(Tensilica Hifi2):
 - 対応データ幅: 64-bit
 - 動作クロック: 294.912MHz(DSP1高速モード)
 - IRAM: 128KB
 - DRAM: 384KB
 - GPIO: 8 ports
 - SPIコントロールマスタポート 1組
 - JTAG for On-chip debugging
- DSP2,3(AKM DSP)
 - データ幅: 28-bit (Data RAM: 略式浮動小数点对応)
 - 動作クロック: 221.184MHz (4608steps, fs= 48kHz時 DSP2/3高速モード)
 - 乗算器: 24 x 24 → 48-bit (倍精度演算可)
 - 除算器: 24 / 24 → 24-bit (浮動小数正規化機能付き)
 - ALU: 52-bit算術演算 (with overflow margin 4-bit)
 - プログラムRAM (PRAM): 10kword x 36-bit (DSP2+DSP3 Total)
 - 係数RAM (CRAM): 10kword x 24-bit (DSP2+DSP3 Total)
 - データRAM (DRAM): 10kword x 28-bit (DSP2+DSP3 Total)
 - 遅延用RAM(DLRAM): 24kword x 28-bit (DSP2+DSP3 Total)
 - JX pins (Interrupt)
- SRC
 - 2ch x 6系統
 - FSI = 8kHz ~ 192kHz, FSO= 8kHz ~ 192kHz (FSO/FSI= 0.167 ~ 6.0)

- DIR部
 - S/PDIF, IEC60958, AES/EBU, EIAJ CP1201対応
 - アンプ内蔵: 1系統
 - ディエンファシスフィルタ内蔵(32, 44.1, 48, 96kHz対応オン/オフ機能付き)
 - Non-PCMデータストリーム検出機能
 - DTS-CDデータストリーム検出機能
 - サンプリング周波数検出機能(32kHz, 44.1kHz, 48kHz, 88.2kHz 96kHz)
 - Unlock & Parity Error検出機能
 - Validity検出レジスタリードバック機能
 - チャネルステータスワードの先頭42-bit分のバッファ内蔵
 - CD Qsubcode用バッファ内蔵
- DIT部
 - S/PDIF, IEC60958, AES/EBU, EIAJ CP1201 民生モード対応
 - 24-bit 1系統
- Digital Interfaces
 - デジタル入力8ポート (Max. 64ch, TDM使用時)
 - デジタル出力8ポート (Max. 64ch, TDM使用時)
 - 独立LRCK/BICK入出力ポート x 5系統
 - データフォーマット: 前詰32, 24-bit/ 後詰24, 20, 16-bit/ I²S
 - Shot/ Long Frame対応
 - TDM入出力モード対応
 - デジタルマイク入力ポート (2ch x 2系統)
- セルフブート機能対応
- デジタルミキサー回路内蔵
- PLL回路内蔵
- μ Pインタフェース: SPI (7MHz Max.) / I²C (1MHz Fast Mode plus)
- 電源電圧:
 - Digital: VDD12: 1.14V ~ 1.3V (Typ. 1.2V)
 - I/F: VDD33: 3.13V ~ 3.47V (Typ. 3.3V)
 - TVDD1: 1.7V ~ 3.47V (Typ. 3.3V)
 - TVDD2: 1.7V ~ 3.47V (Typ. 3.3V)
 - AVDD: 3.13V ~ 3.47V (Typ. 3.3V)
- 動作温度範囲: Ta= -40 ~ 85°C
- パッケージ: 64-pin HTQFP (10mm x 10mm, 0.5mm pitch)

3. 目次

1.	概要.....	1
2.	特長.....	1
3.	目次.....	3
4.	ブロック図.....	4
	■ デバイスブロック図.....	4
	■ DSP1部ブロック図.....	5
	■ DSP2部ブロック図.....	6
	■ DSP3部ブロック図.....	7
5.	ピン配置と機能説明.....	8
	■ ピン配置図.....	8
	■ 機能説明.....	9
	■ 使用しないピンの処理について.....	12
	■ 入出力ピンとデジタル電源の関連.....	12
	■ パワーダウン時のピンの状態一覧.....	13
6.	絶対最大定格.....	14
7.	推奨動作条件.....	15
8.	電気的特性.....	16
	■ SRC.....	16
	■ SPDIF特性.....	17
	■ デジタルマイクインタフェース.....	17
	■ 消費電流.....	17
9.	デジタルフィルタ特性.....	18
	■ SRC部.....	18
10.	DC特性.....	20
	■ DC特性.....	20
11.	スイッチング特性.....	21
	■ システムクロック.....	21
	■ パワーダウン.....	21
	■ シリアルデータインタフェース(SDIN1 ~ SDIN8, SDOOUT1 ~ SDOOUT8).....	22
	■ SPIインタフェース.....	25
	■ I ² Cインタフェース.....	27
	■ Master SPIインタフェース.....	28
	■ JTAGインタフェース.....	28
12.	外部接続回路例.....	29
	■ 接続図.....	29
	■ 周辺回路.....	30
13.	パッケージ.....	31
	■ 外形寸法図.....	31
	■ 材質・メッキ仕様.....	31
	■ マーキング.....	32
14.	オーダーリングガイド.....	32
	■ オーダーリングガイド.....	32
	重要な注意事項.....	33

4. ブロック図

■ デバイスブロック図

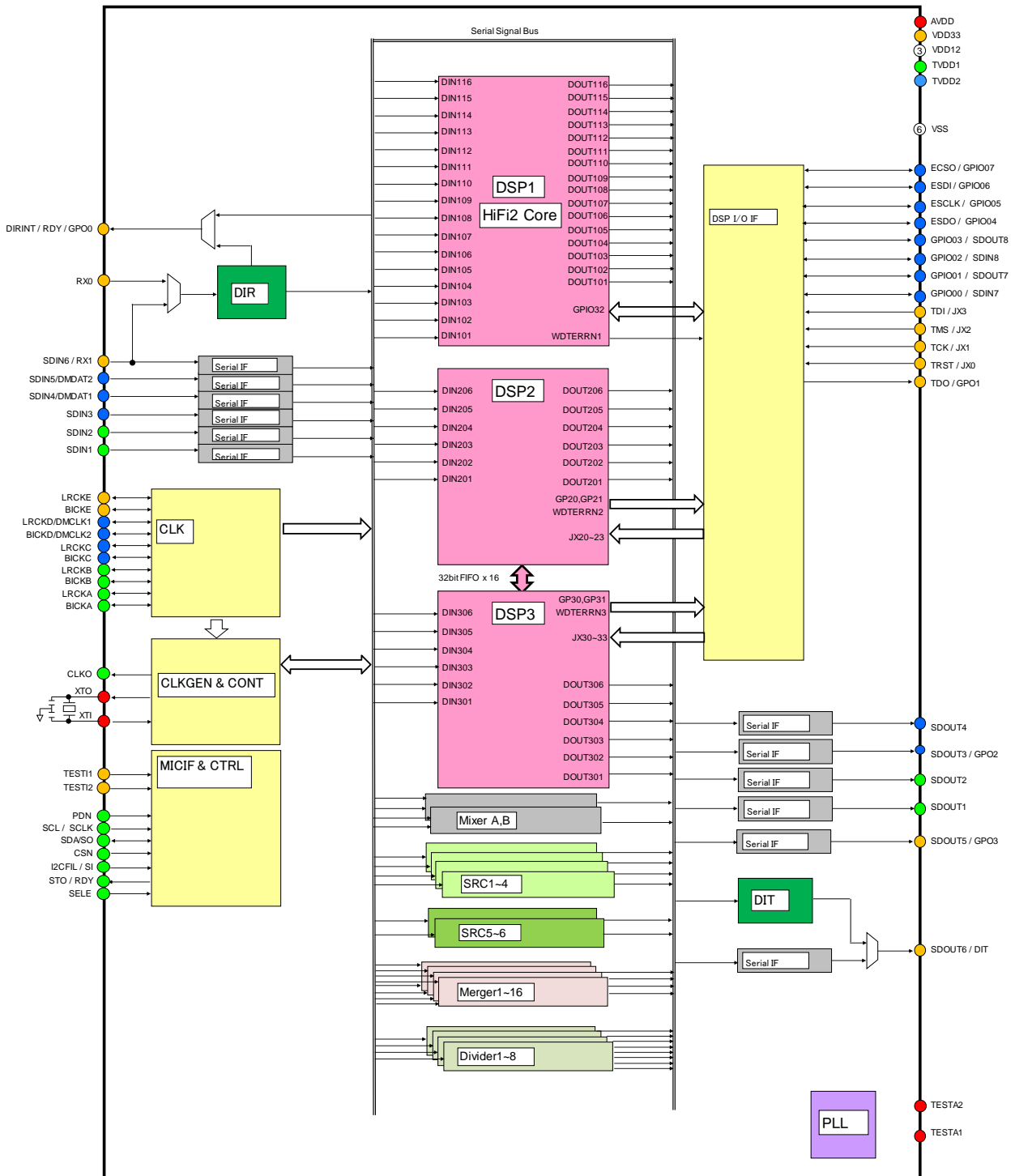


Figure 1. AK7707全体ブロック図

■ DSP1部ブロック図

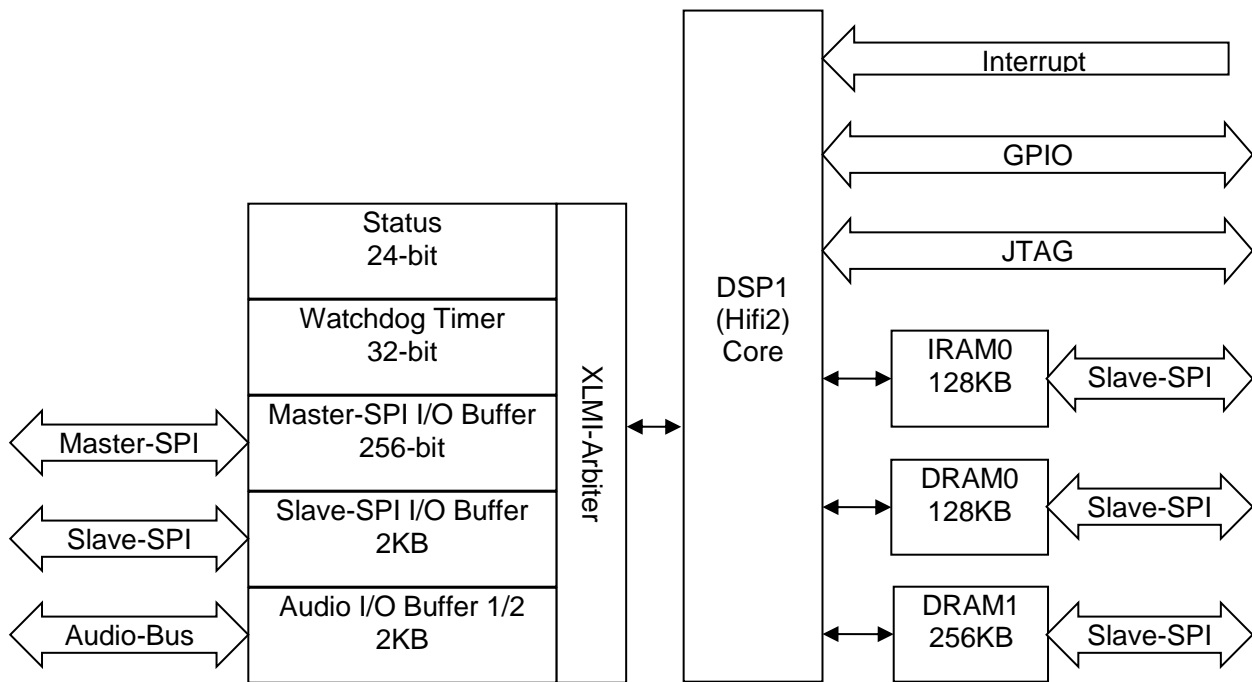


Figure 2. DSP1のブロック図

■ DSP2部ブロック図

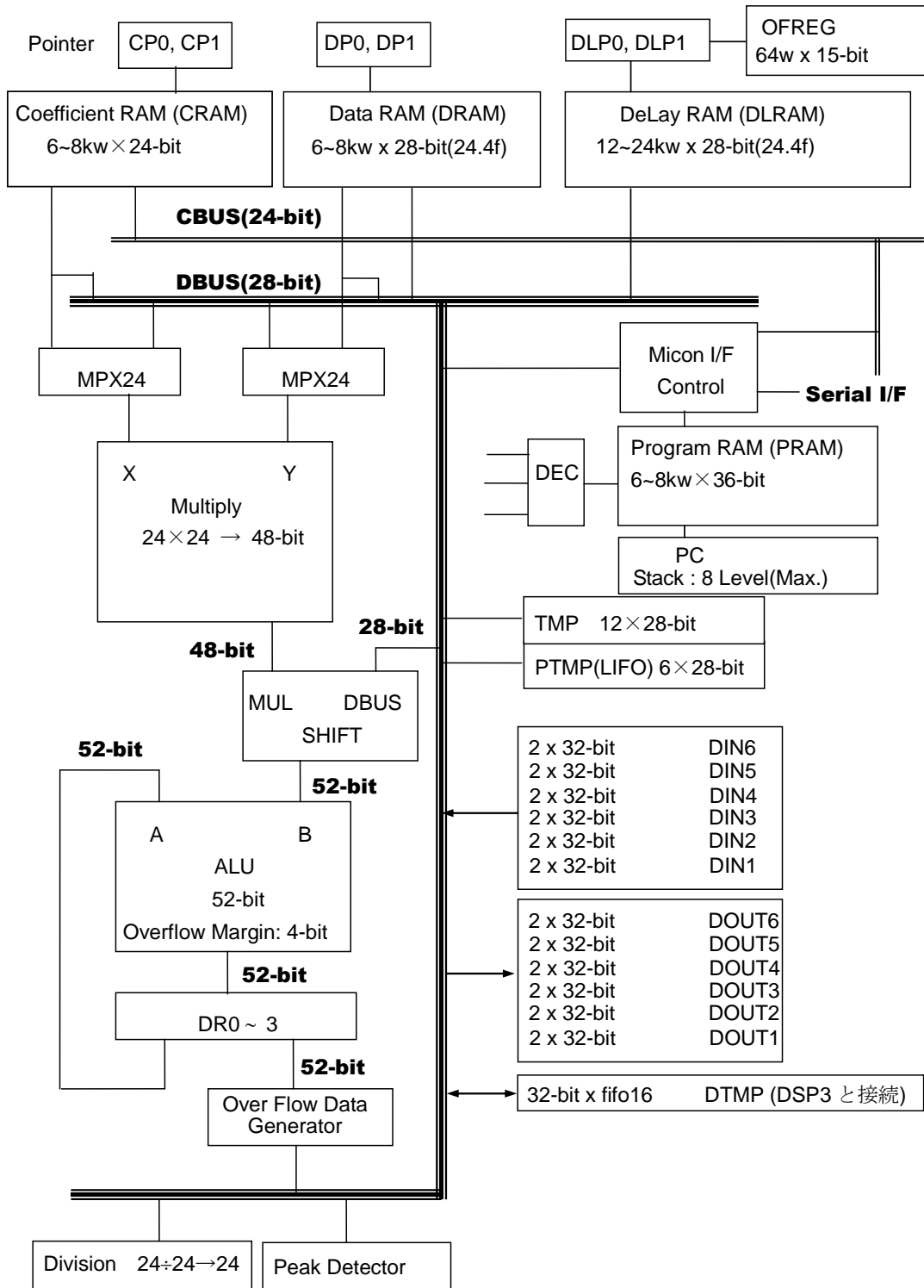


Figure 3. DSP2のブロック図

■ DSP3部ブロック図

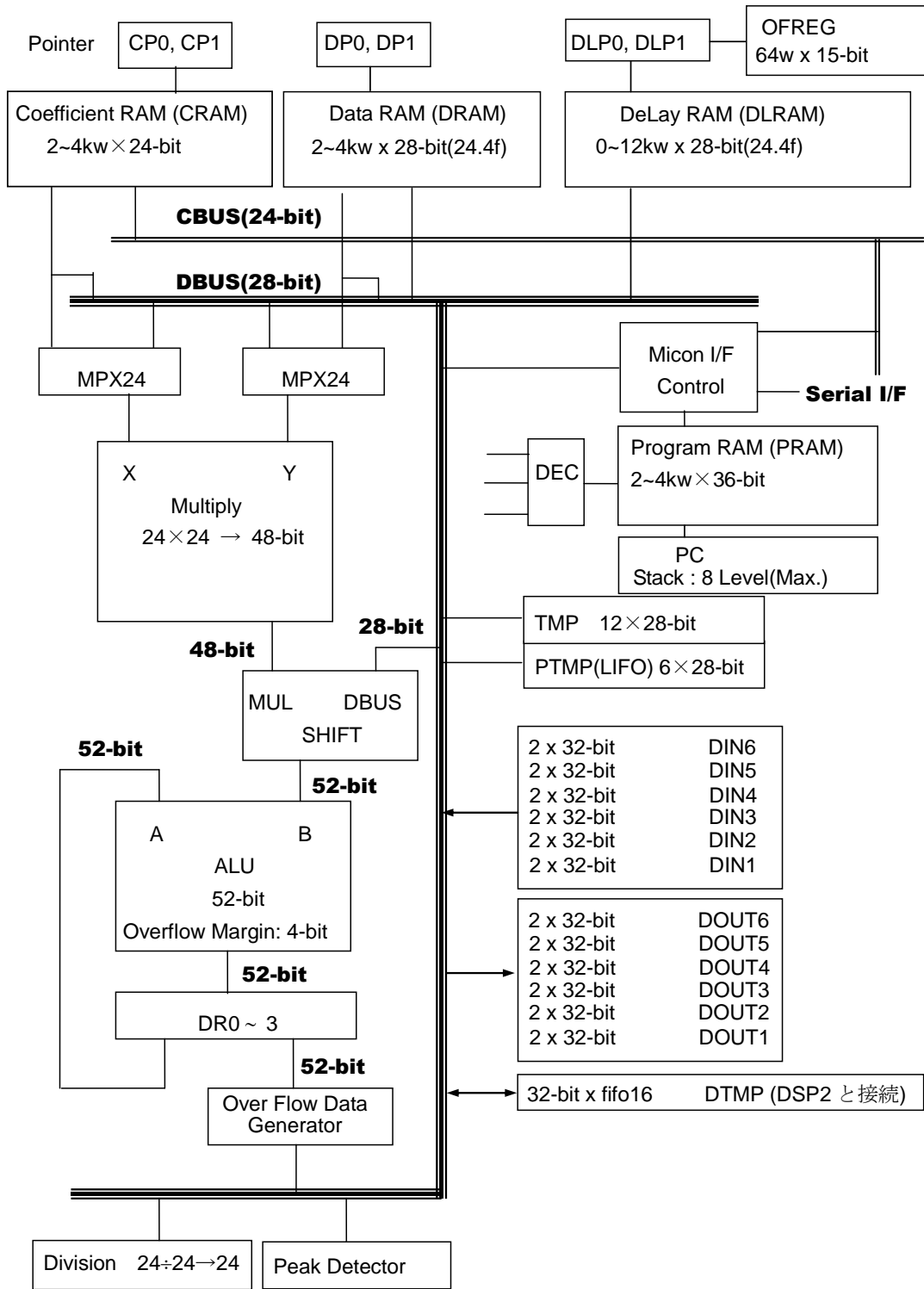
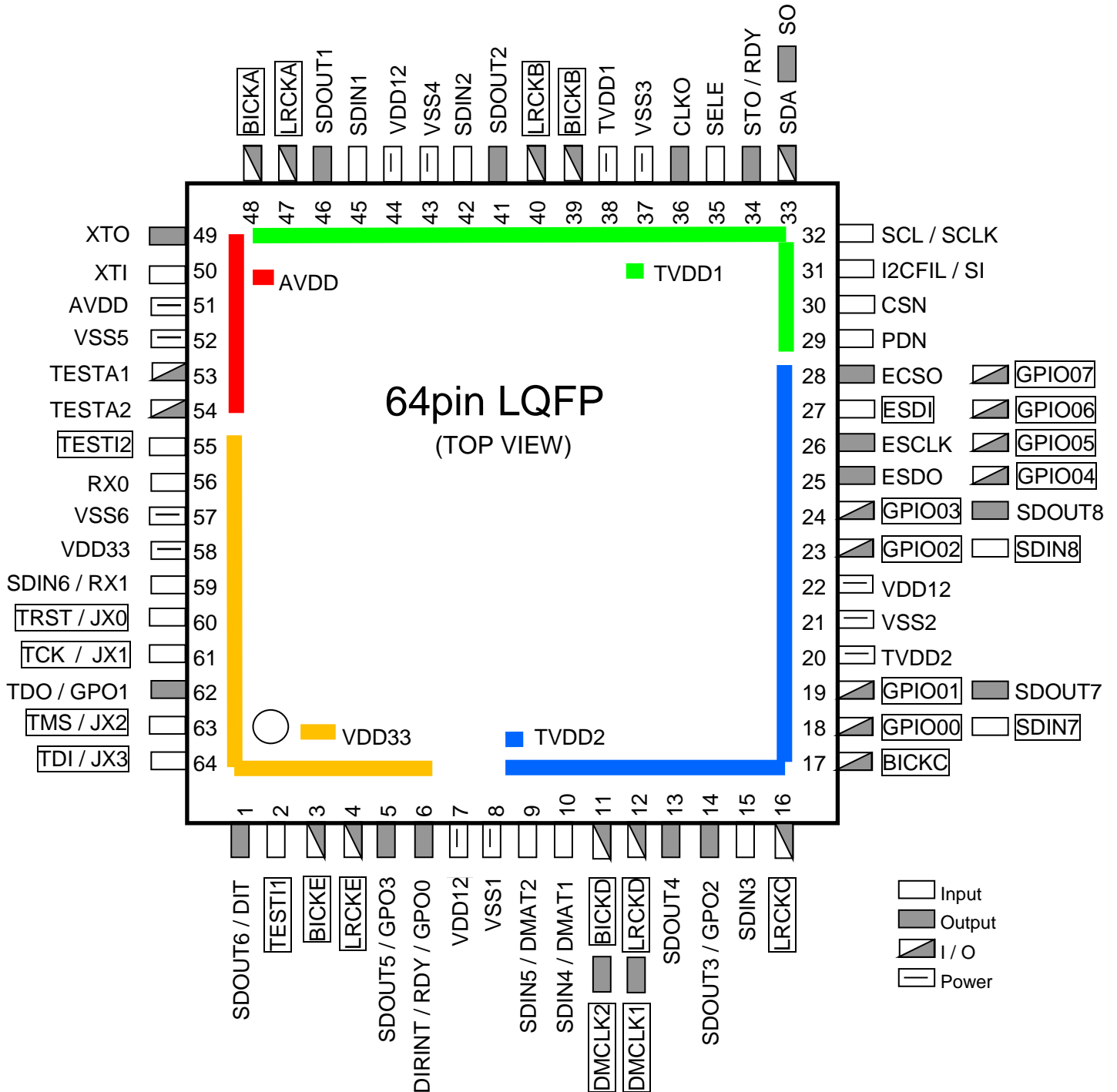


Figure 4. DSP3のブロック図

5. ピン配置と機能説明

■ ピン配置図



は、プルダウン抵抗付ピンです。:ピン名

先に記載されている方がdefaultピンになります
 (defaultピン例 1-pin SDOUT6, 32-pin SCL, 33-pin SDA, 64-pin TDI)

■ 機能説明

No.	Pin Name	I/O	Function	供給電源
1	SDOUT6	O	シリアルデジタルデータ出力 6 ピン	VDD33
	DIT	O	DIT 出力ピン	
2	TESTI1	I	テスト入力 1 ピン (プルダウン抵抗付き) “L”にしてください。	VDD33
3	BICKE	I/O	シリアルビットクロック E ピン (Input プルダウン抵抗付き)	VDD33
4	LRCKE	I/O	LR チャネル選択 E ピン (Input プルダウン抵抗付き)	VDD33
5	SDOUT5	O	シリアルデジタルデータ出力 5 ピン	VDD33
	GPO3	O	汎用出力 3 ピン (DSP3-GP1)	
6	DIRINT	O	DIR 割り込み出力通知ピン	VDD33
	RDY	O	RDY ピン	
	GPO0	O	汎用出力 0 ピン (DSP2-GP0)	
7	VDD12	-	デジタル電源ピン Typ. 1.2V (1.14V ~ 1.3V)	-
8	VSS1	-	グラウンド 1 ピン 0V	-
9	SDIN5	I	シリアルデジタルデータ入力 5 ピン	TVDD2
	DMDAT2	I	デジタルマイク用 DATA2	
10	SDIN4	I	シリアルデジタルデータ入力 4 ピン	TVDD2
	DMDAT1	I	デジタルマイク用 DATA1	
11	BICKD	I/O	シリアルビットクロック D ピン (Input プルダウン抵抗付き)	TVDD2
	DMCLK2	O	デジタルマイク用クロック出力 2 ピン	
12	LRCKD	I/O	LR チャネル選択 D ピン (Input プルダウン抵抗付き)	TVDD2
	DMCLK1	O	デジタルマイク用クロック出力 1 ピン	
13	SDOUT4	O	シリアルデジタルデータ出力 4 ピン	TVDD2
14	SDOUT3	O	シリアルデジタルデータ出力 3 ピン	TVDD2
	GPO2	O	汎用出力 2 ピン (DSP3-GP0)	
15	SDIN3	I	シリアルデジタルデータ入力 3 ピン	TVDD2
16	LRCKC	I/O	LR チャネル選択 C ピン (Input プルダウン抵抗付き)	TVDD2
17	BICKC	I/O	シリアルビットクロック C ピン (Input プルダウン抵抗付き)	TVDD2
18	GPIO00	I/O	DSP1 GPIO Pin (Input プルダウン抵抗付き) DSP1のプログラムでコントロールします。	TVDD2
	SDIN7	I	シリアルデジタルデータ入力 7 ピン	
19	GPIO01	I/O	DSP1 GPIO Pin (Input プルダウン抵抗付き) DSP1のプログラムでコントロールします。	TVDD2
	SDOUT7	O	シリアルデジタルデータ出力 7 ピン	
20	TVDD2	-	デジタル IO 電源 2 ピン Typ. 3.3V (1.7V ~ 3.47V)	-
21	VSS2	-	グラウンド 2 ピン 0V	-
22	VDD12	-	デジタル電源 12 ピン Typ. 1.2V (1.14V ~ 1.3V)	-
23	GPIO02	I/O	DSP1 GPIO2 Pin (Input プルダウン抵抗付き) DSP1のプログラムでコントロールします。	TVDD2
	SDIN8	I	シリアルデジタルデータ入力 8 ピン (プルダウン抵抗付き)	
24	GPIO03	I/O	DSP1 GPIO Pin (Input プルダウン抵抗付き) DSP1のプログラムでコントロールします。	TVDD2
	SDOUT8	O	シリアルデジタルデータ出力 8 ピン	
25	ESDO	O	外部デバイスの SPI コントロール用データ出力ピン (相手側 SI)	TVDD2
	GPIO04	I/O	DSP1 GPIO4 Pin (Input プルダウン抵抗付き) DSP1のプログラムでコントロールします。	

No.	Pin Name	I/O	Function	供給電源
26	ESCLK	O	外部デバイスの SPI コントロール用データ出力ピン (相手側 SCLK)	TVDD2
	GPIO05	I/O	DSP1 GPIO5 Pin (Input プルダウン抵抗付き) DSP1のプログラムでコントロールします。	
27	ESDI	I	外部デバイスの SPI コントロール用データ入力ピン (相手側 SO) (プルダウン抵抗付き)	TVDD2
	GPIO06	I/O	DSP1 GPIO6 Pin (Input プルダウン抵抗付き) DSP1のプログラムでコントロールします。	
28	ECSO	O	外部デバイスの SPI コントロール用データ出力ピン (相手側 CS)	TVDD2
	GPIO07	I/O	DSP1 GPIO7 Pin (Input プルダウン抵抗付き) DSP1のプログラムでコントロールします。	
29	PDN	I	パワーダウン N ピン ・ AK7707 をパワーダウンするのに使用します。 ・ 電源立ち上げ時は“L”にしてください。	TVDD1
30	CSN	I	I ² Cモード：I ² C インタフェース用バスアドレス N ピン ・ プルアップ、またはプルダウンで使用してください。 極性を反転したものをバスアドレスとして使用します。	TVDD1
		I	SPIモード：SPI インタフェース用チップセレクト N ピン ・ パワーダウン状態、またはマイコンとのインタフェースを行 わない場合は“H”にしてください。	
31	I2CFIL	I	I ² C インタフェースモード選択入力ピン ・ I2CFIL = “L”固定: Fast Mode (400kHz) ・ I2CFIL = “H”固定: Fast Mode Plus (1MHz) (TVDD1 固定にし てください)	TVDD1
	SI	I	SPI インタフェース用シリアルデータ入力ピン	
32	SCL	I	I ² C インタフェース用シリアルデータクロック入力ピン	TVDD1
	SCLK	I	SPI インタフェース用シリアルデータクロック入力ピン	
33	SDA	I/O	I ² C インタフェース SDA ピン	TVDD1
	SO	O	SPI インタフェース用シリアルデータ出力ピン	
34	STO	O	ステータス出力ピン	TVDD1
	RDY	O	RDY Pin	
35	SELE	I	セルフブートイネーブルピン	TVDD1
36	CLKO	O	クロック出力ピン	TVDD1
37	VSS3	-	グラウンド 3 ピン 0V)	-
38	TVDD1	-	デジタル IO 電源 1 ピン Typ. 3.3V (1.7V ~ 3.47V)	-
39	BICKB	I/O	シリアルビットクロック B ピン (Input プルダウン抵抗付き)	TVDD1
40	LRCKB	I/O	LR チャネル選択 B ピン (Input プルダウン抵抗付き)	TVDD1
41	SDOUT2	O	シリアルデジタルデータ出力 2 ピン	TVDD1
42	SDIN2	I	シリアルデジタルデータ入力 2 ピン	TVDD1
43	VSS4	-	グラウンド 4 ピン 0V	-
44	VDD12	-	デジタル電源 12 ピン Typ. 1.2V (1.14V ~ 1.3V)	-
45	SDIN1	I	シリアルデジタルデータ入力 1 ピン	TVDD1
46	SDOUT1	O	シリアルデジタルデータ出力 1 ピン	TVDD1
47	LRCKA	I/O	LR チャネル選択 A ピン (Input プルダウン抵抗付き)	TVDD1
48	BICKA	I/O	シリアルビットクロック A ピン (Input プルダウン抵抗付き)	TVDD1

No.	Pin Name	I/O	Function	供給電源
49	XTO	O	発振回路出力ピン ・水晶振動子を使用する場合、水晶振動子を XTI Pin と XTO Pin に接続してください。 ・水晶振動子を使用しない場合は、オープンにしてください。	AVDD
50	XTI	I	発振回路入力ピン ・水晶振動子を使用する場合、水晶振動子を XTI Pin と XTO Pin に接続してください。 ・水晶振動子を使用しない場合は、外部クロック又は VSS5 に接続してください。	AVDD
51	AVDD	-	アナログ用電源ピン Typ. 3.3V (3.13V ~ 3.47V)	-
52	VSS5	-	グラウンド 5 ピン 0V	-
53	TESTA1	I/O	テスト用入出力ピン (オープンにしてください)	AVDD
54	TESTA2	I/O	テスト用入出力ピン (オープンにしてください)	AVDD
55	TESTI2	I	テスト入力 2 ピン (プルダウン抵抗付き) VSS6に接続してください。	VDD33
56	RX0	I	DIR データ入力 0 ピン	VDD33
57	VSS6	-	グラウンド 6 ピン 0V	-
58	VDD33	-	デジタル電源 33 ピン Typ. 3.3V (3.13V ~ 3.47V)	-
59	SDIN6	I	シリアルデジタルデータ入力 6 ピン	VDD33
	RX1	I	DIR データ入力 1 ピン	
60	TRST	I	JTAG 入力ピン	VDD33
	JX0	I	JX 入力 0 ピン (DSP2/3-JX0)	
61	TCK	I	JTAG 入力ピン	VDD33
	JX1	I	JX 入力 1 ピン (DSP2/3-JX1)	
62	TDO	O	JTAG 出力ピン	VDD33
	GPO1	O	汎用出力 1 ピン (DSP2-GP1)	
63	TMS	I	JTAG 入力ピン	VDD33
	JX2	I	JX 入力 2 ピン (DSP2/3-JX2)	
64	TDI	I	JTAG 入力ピン	VDD33
	JX3	I	JX 入力 3 ピン (DSP2/3-JX3)	

※ 放熱のために裏面タブは必ず基板と半田接続してください。

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理してください。

Classification	Pin Name (Pin No.)	Setting
Digital	SDOUT6/DIT(1), SDOUT5/GPO3(5), DIRINT/RDY/GPO0(6), SDOUT4(13), SDOUT3/GPO2(14), ESDO/GPIO04(25), ESCLK/GPIO05(26), ECSO/GPIO07(28), SO/SDA(33), STO/RDY(34), CLKO(36), SDOUT2(41), SDOUT1(46), TDO/GPO1(62)	オープン
	BICKE(3), LRCKE(4), SDIN5/DMDAT2(9), SDIN4/DMDAT1(10), BICKD/DMCLK2(11), LRCKD/DMCLK1(12), SDIN3(15), LRCKC(16), BICKC(17), GPIO00/SDIN7(18), GPIO01/SDOUT7(19), GPIO02/SDIN8(23), GPIO03/SDOUT8(24), ESDI/GPIO06(27), , CSN(30), I2CFIL/SI(31), SCL/SCLK(32), SELE(35), BICKB(39), LRCKB(40), SDIN2(42), SDIN1(45), LRCKA(47), BICKA(48), TESTI1(55), RX0(56), TESTI2(57), SDIN6/RX1(59), TRST/JX0(60), TCK/JX1(61), TMS/JX2(63), TDI/JX3(64),	VSS1 ~ 4,6に接続
Analog	XTO(49), TESTA1(53), TESTA2(54)	オープン
	XTI(50)	VSS5に接続

Table 1. 使用しない入力ピンの処理

■ 入出力ピンとデジタル電源の関連

電源ピン	入出力ピン
TVDD1 (1.7~3.3V)	BICKA(48), LRCKA(47), SDOUT1(46), SDIN1(45), SDIN2(42), SDOUT2(41), LRCKB(40), BICKB(39), CLKO(36), SELE(35), STO/RDY(34), SDA/SO(33), SCL/SCLK(32), I2CFIL/SI(31), CSN(30), PDN(29)
TVDD2 (1.7~3.3V)	SDIN5/DMDAT2(9), SDIN4/DMDAT1(10), BICKD/DMCLK2(11), LRCKD/DMCLK1(12), SDOUT4(13), SDOUT3/GPO2(14), SDIN3(15), LRCKC(16), BICKC(17), GPIO00/SDIN7(18), GPIO01/SDOUT7(19), GPIO02/SDIN8(23), GPIO03/SDOUT8(24), ESDO/GPIO04(25), ESCLK/GPIO05(26), ESDI/GPIO06(27), ECSO/GPIO07(28)
VDD33 (3.3V)	TESTI2(55), RX0(56), SDIN6/RX1(59), TRST/JX0(60), TCK/JX1(61), TDO/GPO1(62), TMS/JX2(63), TDI/JX3(64), SDOUT6/DIT(1), TESTI1(2), BICKE(3), LRCKE(4), SDOUT5/GPO3(5), DIRINT/GPO0(6)
AVDD (3.3V)	XTO(49), XTI(50), TESTA1(53), TESTA2(54)

Table 2. 入出力ピンとデジタル電源の関連

■ パワーダウン時のピンの状態一覧

No	Pin Name	I/O	パワーダウン時の状態	No	Pin Name	I/O	パワーダウン時の状態
1	SDOUT6	O	“L”出力	32	SCL	I	Input
2	TESTI1	I	Input(プルダウン)	33	SDA	I/O	Input
3	BICKE	I/O	Input(プルダウン)	34	STO	O	“L”出力
4	LRCKE	I/O	Input(プルダウン)	35	SELE	I	Input
5	SDOUT5	O	“L”出力	36	CLKO	O	出力
6	DIRINT	O	“L”出力	39	BICKB	I/O	Input(プルダウン)
9	SDIN5	I	Input	40	LRCKB	I/O	Input(プルダウン)
10	SDIN4	I	Input	41	SDOUT2	O	“L”出力
11	BICKD	I/O	Input(プルダウン)	42	SDIN2	I	Input
12	LRCKD	I/O	Input(プルダウン)	45	SDIN1	I	Input
13	SDOUT4	O	“L”出力	46	SDOUT1	O	“L”出力
14	SDOUT3	O	“L”出力	47	LRCKA	I/O	Input(プルダウン)
15	SDIN3	I	Input	48	BICKA	I/O	Input(プルダウン)
16	LRCKC	I/O	Input(プルダウン)	49	XTO	O	SELE=“L”: “H”出力 SELE=“H”: XTIの反転出力
17	BICKC	I/O	Input(プルダウン)	50	XTI	I	Input
18	GPIO00	I/O	Input(プルダウン)	53	TESTA1	I/O	“Hi-Z”出力
19	GPIO01	I/O	Input(プルダウン)	54	TESTA2	I/O	“Hi-Z”出力
23	GPIO02	I/O	Input(プルダウン)	55	TESTI2	I	Input(プルダウン)
24	GPIO03	I/O	Input(プルダウン)	56	RX0	I	Input
25	ESDO	I/O	“L”出力	59	SDIN6	I	Input
26	ESCLK	I/O	“L”出力	60	TRST	I	Input(プルダウン)
27	ESDI	I/O	Input(プルダウン)	61	TCK	I	Input(プルダウン)
28	ECSO	I/O	“H”出力	62	TDO	O	“L”出力
29	PDN	I	Input “L”入力	63	TMS	I	Input(プルダウン)
30	CSN	I	Input	64	TDI	I	Input(プルダウン)
31	I2CFIL	I	Input				

Table 3. パワーダウン時のピンの状態一覧（電源立ち上げ後）

6. 絶対最大定格

(VSS1~6 = 0V; * 1)

Parameter	Symbol	Min.	Max.	Unit
電源電圧				
Analog	AVDD	-0.3	3.9	V
Digital1(Core)	VDD12	-0.3	1.4	V
Digital2(I/F)	TVDD1	-0.3	3.9	V
Digital3(I/F)	TVDD2	-0.3	3.9	V
Digital4(I/F)	VDD33	-0.3	3.9	V
Difference (VSS1 ~ VSS6) (* 1)	Δ GND	-0.3	0.3	V
入力電流 (除: 電源ピン)	IIN	-	± 10	mA
アナログ入力電圧 (* 2)	VINA	-0.3	(AVDD+0.3) or 3.9	V
デジタル入力電圧 (* 3)	VIND1	-0.3	(TVDD1+0.3) or 3.9	V
デジタル入力電圧 (* 4)	VIND2	-0.3	(TVDD2+0.3) or 3.9	V
デジタル入力電圧 (* 5)	VIND3	-0.3	(VDD33+0.3) or 3.9	V
動作周囲温度	Ta	-40	85	°C
保存温度	Tstg	-65	150	°C

Notes:

- * 1. すべての電圧はグラウンドに対する値です。VSS1 ~ VSS6は同電位にして下さい。
- * 2. XTI pin のアナログ入力電圧のMax.値は、(AVDD+0.3)Vまたは3.9Vのどちらか低い方です。
- * 3. SDIN1, SDIN2, LRCKA, BICKA, LRCKB, BICKB, SELE, SO/SDA, CSN, SI/I2CFIL, SCLK/SCL, PDN pinsのデジタル入力電圧のMax.値は、(TVDD1+0.3)Vまたは3.9Vのどちらか低い方です。
- * 4. SDIN3, SDIN4/DMDAT1, SDIN5/DMDAT2, LRCKD/DMCLK2, BICKD/DMCLK1, GPIO00/SDIN7, GPIO01/SDOUT7, GPIO02/SDIN8, GPIO03/SDOUT8, ESDO/GPIO04, ESCLK/GPIO05, ESDI/GPIO06, ECSO/GPIO07, LRCKC, BICKC, pinsのデジタル入力電圧のMax.値は、(TVDD2+0.3)Vまたは3.9Vのどちらか低い方です。
- * 5. SDIN6/RX1, RX0, TDI/JX3, TMS/JX2, TCK/JX1, TRST/JX0, LRCKE, BICKE, TESTI1, TESTI2 pinsのデジタル入力電圧のMax.値は、(VDD33+0.3)Vまたは3.9Vのどちらか低い方です。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は保証されません。

7. 推奨動作条件

(VSS1~6 = 0V; * 1)

Parameter	Symbol	Min.	Typ.	Max.	Unit
電源電圧					
Analog	AVDD	3.13	3.3	3.47	V
Digital (3.3V, I/F)	VDD33	3.13	3.3	3.47	V
Digital (1.2V Core)	VDD12	1.14	1.2	1.3	V
Digital (I/F)	TVDD1	1.7	3.3	3.47	V
Digital (I/F)	TVDD2	1.7	3.3	3.47	V

Notes:

- * 6. TVDD2は最初に立ち上げる電源から供給してください。
- * 7. すべての電源端子に電源を供給してください。
- * 8. PDN pin = "L"の状態では各電源を立ち上げ、全ての電源が立ち上がった後、PDN pin = "H"にしてください。
- * 9. TVDD1, TVDD2の電圧供給レベルを変更する場合（例えば 1.8V→3.3V）は最初から立ち上げシーケンスをやり直してください。
- * 10. I²Cインタフェースを使用する場合、周辺デバイスが電源ONの状態ではAK7707の電源をOFFにしないで下さい。また、SDA, SCL pinのプルアップ抵抗の接続先はTVDD1以下にしてください。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますのでご注意ください。

8. 電気的特性

■ SRC

(Ta= 25°C; VDD12= 1.2V, AVDD= VDD33= TVDD1= TVDD2= 3.3V; VSS1 ~ 6= 0V; 信号周波数= 1kHz; 24-bit Data; 測定周波数=20Hz ~ FSO/2)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Resolution				24	bit
Input Sample Rate	FSI	8		192 (* 11)	kHz
Output Sample Rate	FSO	8		192	kHz
THD+N (Input=1kHz, 0dBFS)					
Audioモード					
FSO/FSI=192kHz/48kHz			-122		dB
FSO/FSI=44.1kHz/48kHz			-125		dB
FSO/FSI=48kHz/88.2kHz			-122		dB
FSO/FSI=48kHz/96kHz			-133		dB
FSO/FSI=44.1kHz/96kHz			-116		dB
FSO/FSI=48kHz/192kHz			-133		dB
FSO/FSI=8kHz/48kHz			-130		dB
Voiceモード					
FSO/FSI=24kHz/32kHz			-95		dB
FSO/FSI=16kHz/24kHz			-98		dB
FSO/FSI=24kHz/44.1kHz			-78		dB
FSO/FSI=16kHz/44.1kHz			-69		dB
FSO/FSI=8kHz/32kHz			-130		dB
Dynamic Range (Input=1kHz, -60dBFS)					
Audioモード					
FSO/FSI=192kHz/48kHz			132		dB
FSO/FSI=44.1kHz/48kHz			136		dB
FSO/FSI=48kHz/88.2kHz			135		dB
FSO/FSI=48kHz/96kHz			136		dB
FSO/FSI=44.1kHz/96kHz			136		dB
FSO/FSI=48kHz/192kHz			136		dB
FSO/FSI=8kHz/48kHz			130		dB
Voiceモード					
FSO/FSI=24kHz/32kHz			132		dB
FSO/FSI=16kHz/24kHz			135		dB
FSO/FSI=24kHz/44.1kHz			132		dB
FSO/FSI=16kHz/44.1kHz			128		dB
FSO/FSI=8kHz/32kHz			130		dB
Dynamic Range (Input=1kHz, -60dBFS, A-weighted)					
FSO/FSI=44.1kHz/48kHz			137		dB
Ratio between Input and Output Sample Rate	FSO/FSI	0.167		6	-

Note:

* 11. SRC1 ~ SRC4は、192kHzで動作させる場合、同時に2個までしか動作しません。

■ SPDIF特性

(Ta= -40 ~ 85°C, VDD33= 3.13 ~ 3.47V)

Parameter	Synmol	Min.	Typ.	Max.	Unit
RX0 input voltage level (internally biased at VDD33 /2)	VIH	100		VDD33	mV
	VIL	-INVREF		-100	mV
Input Hysteresis	VTY		50		mV
Input Reference Voltage	INVREF		VDD33 /2		V
Input resistance	Zin		10		kΩ
Input Sampling Frequency	fs	8		96	kHz

■ デジタルマイクインタフェース

(AVDD=3.0~3.6V, TVDD=1.7~3.6V, VDD12=1.14~1.3V, AVSS=DVSS=0V, Ta= -40°C ~ 85°C;
CL=100pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
DMDAT1,DMDAT2					
シリアルデータ入力 ラッチセットアップ時間	tDMDS	50			ns
シリアルデータ入力 ラッチホールド時間	tDMDH	0			ns
DMCLK1,DMCLK2					
クロック周波数 (* 12)	fDMCK	0.5	64fs	6.2	MHz
デューティ比	dDMCK	40	50	60	%

Note:

* 12. クロック周波数は、SDDMIC1[2:0]bits/ SDDMIC2[2:0]bits/で選択されたサンプリングレート(fs)で決まります。

■ 消費電流

(Ta= 25°C; AVDD=3.0~3.47V(Typ.=3.3V, Max.=3.47V); VDD33=3.0 ~ 3.47V(Typ.=3.3V, Max.=3.47V);
VDD12=1.14 ~ 1.3V(Typ.=1.2V, Max.=1.3V); TVDD1=1.7 ~ 3.47V(Typ.=3.3V, Max.=3.47V);
TVDD2=1.7 ~ 3.47V(Typ.=3.3V, Max.=3.47V); VSS1 ~ 6= 0V)

Parameter	Symbol	Min.	Typ.	Max.	Unit
動作時消費電流 (* 13) (PDN pin= "H")	AVDD		8	15	mA
	VDD33		6	12	mA
	VDD12		220	650	mA
	TVDD1		17	24	mA
	TVDD2		12	18	mA
パワーダウン時消費電流 (PDN pin= "L")	AVDD		100		uA
	VDD33		10		uA
	VDD12		3		mA
	TVDD1		10		uA
	TVDD2		10		uA

Note:

* 13. 消費電流値は使用周波数およびDSPプログラム内容によって変化します。

9. デジタルフィルタ特性

■ SRC 部

Audioモード

(Ta= -40 ~ 85°C; VDD12=1.14 ~ 1.3V; AVDD=3.13 ~ 3.47V; VDD33=3.13 ~ 3.47V; TVDD1=1.7 ~ 3.47V; TVDD2=1.7 ~ 3.47V; VSS1 ~ 6= 0V)

Parameter		Symbol	Min.	Typ.	Max.	Unit	
通過域	-0.01dB	$0.980 \leq \text{FSO/FSI} \leq 6.000$	PB	0		0.4583FSI	kHz
	-0.01dB	$0.900 \leq \text{FSO/FSI} < 0.990$	PB	0		0.4167FSI	kHz
	-0.01dB	$0.533 \leq \text{FSO/FSI} < 0.909$	PB	0		0.2182FSI	kHz
	-0.01dB	$0.490 \leq \text{FSO/FSI} < 0.539$	PB	0		0.2177FSI	kHz
	-0.01dB	$0.450 \leq \text{FSO/FSI} < 0.495$	PB	0		0.1948FSI	kHz
	-0.01dB	$0.225 \leq \text{FSO/FSI} < 0.455$	PB	0		0.1312FSI	kHz
	-0.50dB	$0.167 \leq \text{FSO/FSI} < 0.227$	PB	0		0.0658FSI	kHz
阻止域		$0.980 \leq \text{FSO/FSI} \leq 6.000$	SB	0.5417FSI			kHz
		$0.900 \leq \text{FSO/FSI} < 0.990$	SB	0.5021FSI			kHz
		$0.533 \leq \text{FSO/FSI} < 0.909$	SB	0.2974FSI			kHz
		$0.490 \leq \text{FSO/FSI} < 0.539$	SB	0.2812FSI			kHz
		$0.450 \leq \text{FSO/FSI} < 0.495$	SB	0.2604FSI			kHz
		$0.225 \leq \text{FSO/FSI} < 0.455$	SB	0.1802FSI			kHz
		$0.167 \leq \text{FSO/FSI} < 0.227$	SB	0.0970FSI			kHz
通過域リップル		$0.225 \leq \text{FSO/FSI} \leq 6.000$	PR			±0.01	dB
		$0.167 \leq \text{FSO/FSI} < 0.227$	PR			±0.50	dB
阻止域減衰量		$0.450 \leq \text{FSO/FSI} \leq 6.000$	SA	95.2			dB
		$0.167 \leq \text{FSO/FSI} < 0.455$	SA	85.0			dB
群遅延 (Ts=1/fs) (* 14)			GD		67 (55/FSI+12/FSO)		Ts

Notes:

* 14. SRCブロック単体での値です。入力と出力の位相ずれがない時の、SRCへデータが入力された後の入力側LRCKの立ち上がりから、データを出力する前の出力側LRCK立ち上がりまでの時間です。

Voiceモード

(Ta= -40 ~ 85°C; VDD12=1.14 ~ 1.3V; AVDD=3.13 ~ 3.47V; VDD33=3.13 ~ 3.47V; TVDD1=1.7 ~ 3.47V; TVDD2=1.7 ~ 3.47V; VSS1 ~ 6= 0V)

Parameter			Symbol	Min.	Typ.	Max.	Unit
通過域	-0.01dB	$0.980 \leq \text{FSO/FSI} \leq 6.000$	PB	0		0.4583FSI	kHz
	-0.01dB	$0.900 \leq \text{FSO/FSI} < 0.990$	PB	0		0.4167FSI	kHz
	-0.50dB	$0.711 \leq \text{FSO/FSI} < 0.910$	PB	0		0.3420FSI	kHz
	-0.50dB	$0.653 \leq \text{FSO/FSI} < 0.718$	PB	0		0.3007FSI	kHz
	-0.50dB	$0.450 \leq \text{FSO/FSI} < 0.660$	PB	0		0.2230FSI	kHz
	-0.50dB	$0.327 \leq \text{FSO/FSI} < 0.455$	PB	0		0.1417FSI	kHz
	-0.50dB	$0.225 \leq \text{FSO/FSI} < 0.330$	PB	0		0.1018FSI	kHz
	-0.50dB	$0.167 \leq \text{FSO/FSI} < 0.227$	PB	0		0.0658FSI	kHz
阻止域		$0.980 \leq \text{FSO/FSI} \leq 6.000$	SB	0.5417FSI			kHz
		$0.900 \leq \text{FSO/FSI} < 0.990$	SB	0.5021FSI			kHz
		$0.711 \leq \text{FSO/FSI} < 0.910$	SB	0.3735FSI			kHz
		$0.653 \leq \text{FSO/FSI} < 0.718$	SB	0.3320FSI			kHz
		$0.450 \leq \text{FSO/FSI} < 0.660$	SB	0.2490FSI			kHz
		$0.327 \leq \text{FSO/FSI} < 0.455$	SB	0.1660FSI			kHz
		$0.225 \leq \text{FSO/FSI} < 0.330$	SB	0.1248FSI			kHz
		$0.167 \leq \text{FSO/FSI} < 0.227$	SB	0.0970FSI			kHz
通過域リップル		$0.900 \leq \text{FSO/FSI} \leq 6.000$	PR			±0.01	dB
		$0.167 \leq \text{FSO/FSI} \leq 0.539$	PR			±0.50	dB
阻止域減衰量		$0.900 \leq \text{FSO/FSI} \leq 6.000$	SA	95.2			dB
		$0.653 \leq \text{FSO/FSI} < 0.909$	SA	90.0			dB
		$0.450 \leq \text{FSO/FSI} \leq 0.660$	SA	70.0			dB
		$0.167 \leq \text{FSO/FSI} < 0.455$	SA	60.0			dB
群遅延 (Ts=1/fs)		GD		67 (55FSI+12FSO)			Ts

Echo Cancellerモード

(Ta= -40 ~ 85°C; VDD12=1.14 ~ 1.3V; AVDD=3.13 ~ 3.47V; VDD33=3.13 ~ 3.47V; TVDD1=1.7 ~ 3.47V; TVDD2=1.7 ~ 3.47V; VSS1 ~ 6= 0V)

Parameter			Symbol	Min.	Typ.	Max.	Unit
通過域	-0.01dB	$0.167 \leq \text{FSO/FSI} \leq 6.000$	PB	0		0.4583FSI	kHz
阻止域		$0.167 \leq \text{FSO/FSI} \leq 6.000$	SB	0.5417FSI			kHz
通過域リップル		$0.167 \leq \text{FSO/FSI} \leq 6.000$	PR			±0.01	dB
阻止域減衰量		$0.167 \leq \text{FSO/FSI} \leq 6.000$	SA	95.2			dB
群遅延 (Ts=1/fs)			GD		67 (55/FSI+12/FSO)		Ts

Note:

* 15. 入力と出力の位相ずれがない時の、SRCへデータが入力された後の入力側LRCKの立ち上がりから、データを出力する前の出力側LRCK立ち上がりまでの時間です。

Note:

* 16. SRCブロック単体での値です。入力と出力の位相ずれがない時の、SRCへデータが入力された後の入力側LRCKの立ち上がりから、データを出力する前の出力側LRCK立ち上がりまでの時間です。

10. DC特性

■ DC特性

(Ta= -40 ~ 85°C; VDD12=1.14 ~ 1.3V; AVDD=3.13 ~ 3.47V; VDD33=3.13 ~ 3.47V; TVDD1=1.7 ~ 3.47V; TVDD2=1.7 ~ 3.47V; VSS1 ~ 6= 0V)

Parameter	Symbol	Min.	Typ.	Max.	Unit	
ハイレベル入力電圧1 (* 17)	VIH1	80%TVDD1			V	
ローレベル入力電圧1 (* 17)	VIL1			20%TVDD1	V	
ハイレベル入力電圧2 (* 18)	VIH2	80%TVDD2			V	
ローレベル入力電圧2 (* 18)	VIL2			20%TVDD2	V	
ハイレベル入力電圧2 DMDAT1/2	VIH2DM	65%TVDD2			V	
ローレベル入力電圧2 DMDAT1/2	VIL2DM			35%TVDD2	V	
ハイレベル入力電圧3 (* 19)	VIH3	80%VDD33			V	
ローレベル入力電圧3 (* 19)	VIL3			20%VDD33	V	
ハイレベル入力電圧A (* 20)	VIHA	80%AVDD			V	
ローレベル入力電圧A (* 20)	VILA			20%AVDD	V	
SCL, SDAハイレベル入力電圧	VIH4	70%TVDD1			V	
SCL, SDAローレベル入力電圧	VIL4			30%TVDD1	V	
ハイレベル出力電圧Iout= -100μA (* 17)	VOH1	TVDD1-0.3			V	
ローレベル出力電圧Iout= 100μA (* 17)	VOL1			0.3	V	
ハイレベル出力電圧Iout= -100μA (* 18)	VOH2	TVDD2-0.3			V	
ローレベル出力電圧Iout= 100μA (* 18)	VOL2			0.3	V	
ハイレベル出力電圧Iout= -100μA (* 19)	VOH3	VDD33-0.3			V	
ローレベル出力電圧Iout= 100μA (* 19)	VOL3			0.3	V	
SCL, SDA ローレベル 出力電圧	Fast Mode					
	TVDD2 ≥ 2.0V (Iout= 3mA)	VOL4			0.4	V
	TVDD2 < 2.0V (Iout= 3mA)	VOL4			20%TVDD1	V
	Fast Mode Plus					
出力電圧	TVDD2 ≥ 2.0V (Iout= 10mA) (* 21)	VOL4			0.4	V
	TVDD2 < 2.0V (Iout= 3mA)	VOL4			20%TVDD1	V
入力リーク電流 (* 22)	Iin			±10	μA	
入力リーク電流 プルダウン抵抗付きピン (* 23)	Iid		80		μA	
			43		kΩ	
入力リーク電流 XTI pin	Iix			±10	μA	

Notes:

- * 17. SDIN1, SDIN2, SDOUT1, SDOUT2, LRCKA, BICKA, LRCKB, BICKB CLKO, PDN, SCLK, SO, CSN, SI/I2CFIL, STO/RDY, SELE pinに対応します。SCL, SDA pinは除きます。
- * 18. SDIN3, SDIN4/DMDAT1, SDIN5/DMDAT2, LRCKD/DMCLK1, BICKD/DMCLK2, SDOUT3/GPO2, SDOUT4, SDIN5, LRCKC, BICKC, LRCKD, GPIO0/SDIN7, GPIO01/SDOUT7, GPIO02/SDIN8, GPIO03/SDOUT8, ESDO/GPIO04, ESCLK/GPIO05, ESDI/GPIO06, ECSO/GPIO07 pinに対応します。
- * 19. TDO / GPO1, TDI/JX3, TMS/JX2, TCK/JX1, TRST/JX0, SDIN6/RX1, RX0, SDOUT5/GPO3, DIRINT/GPO0, SDOUT6/DIT, LRCCKE, BICKE, TESTI1, TESTI2 pinに対応します。
- * 20. 外部入力時のXTI pinに対応します。
- * 21. 347Ω以上の抵抗でプルアップしてTVDD2に接続してください。
- * 22. プルダウン抵抗付きピン, XTI pinを除きます。
- * 23. プルダウン抵抗付きピン (Typ. 43 kΩ @3.3V))はTESTI1, BICKE, LRCCKE, BICKD/DMCLK2, LRCKD/DMCLK1, LRCKC, BICKC, GPIO00/SDIN7, GPIO01/SDOUT7, GPIO02/SDIN8, GPIO03/SDOUT8, ESDO/GPIO04, ESCLK/GPIO05, ESDI/GPIO06, ECSO/GPIO07, BICKB, LRCKB, LRCKA, BICKA, TESTI2, TRST/JX0, TCK/JX1, TMS/JX2, TDI, JX3 pinです。

11. スイッチング特性

■ システムクロック

($T_a = -40 \sim 85^\circ\text{C}$; $V_{DD12} = 1.14 \sim 1.3\text{V}$; $AV_{DD} = 3.13 \sim 3.47\text{V}$; $V_{DD33} = 3.13 \sim 3.47\text{V}$; $TV_{DD1} = 1.7 \sim 3.47\text{V}$; $TV_{DD2} = 1.7 \sim 3.47\text{V}$; $V_{SS1} \sim 6 = 0\text{V}$; $C_L = 20\text{pF}$)

Parameter	Symbol	Min.	Typ.	Max.	Unit
XTI Input Timing					
a) X'tal Oscillator					
Input Frequency	fXTI	11.2896		24.576	MHz
b) XTI Clock Input					
Duty Cycle		40	50	60	%
Input Frequency	fXTI	0.256		24.576	MHz
CLKO Output Timing					
Output Frequency	fCLKO	2.048		24.576	MHz
Duty Cycle	dCLKO		50		%
LRCK/BICK Input Timing (Slave Mode)					
LRCK Input Timing					
Frequency	fs	8		192	kHz
BICK Input Timing					
Frequency (* 24)	fBCLK	0.256		24.576	MHz
Duty Cycle	dBCLK	40	50	60	%
LRCK/BICK Output Timing (PLL Master Mode)					
LRCK Output Timing					
Frequency	fs	8		192	kHz
Pulse Width High PCM Mode Except PCM Mode	tLRCKH tLRCKH		1/fBCLK 50		s %
BICK Output Timing					
Frequency (* 24)	fBCLK	0.256		24.576	MHz
Duty	dBCLK		50		%

Note:

* 24. $f_{BCLK} \geq 2 \times f_s \times$ (入出力データのデータ長)の周波数を満たす必要があります。

■ パワーダウン

($T_a = -40 \sim 85^\circ\text{C}$; $V_{DD12} = 1.14 \sim 1.3\text{V}$; $AV_{DD} = 3.13 \sim 3.47\text{V}$; $V_{DD33} = 3.13 \sim 3.47\text{V}$; $TV_{DD1} = 1.7 \sim 3.47\text{V}$; $TV_{DD2} = 1.7 \sim 3.47\text{V}$; $V_{SS1} \sim 6 = 0\text{V}$)

Parameter	Symbol	Min.	Typ.	Max.	Unit
PDNパルス幅 (* 25)	tRST	600			ns

Note:

* 25. 電源投入時はPDN pin = "L"にしてください。

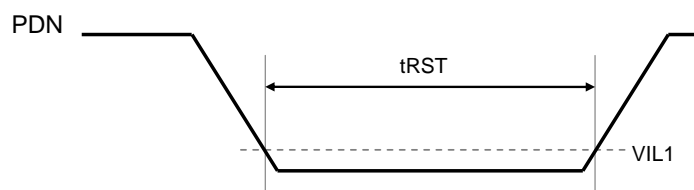


Figure 5. リセットタイミング波形

■ シリアルデータインタフェース(SDIN1 ~ SDIN8, SDOUT1 ~ SDOUT8)

(Ta= -40 ~ 85°C; VDD12=1.14 ~ 1.3V; AVDD=3.13 ~ 3.47V; VDD33=3.13 ~ 3.47V; TVDD1=1.7 ~ 3.47V; TVDD2=1.7 ~ 3.47V; VSS1 ~ 6= 0V; CL=20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
スレーブモード					
BICK“↑”からLRCKへの遅延時間 (* 26)	tBLRD	10			ns
LRCKからBICK“↑”への遅延時間 (* 26)	tLRBD	10			ns
シリアルデータ入力 ラッチセットアップ時間	tBSIDS	10			ns
シリアルデータ入力 ラッチホールド時間	tBSIDH	5			ns
BICK“↓”からシリアルデータ出力遅延時間 (* 27)	tBSOD1			22	ns
BICK“↑”からシリアルデータ出力遅延時間 (* 26, * 28)	tBSOD2	5		30	ns
マスタモード					
BICK周波数	fBCLK		32, 48, 64, 128, 256, 512		fs
BICKデューティ比			50		%
BICK“↓”からLRCKへの遅延時間 (* 27)	tMBL	-10		10	ns
シリアルデータ入力 ラッチセットアップ時間	tBSIDS	20			ns
シリアルデータ入力 ラッチホールド時間	tBSIDH	10			ns
BICK“↓”からシリアルデータ出力遅延時間 (* 27, * 28)	tBSOD			10	ns

Notes:

- * 26. レジスタBCKPx bit = “1”でBICKの極性を反転させた場合は、BICKの“↓”からになります。
- * 27. レジスタBCKPx bit = “1”でBICKの極性を反転させた場合は、BICKの “↑”からになります。
- * 28. スレーブモード動作時、サンプリング周波数96kHz且つTDM256モードで出力する場合のようにBICKが12.288MHzよりも高速動作する場合は、SDOPHx bit = “1”に設定して、BICK “↑”基準でデータを出力してください。マスタモード動作時は、SDOPHx bit = “0”で使用して下さい。

1. スレーブモード

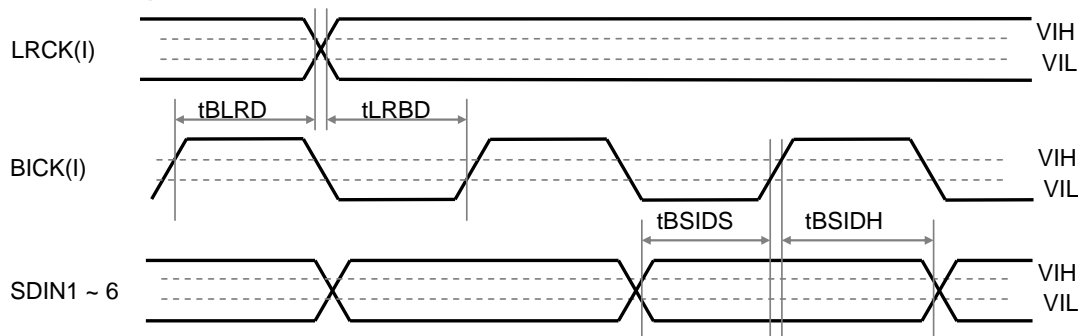


Figure 6. スレーブモード時 シリアルインタフェース入力タイミング波形

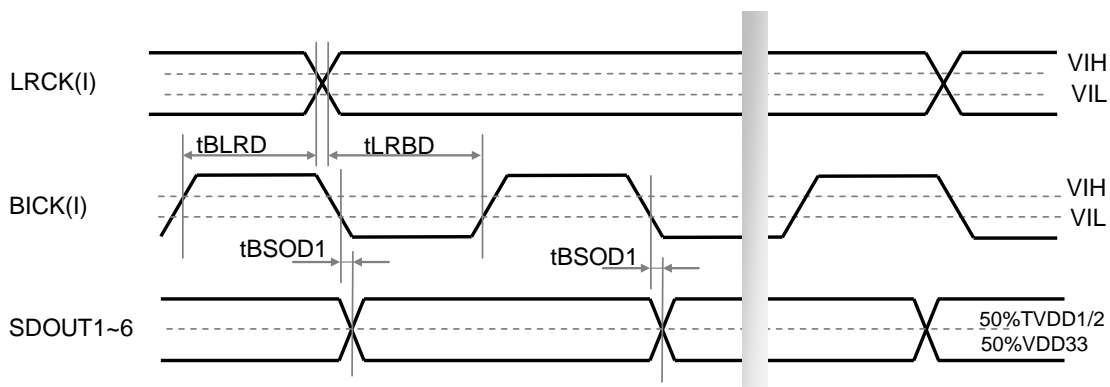


Figure 7. スレーブモード時 シリアルインタフェース出力タイミング波形 (SDOPHx bit = "0")

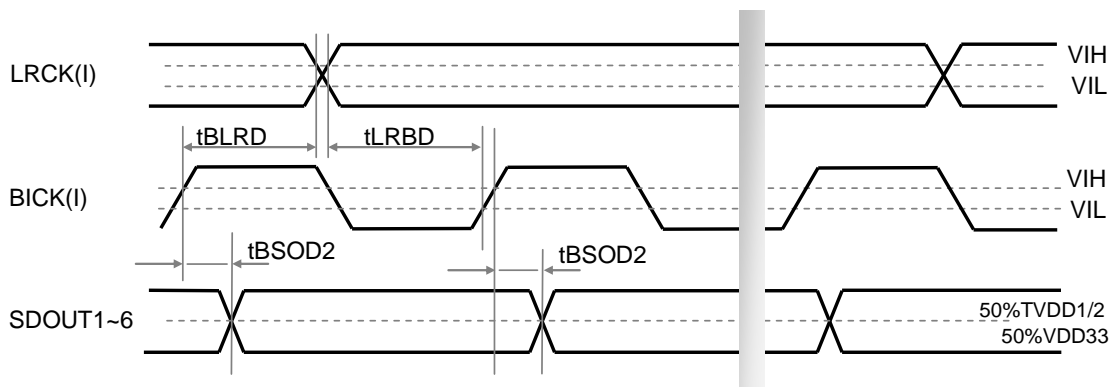


Figure 8. スレーブモード時 シリアルインタフェース出力タイミング波形 (SDOPHx bit = "1")

2. マスタモード

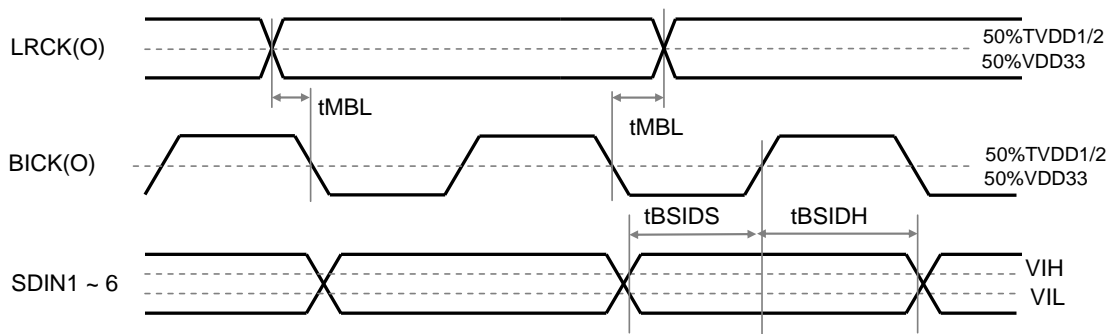


Figure 9. マスタモード時 シリアルインタフェース入力タイミング波形

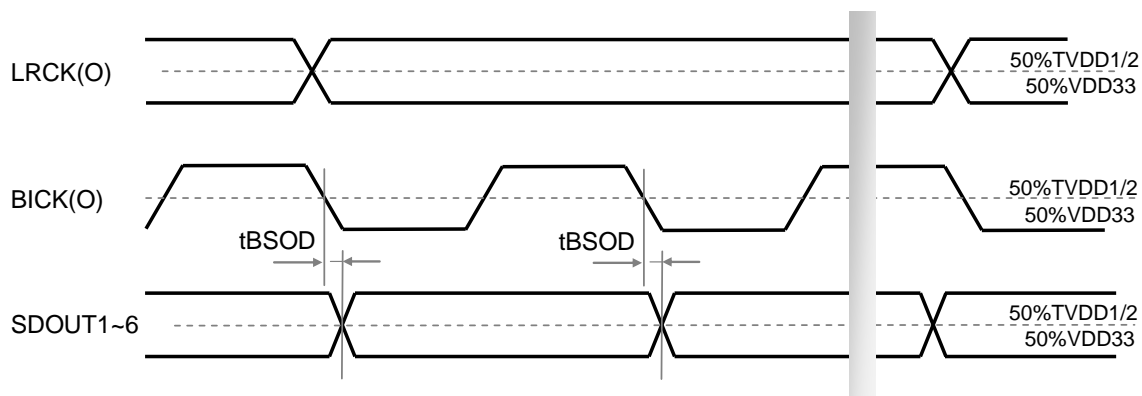


Figure 10. マスタモード時 シリアルインタフェース出力タイミング波形

■ SPIインタフェース

1. クロックリセット時 (CKRESETN bit = “0”)

(Ta= -40 ~ 85°C; VDD12=1.14 ~ 1.3V; AVDD=3.13 ~ 3.47V; VDD33=3.13 ~ 3.47V; TVDD1=1.7 ~ 3.47V; TVDD2=1.7 ~ 3.47V; VSS1 ~ 6= 0V; CL= 20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
マイコンインタフェース用信号					
SCLK 周波数	fSCLK			3.5	MHz
SCLK ローレベル幅	tSCLKL	135			ns
SCLK ハイレベル幅	tSCLKH	135			ns
マイコン→AK7707					
CSNハイレベル幅	tWRQH	300			ns
CSN “↑” からPDN “↑”	tRST	360			ns
PDN “↑”からCSN “↓”	tIRRQ	1			ms
CSN “↓”からSCLK “↓”	tWSC	300			ns
SCLK “↑”からCSN “↑”	tSCW	480			ns
SI ラッチセットアップ時間	tSIS	120			ns
SI ラッチホールド時間	tSIH	120			ns
AK7707→マイコン					
SCLKの“↓”からSO出力遅延時間	tSOS			120	ns
SCLKの“↑”からSO出力ホールド時間 (* 29)	tSOH	120			ns

Note:

* 29. コマンドコードの8-bit目入力時は除きます。

2. PLLロック時(CKRESETN bit = “1”かつPLLがロック)

(Ta= -40 ~ 85°C; VDD12=1.14 ~ 1.3V; AVDD=3.13 ~ 3.47V; VDD33=3.13 ~ 3.47V; TVDD1=1.7 ~ 3.47V; TVDD2=1.7 ~ 3.47V; VSS1 ~ 6=0V; CL= 20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
マイコンインタフェース用信号					
SCLK 周波数 (* 30)	fSCLK			7	MHz
SCLK ローレベル幅	tSCLKL	60			ns
SCLK ハイレベル幅	tSCLKH	60			ns
マイコン→AK7707					
CSNハイレベル幅	tWRQH	150			ns
CSN “↑” からPDN “↑”	tRST	180			ns
PDN “↑”からCSN “↓”	tIRRQ	1			ms
CSN “↓”からSCLK “↓”	tWSC	150			ns
SCLK “↑”からCSN “↑”	tSCW	240			ns
SI ラッチセットアップ時間	tSIS	60			ns
SI ラッチホールド時間	tSIH	60			ns
AK7707→マイコン					
SCLKの“↓”からSO出力遅延時間	tSOS			60	ns
SCLKの“↑”からSO出力ホールド時間 (* 29)	tSOH	60			ns

Note:

* 30. CKRESETN bit = “0”→ “1”設定後、PLLがロックするまでには最大10msかかります。
コントロールレジスタは常に7MHzでアクセス可能です。

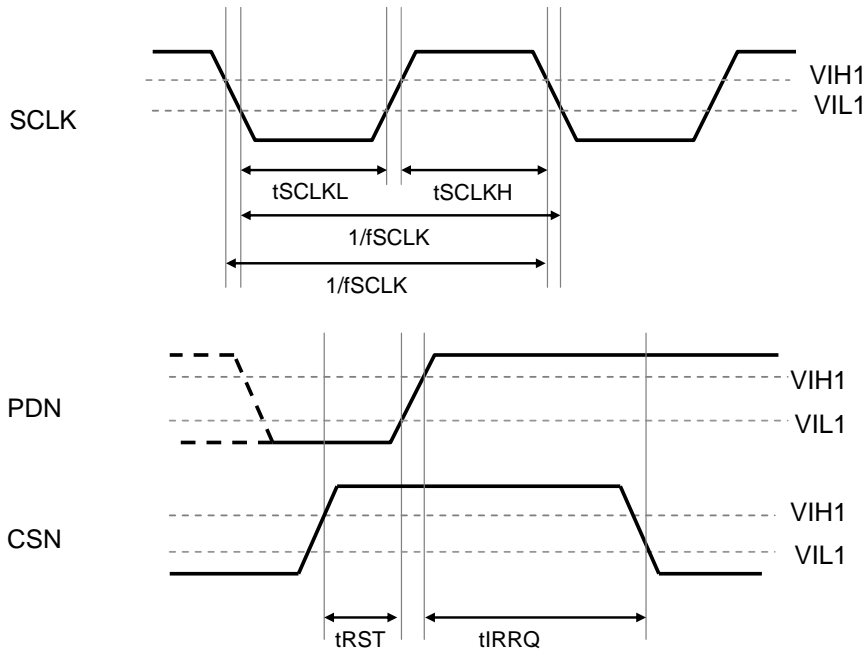


Figure 11. SPIインタフェースタイミング波形1

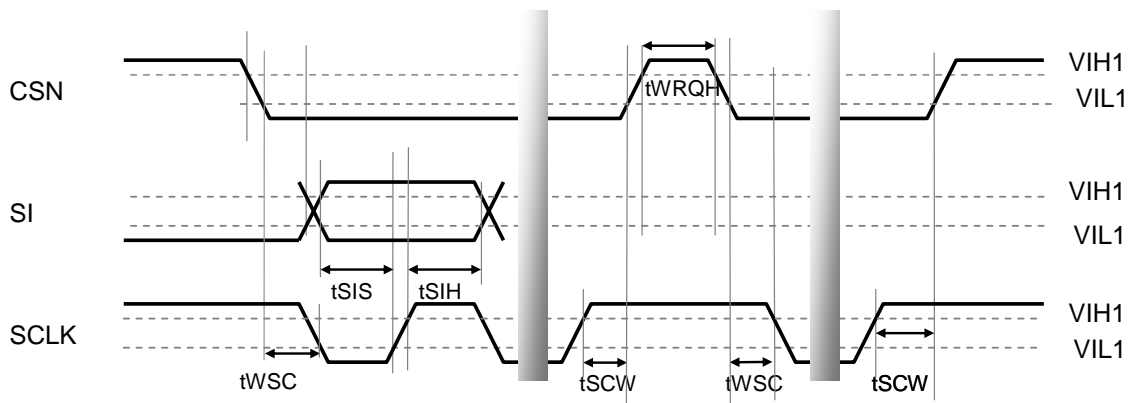


Figure 12. SPIインタフェースタイミング波形2 (マイコン→AK7707)

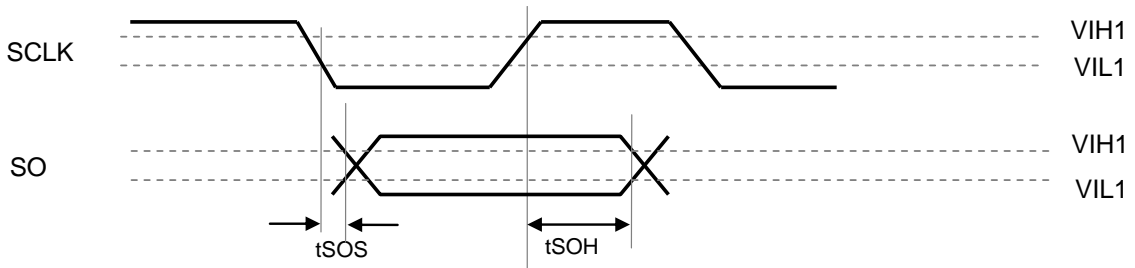


Figure 13. SPIインタフェースタイミング波形3 (AK7707→マイコン)

■ I²C インタフェース

(Ta = -40 ~ 85°C; VDD12 = 1.14 ~ 1.3V; AVDD = 3.13 ~ 3.47V; VDD33 = 3.13 ~ 3.47V; TVDD1 = 1.7 ~ 3.47V; TVDD2 = 1.7 ~ 3.47V; VSS1 ~ 6 = 0V; C_L = 20pF)

<I²C: Fast Mode>

Parameter	Symbol	Min.	Typ.	Max.	Unit
I ² C Timing					
SCL clock frequency	fSCL	-	-	400	kHz
Bus Free Time Between Transmissions	tBUF	1.3	-	-	μs
Start Condition Hold Time (prior to first Clock pulse)	tHD:STA	0.6	-	-	μs
Clock Low Time	tLOW	1.3	-	-	μs
Clock High Time	tHIGH	0.6	-	-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.6	-	-	μs
SDA Hold Time from SCL Falling	tHD:DAT	0	-	-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1	-	-	μs
Rise Time of Both SDA and SCL Lines	tR	-	-	0.3	μs
Fall Time of Both SDA and SCL Lines	tF	-	-	0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6	-	-	μs
Pulse Width of Spike Noise Suppressed By Input Filter	tSP	0	-	50	ns
Capacitive load on bus	Cb	-	-	400	pF

<I²C: Fast Mode Plus>

Parameter	Symbol	Min.	Typ.	Max.	Unit
I ² C Timing					
SCL clock frequency	fSCL	-	-	1	MHz
Bus Free Time Between Transmissions	tBUF	0.5	-	-	μs
Start Condition Hold Time (prior to first Clock pulse)	tHD:STA	0.26	-	-	μs
Clock Low Time	tLOW	0.5	-	-	μs
Clock High Time	tHIGH	0.26	-	-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.26	-	-	μs
SDA Hold Time from SCL Falling	tHD:DAT	0	-	-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.05	-	-	μs
Rise Time of Both SDA and SCL Lines	tR	-	-	0.12	μs
Fall Time of Both SDA and SCL Lines	tF	-	-	0.12	μs
Setup Time for Stop Condition	tSU:STO	0.26	-	-	μs
Pulse Width of Spike Noise Suppressed By Input Filter	tSP	0	-	50	ns
Capacitive load on bus	Cb	-	-	550	pF

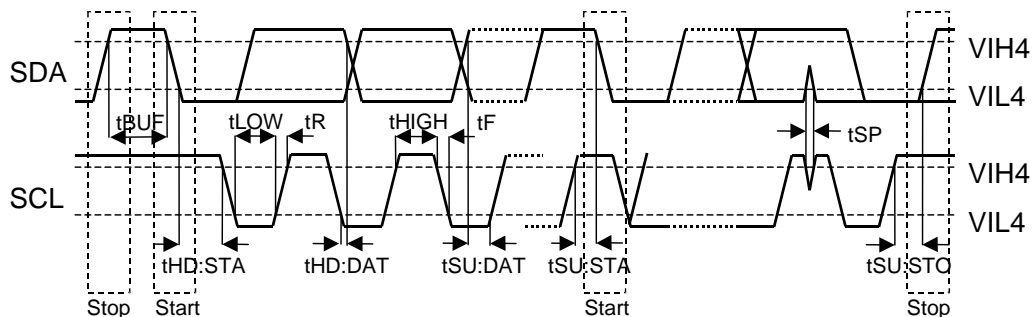


Figure 14. I²C BUS インタフェース タイミング 波形

■ Master SPIインタフェース

(Ta= -40 ~ 85°C; VDD12=1.14 ~ 1.3V; AVDD=3.13 ~ 3.47V; VDD33=3.13 ~ 3.47V; TVDD1=1.7 ~ 3.47V; TVDD2=1.7 ~ 3.47V; VSS1 ~ 6= 0V; CL= 20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Master Mode					
SCLK周波数 (* 31)	-			6.144	MHz
SCLK Duty比 (* 32)	-		50		%
ECISO ↓からESCLK ↑	-	80			ns
Delay Time from ESCLK ↓ to ESDO	-	-40		40	ns
ESDI Hold Time from ESCLK Rising	-	40			ns
ESDI Setup Time from ESCLK Rising	-	40			ns
Through Mode					
Slave Port → Master Port					
CSN入力からECISO 出力遅延時間	-	0		40	ns
SCLK入力からESCLK出力遅延時間	-	0		40	ns
SI入力からESDO 出力遅延時間	-	0		40	ns
Master Port → Slave Port					
ESDI入力からSO 出力遅延時間	-	0		40	ns

* 31. セルフブート利用時は12.288MHz以下の水晶発振器に対応しています。

* 32. 分周数偶数時

■ JTAGインタフェース

(Ta= -40 ~ 85°C; VDD12=1.14 ~ 1.3V; AVDD=3.13 ~ 3.47V; VDD33=3.13 ~ 3.47V; TVDD1=1.7 ~ 3.47V; TVDD2=1.7 ~ 3.47V; VSS1 ~ 6= 0V; CL= 20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
TCK 周波数				7	MHz
TCK Pulse width Low		60			ns
TCK Pulse width High		60			ns
TMS Setup Time from TCK rising		60			ns
TMS Hold Time from TCK rising		60			ns
TDI Setup Time from TCK rising		60			ns
TDI Hold Time from TCK rising		60			ns
TRST Setup Time from TCK rising		60			ns
From TRST “↑” to TCK “↑”		120			ns
Delay Time from TCK falling to TDO				60	ns

12. 外部接続回路例

■ 接続図

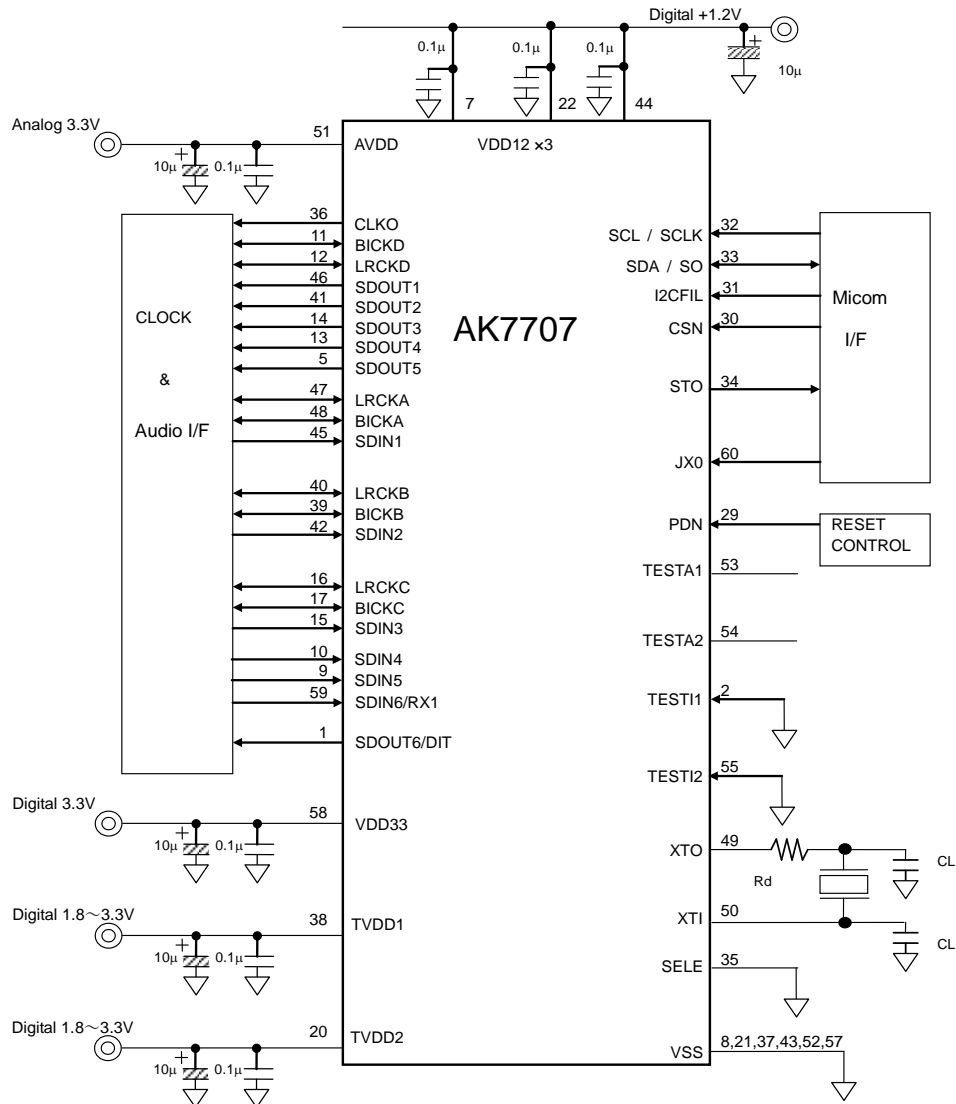


Figure 15. 接続例

■ 周辺回路

1. グラウンド

各VSSは、同電位になるように接続してください。カップリングコンデンサ、特に小容量のセラミックコンデンサは本製品の近くで接続して下さい。

2. デジタル回路との接続

デジタル回路によるノイズを最小限に抑えるために、デジタル出力にはCMOSロジック、または低電圧ロジックを接続します。

適合するロジックファミリィは、CMOSならば74HC、74ACシリーズ等、低電圧ロジックならば、74LV、74LV-A、74ALVC、74AVCシリーズ等です。

3. 水晶振動子

本製品のXTI pin及びXTO pinに接続する水晶振動子は、発振余裕度の観点から、以下の等価回路パラメータを満たすもの、XTI、XTO各 pinに接続する容量は以下の値でを使用することを推奨します。

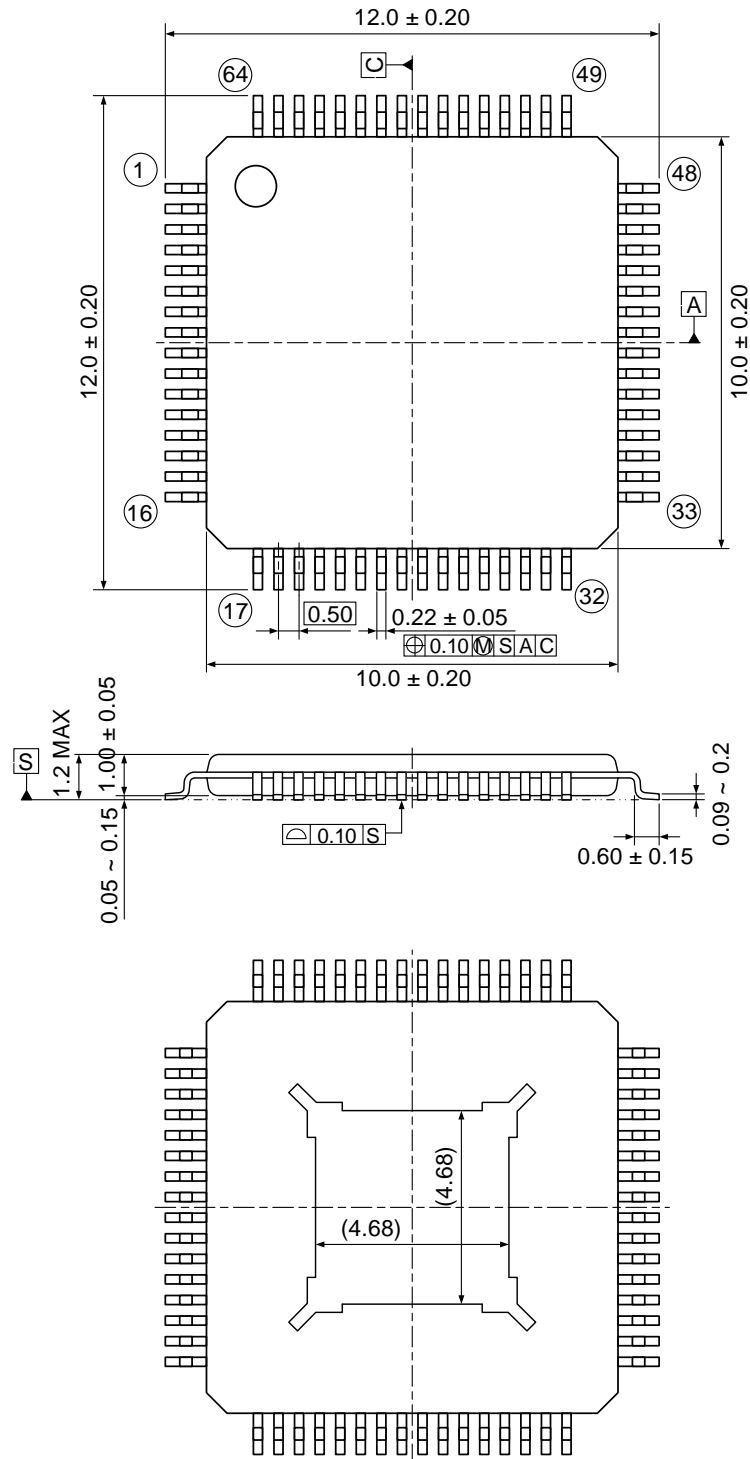
XTAL 発振周波数	R1 (Max.)	C0 (Max.)	XTI, XTO pin 接続容量(CL)
12.288MHz	80Ω	2.5pF	22pF
18.432MHz	80Ω	2.5pF	22pF
24.576MHz	40Ω	2.5pF	15pF

Table 4. 水晶振動子接続時の推奨抵抗と容量

13. パッケージ

■ 外形寸法図

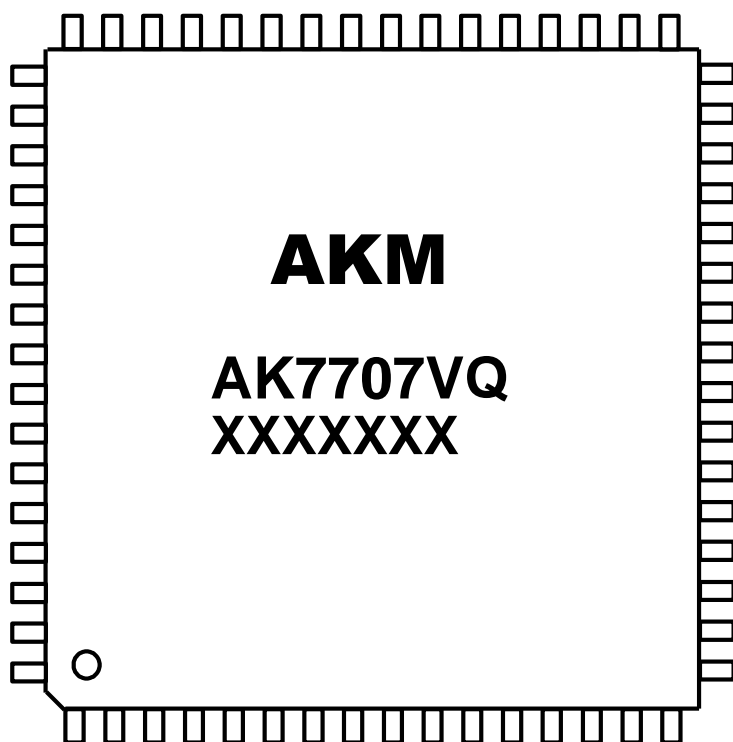
64-pin HTQFP (Unit: mm)



■ 材質・メッキ仕様

パッケージ材質： エポキシ系樹脂
 リードフレーム材質： 銅
 端子処理： 半田(無鉛)メッキ

■ マーキング



- 1) pin #1 indication
- 2) Date Code: XXXXXXXX(7 digits)
- 3) Marking Code: AK7707VQ
- 4) Asahi Kasei Logo

14. オーダリングガイド

■ オーダリングガイド

AK7707VQ
AKD7707

-40 ~ +85°C
AK7707評価ボード

64-pin HTQFP (0.5mm pitch)

重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替および外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。

旭化成エレクトロニクス製品のご検討ありがとうございます。

より詳しい資料を用意しておりますので、お手数ですが弊社営業担当、あるいは弊社特約店営業担当までお申し付けください。