



# AK7719B

## Low Power DSP for Voice and Audio Processing

### 1. 概要

AK7719Bは、5つのシリアルデータI/Fをもつデジタルシグナルプロセッサ(DSP)です。内蔵SRC、セレクタは、システムの様々な接続性を拡張します。DSPのマスタクロックを生成するクロックジェネレータを搭載し、DSPは1875 steps/fs (48kHzサンプリング時)の並列演算能力を持っています。RAMベースDSPのため、ハンズフリーやアコースティックエフェクトなどのユーザーの要望に合わせて様々な組み合わせのプログラミングが可能です。AK7719Bは低消費電力動作なので携帯機器のアプリケーションに最適です。小型の30pin CSPパッケージに実装され基板スペースを削減します。

### 2. 特長

#### □ DSP

- 内蔵メモリによる順応性のあるプログラミングが可能
- ハードウェアアクセラレータ
- データ幅: 24bit (Data RAM 24bit浮動小数点对応)
- 乗算器 20 x 20 → 40bit (double precision available)
- 除算器 20 / 20 → 20bit
- ALU: 44bit 算術演算 (with overflow margin 4bit)  
24bit 浮動小数点算術・論理演算
- プログラムRAM: 4096w x 36bit
- 係数RAM: 2048w x 20bit
- データRAM: 2048w x 24bit (24bit floating point)
- オフセットレジスタ: 32w x 15bit
- 遅延用RAM: 16384w x 24bit (24bit floating point)
- 5625 steps at fs 16kHz, 1875 steps at fs 48kHz
- 内部クロック生成器

#### □ オーディオインタフェースフォーマット

- 前詰, PCM, I<sup>2</sup>S,
- 16/24bit linear
- サンプリング周波数 8 kHz~48 kHz
- アップ、ダウンサンプルレートコンバータ Port#1 (8 kHz↔16 kHz)

#### □ Asynchronous Sample rate converters

#### □ μP I/F: I<sup>2</sup>C-Compatible, SPI

#### □ 動作、スリープ、パワーダウンモード

#### □ 電源電圧

- VDD (DSP Core): 1.2V ±0.1V
- TVDD (PCM I/F): 1.6V ~3.6V

#### □ 動作温度範囲: -40°C~ 85°C

#### □ パッケージ: 30-Pin WL-CSP (2.94mm x 3.14mm, 0.5mm pitch)

#### □ 消費電力: 9.2mA(11mW) typ. (Narrowband Handset mode operation)

<b>3. 目 次</b>
---------------

1. 概 要 .....	1
2. 特 長 .....	1
3. 目 次 .....	2
4. ブロック図 .....	3
■ デバイスブロック図 .....	3
■ DSPブロック図 .....	4
5. ピン配置と機能説明 .....	5
■ オーダリングガイド .....	5
■ ピン配置図 .....	5
■ ピン機能説明 .....	6
■ 使用しないピンの処理について .....	7
■ パワーダウン時のピン状態 .....	7
6. 絶対最大定格 .....	8
7. 推奨動作条件 .....	8
8. SRC 特性 .....	9
9. DC 特性 .....	9
10. 消費電流 .....	10
11. SRC フィルタ特性 .....	11
12. スイッチング特性 .....	12
■ システムクロック .....	12
■ リセットおよびパワーダウン .....	12
■ シリアルデータインタフェース .....	12
■ タイミング波形 .....	13
■ $\mu$ P インタフェース(SPI mode) .....	15
■ I <sup>2</sup> CBUSインタフェース .....	17
13. パッケージ .....	18
■ 材料・メッキ仕様 .....	18
14. マーキング .....	19
15. 改訂履歴 .....	19
重要な注意事項 .....	20

**4. ブロック図**

■ デバイスブロック図

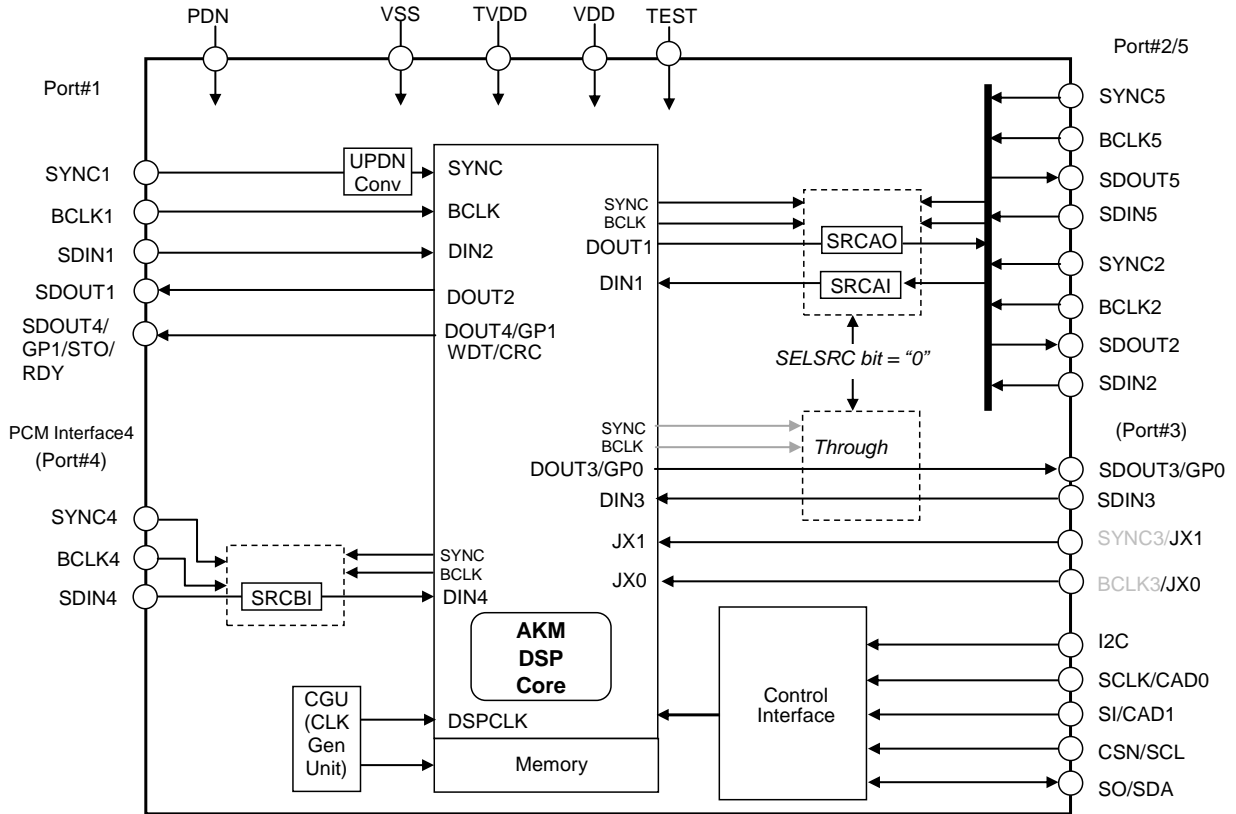


Figure 1. Block Diagram (SELSRC bit = "0")

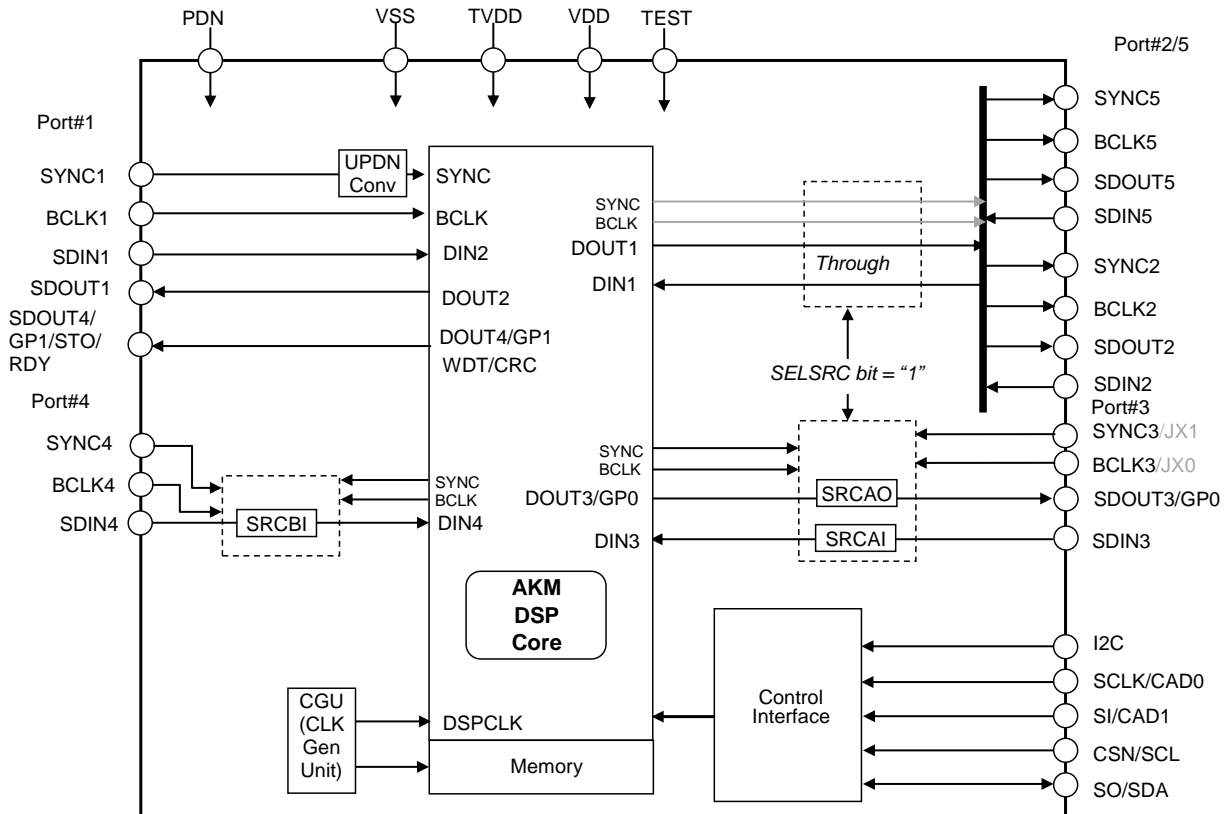
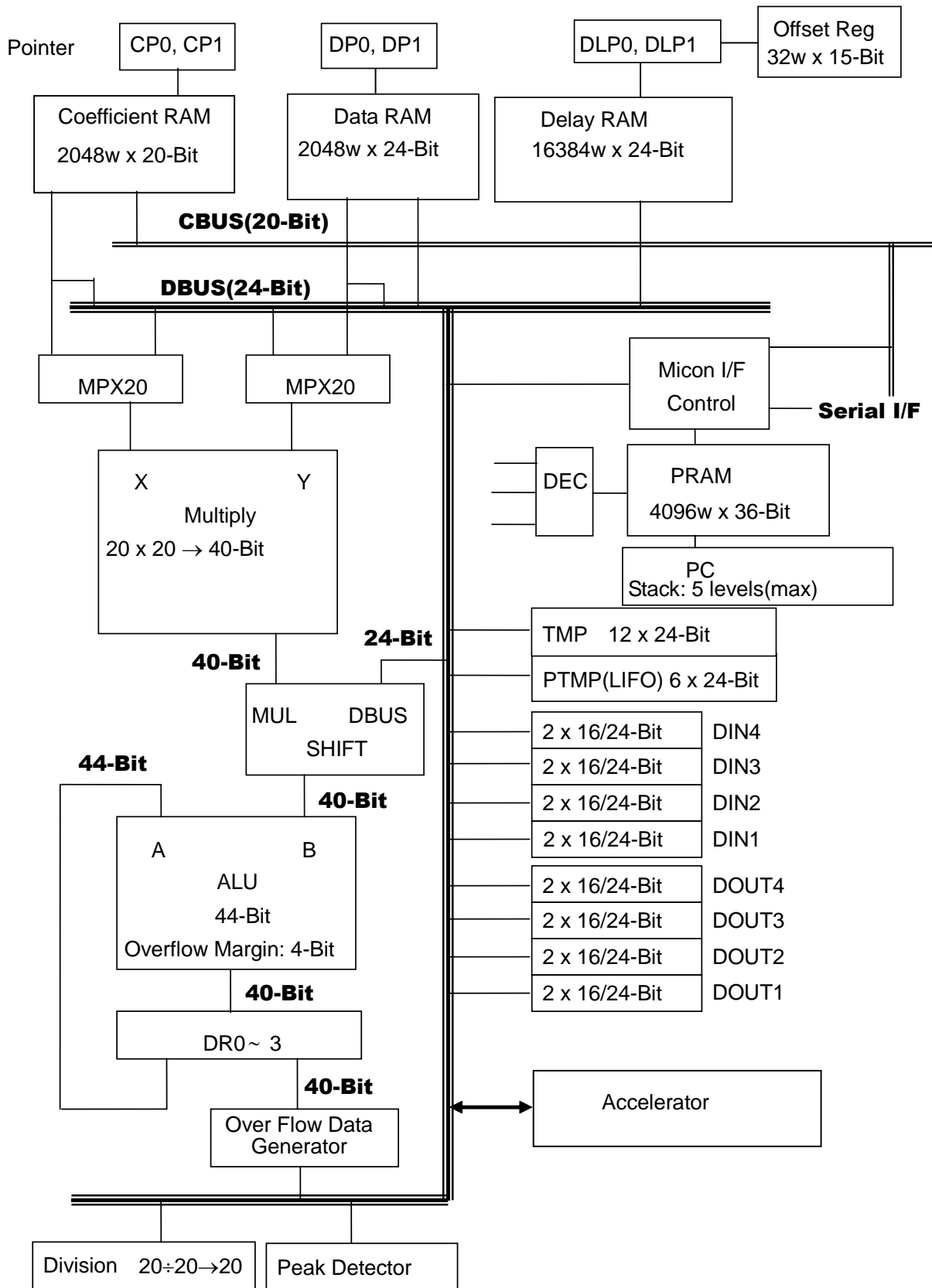


Figure 2. Block Diagram (SELSRC bit = "1")

■ DSPブロック図



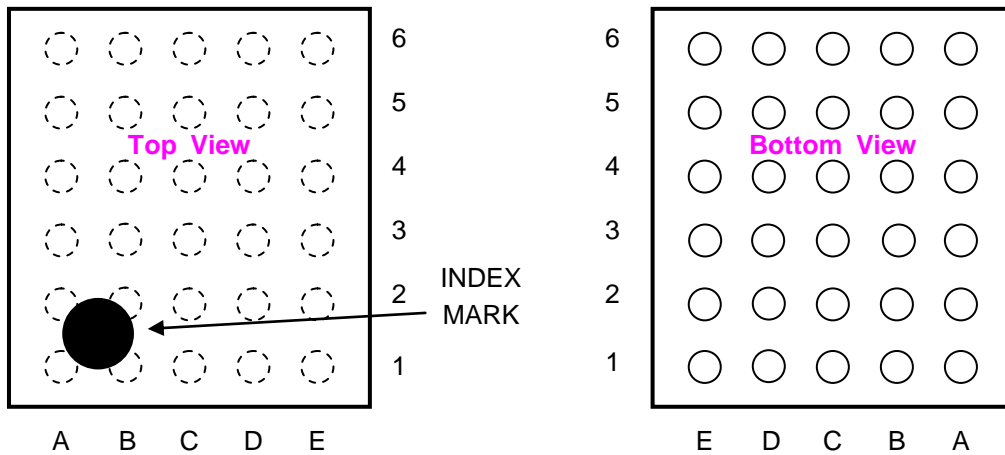
**5. ピン配置と機能説明**

■ オーダリングガイド

AK7719BECB  
AKD7719B

-40 ~ +85°C 30-pin CSP (0.5mm pitch) Black type  
Evaluation board for AK7719B

■ ピン配置図



6	PDN	SDIN1	SDOUT1	BCLK1	SYNC1
5	VDD	BCLK3/ JX0	SDIN3	SDOUT3/ GP0	SYNC2
4	VSS	SYNC3/ JX1	TEST	SDOUT5	BCLK2
3	TVDD	I2C	SDIN4	SDOUT 4 /GP1/STO/ RDY	SDIN2
2	SI/CAD1	SCLK/ CAD0	CSN/ SCL	SO/SDA	SDOUT2
1	BCLK4	SYNC4	SDIN5	BCLK5	SYNC5
	A	B	C	D	E

( TOP図 )

## ■ ピン機能説明

No.	Pin Name	I/O	Function
A5	VDD	-	Core Power Supply Pin 1.2V
A3	TVDD	-	I/O power Supply Pin 1.6~3.6V
A4	VSS	-	Ground Pin 0V
A6	PDN	I	Power-Down Mode Pin “H”: Power-up, “L”: Power-down, reset the control register. The AK7719B must be reset once upon power-up.
E6	SYNC1	I	Frame Sync 1 pin
D6	BCLK1	I	Serial Data Clock 1 Pin AK7719B goes into standby state when BCLK1 is not present.
B6	SDIN1	I	Serial Data Input 1 Pin
C6	SDOUT1	O	Serial Data Output 1 Pin
D3	SDOUT4	O	Serial Data Output 4 Pin (SELDO4[1:0] bits = “00”)
	GP1		DSP Programmable output 1 Pin (SELDO4[1:0] bits = “01”)
	STO		Status Output Pin (Active High) (SELDO4[1:0] bits = “10”)
	RDY		Data Write Ready output pin for control I/F (SELDO4[1:0] bits = “11”)
E5	SYNC2	I	Frame Sync 2 Pin (Internal Pull-down pin) (PT25N bit = “0”)
		O	Frame Sync 2 Pin (PT25N bit = “1”)
E4	BCLK2	I	Serial Data Clock 2 Pin (Internal Pull-down pin) (PT25N bit = “0”)
		O	Serial Data Clock 2 Pin (PT25N bit = “1”)
E3	SDIN2	I	Serial Data Input 2 Pin
E2	SDOUT2	O	Serial Data Output 2 Pin (“L” output at PORTSEL25 bit= “1”)
B4	SYNC3	I	Frame Sync 3 pin (SELSRC bit = “1”)
	JX1		Conditional Jump 1 Pin (SELSRC bit = “0”)
B5	BCLK3	I	Serial Data Clock 3 Pin (SELSRC bit = “1”)
	JX0		Conditional Jump 0 Pin (SELSRC bit = “0”)
C5	SDIN3	I	Serial Data Input 3 Pin
D5	SDOUT3	O	Serial Data Output 3 Pin (SELDO3 bit = “0”)
	GP0		DSP Programmable output 0 Pin (SELDO3 bit = “1”)
B1	SYNC4	I	Frame Sync 4 Pin
A1	BCLK4	I	Serial Data Clock 4 Pin
C3	SDIN4	I	Serial Data Input 4 Pin
E1	SYNC5	I	Frame Sync 5 Pin (Internal Pull-down pin) (PT25N bit = “0”)
		O	Frame Sync 5 Pin (PT25N bit = “1”)
D1	BCLK5	I	Serial Data Clock 5 Pin (Internal Pull-down pin) (PT25N bit = “0”)
		O	Serial Data Clock 5 Pin (PT25N bit = “1”)
C1	SDIN5	I	Serial Data Input 5 Pin
D4	SDOUT5	O	Serial Data Output 5 Pin (“L” output at PORTSEL25 bit = “0”)
B3	I2C	I	Control Interface Mode Select Pin “H”: I <sup>2</sup> C, “L”: SPI
B2	SCLK	I	Serial Clock Input pin SPI (I2C pin = “L”)
	CAD0		Slave Address 0 Input pin I <sup>2</sup> C (I2C pin = “H”)
C2	CSN	I	Chip select pin SPI (I2C pin = “L”)
	SCL		Control Interface clock input pin I <sup>2</sup> C (I2C pin = “H”)
D2	SO	O	Serial data output pin SPI (I2C pin = “L”)
	SDA		Control Interface input/output acknowledge pin I <sup>2</sup> C (I2C pin = “H”)
A2	SI	I	Serial data input pin SPI (I2C pin = “L”)
	CAD1		Slave Address 1 Input pin I <sup>2</sup> C (I2C pin = “H”)
C4	TEST	I	Test pin (pull-down resistor) must be connected to VSS.

Note 1. 入力ピンは、オープンにしないで下さい。

Note 2. I2C, CAD0/1 pin は、“L”(VSS)または“H”(TVDD)固定で使用して下さい。

### ■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

Pin Name	Setting
SDOUT3/GPO, SDOUT4/GP1/STO/RDY, SDOUT5	オープン
SYNC2, BCLK2, SYNC5, BCLK5 SYNC3/JX1, BCLK3/JX0, SDIN3, TEST SYNC4, BCLK4, SDIN4, SYNC5, BCLK5, SDIN5,	VSSに接続

### ■ パワーダウン時のピン状態

パワーダウン時（PDN pin=“L”）出力ピン及び入出力ピンは、下記の状態になっています。

No.	Pin Name	I/O(Note 3)	パワーダウン時の状態
C6	SDOUT1	O	“L”出力
E5	SYNC2	I/O	入力(internal pull-down)
E4	BCLK2	I/O	入力(internal pull-down)
E1	SYNC5	I/O	入力(internal pull-down)
D1	BCLK5	I/O	入力(internal pull-down)
E2	SDOUT2	O	“L”出力
D5	SDOUT3 GP0	O	“L”出力
D3	SDOUT4 GP1 STO RDY	O	“L”出力
D4	SDOUT5	O	“L”出力
D2	SO	O	SPI (I2C pin = “L”) “L”出力
	SDA	I/O	I <sup>2</sup> C (I2C pin = “H”) Hi-z

Note 3.ピンの属性を示しています

<b>6. 絶対最大定格</b>
------------------

(VSS=0V; 全ての電圧はグランドに対する値です)

項目	記号	min	max	Unit
電源電圧 (DSP Core)	VDD	-0.3	1.6	V
電源電圧 (Digital I/O)	TVDD	-0.3	4.1	V
入力電流(除: 電源 Pin)	IIN	-	±10	mA
入力電圧	VIND	-0.3	TVDD+0.3	V
動作周囲温度	Ta	-40	85	°C
保存温度	Tstg	-65	150	°C

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また、通常の動作は保証されません。

<b>7. 推奨動作条件</b>
------------------

(VSS=0V; 全ての電圧はグランドに対する値です)

項目	記号	min	typ	max	Unit
Core電源電圧	VDD	1.1	1.2	1.3	V
Digital I/O電源電圧	TVDD	1.6	1.8	3.6	V

Note 4. TVDD と VDD の立ち上げシーケンスを考慮する必要はありません。各電源は PDN pin = "L" の状態で立ち上げ、全ての電源が立ち上がった後、PDN pin = "H" としてください。

Note 5. SCL, SDA のプルアップ抵抗の接続先は、TVDD 以下にしてください。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。



## 8. SRC特性

(Ta= -40°C~85°C; VDD=1.2V, TVDD=1.8V; VSS=0V; Signal Frequency = 1kHz, data = 24bit; Measurement Bandwidth = 20Hz~FSO/2kHz; unless otherwise specified.)

Parameter	Symbol	min	typ	max	Unit
Resolution				24	Bits
Input Sample Rate	FSI	8		48	kHz
Output Sample Rate	FSO	8		48	kHz
THD+N (Input= 1kHz, 0dBFS) FSO/FSI=48kHz/8kHz FSO/FSI=16kHz/48kHz FSO/FSI=8kHz/48kHz			-111 -113 -113	-103	dB dB dB
Dynamic Range (Input= 1kHz, -60dBFS) FSO/FSI=48kHz/8kHz FSO/FSI=16kHz/48kHz FSO/FSI=8kHz/48kHz		108	113 113 111		dB dB dB
Dynamic Range (Input= 1kHz, -60dBFS, A-weighted) FSO/FSI=8kHz/48kHz			110		dB dB
Ratio between Input and Output Sample Rate	FSO/FSI	0.167		6	-

## 9. DC特性

(Ta=-40°C~85°C; VDD=1.2V, TVDD =1.6V~3.6V; VSS =0V)

パラメータ	記号	min	typ	max	Unit
ハイレベル入力電圧	2.2V≤TVDD≤3.6V	VIH	70%TVDD		V
	1.6V≤TVDD<2.2V	VIH	80%TVDD		
ローレベル入力電圧	2.2V≤TVDD≤3.6V	VIL		30%TVDD	V
	1.6V≤TVDD<2.2V	VIL		20%TVDD	
ハイレベル出力電圧 I <sub>out</sub> =-200μA (Note 6)	VOH	TVDD-0.2			V
ローレベル出力電圧 I <sub>out</sub> = 200μA (Note 6)	VOL			0.2	V
SDA ローレベル出力電圧 I <sub>out</sub> = 3mA	TVDD ≥ 2.0V	VOL		0.4	V
	TVDD < 2.0V			20%TVDD	V
入力リーク電流	I <sub>in</sub>			±10	μA
Pulldown 抵抗(Note 7)	R <sub>pd</sub>		40		kΩ

Note 6. SDA pin を除きます

Note 7. SYNC2, BCLK2, SYNC5, BCLK5 pin が Internal Pull-down 設定 (PDS2 bit= PDS5 bit = "0"(default)) 時です。

## 10. 消費電流

(Ta=25°C; VSS =0V, unless otherwise specified)

Parameter		min	typ	max	Unit
<b>Power Supplies:</b>					
Power-Up (PDN pin = "H")					
Loopback mode (DSP reset mode, SRCA, B:Power-Dwon) Port1(fs=8kHz, I <sup>2</sup> S fin=1kHz,slave mode) to Port2(master mode)					
VDD	VDD=1.2V		0.8		mA
TVDD	TVDD=1.8V		0.6		mA
Power Consumption			2.1		mW
All Circuit Power-up (Note 9) (DSP, SRC power-up running at Port#1:fs=8kHz, Port#2/4: fs=48kHz)					
VDD	VDD=1.3V			36	mA
TVDD	TVDD=3.6V			2	mA
Power Consumption				54	mW
Power-Down state (PDN pin = "L"), (Note 8)					
VDD	VDD=1.2V	-	2.4	8	μA
TVDD	TVDD=1.8V		0.2	1	μA

Note 8. 全てのデジタル入力ピンを TVDD または VSS に固定した時の値です。

Note 9. VDD と TVDD の消費電流の値は使用周波数および DSP プログラム内容によって変化します。

11. SRCフィルタ特性

(Ta= -40°C~85°C, VDD=1.1V~1.3V, TVDD=1.6~3.6V, VSS =0V)

Parameter		Symbol	min	typ	max	Unit
通過域 -0.01dB	$0.980 \leq FSO/FSI \leq 6.000$	PB	0		0.4583FSI	kHz
	$0.900 \leq FSO/FSI < 0.990$	PB	0		0.4167FSI	kHz
	$0.533 \leq FSO/FSI < 0.909$	PB	0		0.2182FSI	kHz
	$0.490 \leq FSO/FSI < 0.539$	PB	0		0.2177FSI	kHz
	$0.450 \leq FSO/FSI < 0.495$	PB	0		0.1948FSI	kHz
	$0.225 \leq FSO/FSI < 0.455$	PB	0		0.1312FSI	kHz
通過域 -0.50dB	$0.167 \leq FSO/FSI < 0.227$	PB	0		0.0658FSI	kHz
阻止域	$0.980 \leq FSO/FSI \leq 6.000$	SB	0.5417FSI			kHz
	$0.900 \leq FSO/FSI < 0.990$	SB	0.5021FSI			kHz
	$0.533 \leq FSO/FSI < 0.909$	SB	0.2974FSI			kHz
	$0.490 \leq FSO/FSI < 0.539$	SB	0.2812FSI			kHz
	$0.450 \leq FSO/FSI < 0.495$	SB	0.2604FSI			kHz
	$0.225 \leq FSO/FSI < 0.455$	SB	0.1802FSI			kHz
通過域リップル	$0.225 \leq FSO/FSI \leq 6.000$	PR			±0.01	dB
	$0.167 \leq FSO/FSI < 0.227$	PR			±0.50	dB
阻止域減衰量	$0.450 \leq FSO/FSI \leq 6.000$	SA		95.2		dB
	$0.167 \leq FSO/FSI < 0.455$	SA		90.0		dB
群遅延 (Note 10)		GD		$52.5 \times T_{si}$ $+ 9.5 \times T_{so}$		Sec

Note 10. 入力側の SYNC の立ち上がりから出力側の SYNC の立ち上がりまでの時間です。

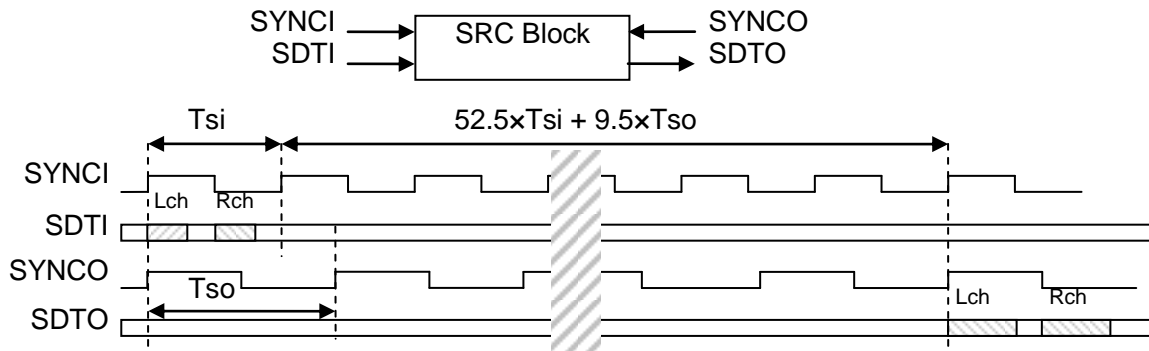


Figure 3. SRC Filter Group Delay (Left Justified)

## 12. スイッチング特性

### ■ システムクロック

(Ta= -40°C ~ 85°C, VDD=1.2V, TVDD= 1.6V ~ 3.6V, VSS=0V); CL=20pF(except SDA pin) or 400pF(SDA pin); unless otherwise specified

Parameter	Symbol	min	typ	max	Unit
<b>Normal Operation mode: SYNCx, BCLKx (x=1~5) Input Timing (Note 11)</b>					
Input Timing					
SYNCx frequency	fs	8		48	kHz
BCLKx Input Timing (Note 12)	fBCLK	256		4096	kHz
BCLKx Pulse width Low	tBCKL	0.4 x tBCLK			ns
BCLKx Pulse width High	tBCKH	0.4 x tBCLK			ns

Note 11. SYNCx と BCLKx(x=1~5)は同期し、fs は各ポート毎に固定している必要があります。

Note 12.  $fBCLK \geq 2 \times (\text{データ長}) \times (\text{SYNCx の周波数})$  を満たす必要があります。

### ■ リセットおよびパワーダウン

(Ta= -40°C ~ 85°C, VDD=1.2V, TVDD= 1.6V ~ 3.6V, VSS=0V)

Parameter	Symbol	min	typ	max	Unit
PDN accept pulse width (Note 13)	tPDN	600			ns

Note 13. AK7719B は電源投入時に PDN pin = “L”から “H”に立ち上げることでリセットされます。

### ■ シリアルデータインタフェース

(Ta= -40°C ~ 85°C, TVDD= 1.6V ~ 3.6V, VSS=0V, CL=20pF)

パラメータ	記号	min	typ	max	Unit
<b>SDINx, SDOUTx (x = 1~5) (x=2, 5: slave mode)</b>					
BCLKx “↑”からSYNCx“↑”への遅延時間 (Note 14)	tBSYD	20			ns
SYNCx“↓”からBCLKx “↑”への遅延時間 (Note 14)	tSYBD	100			ns
シリアルデータ入力 ラッチセットアップ時間	tB1IDS	40			ns
シリアルデータ入力 ラッチホールド時間	tB1IDH	40			ns
SYNC1からシリアルデータ出力遅延時間	tSY1OD			40	ns
BCLK1 “↓”からシリアルデータ出力遅延時間 (Note 15)	tB1OD			40	ns
<b>SDIN2/5, SDOUT2/5 (master mode)</b>					
シリアルデータ入力 ラッチセットアップ時間	tB2IDS	40			ns
シリアルデータ入力 ラッチホールド時間	tB2IDH	40			ns
SYNC2からシリアルデータ出力遅延時間	tSY2OD			40	ns
BCLK2 “↓”からシリアルデータ出力遅延時間 (Note 16)	tB2OD			40	ns
<b>SDIN1 → SDOUT2/5, SDIN2/5→SDOUT1</b>					
Loopback mode(Note 17)出力遅延時間	tIOD			60	ns

Note 14. BCLK1 の極性を反転させた場合は、BCLK1 の “↓”からになります。

Note 15. BCLK1 の極性を反転させた場合は、BCLK1 の “↑”からになります。

Note 16. BCLK2の極性を反転させた場合は、BCLK2の “↑”からになります。

Note 17. LPDO1 bit=“0”, LPDO2 bit=“0”設定

■ タイミング波形

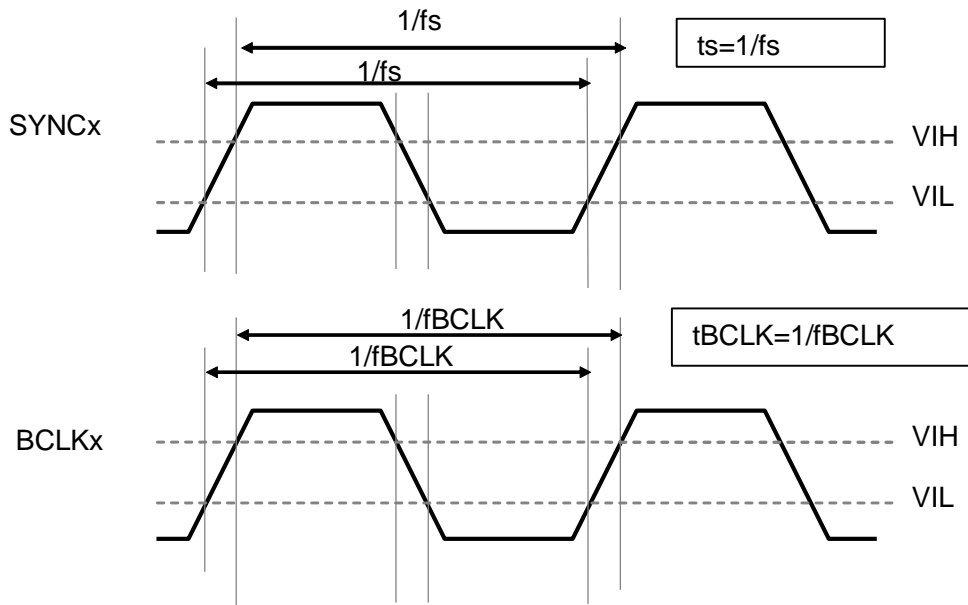


Figure 4. システムクロック (x=1~5)

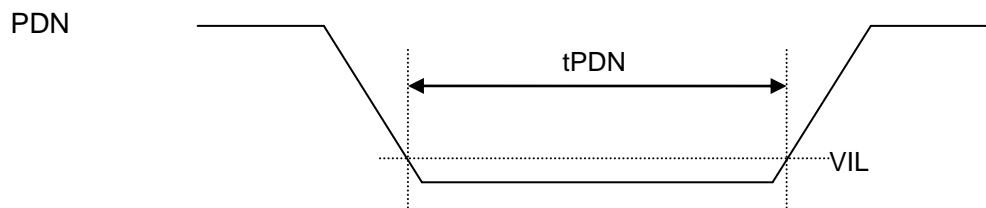


Figure 5. パワーダウン

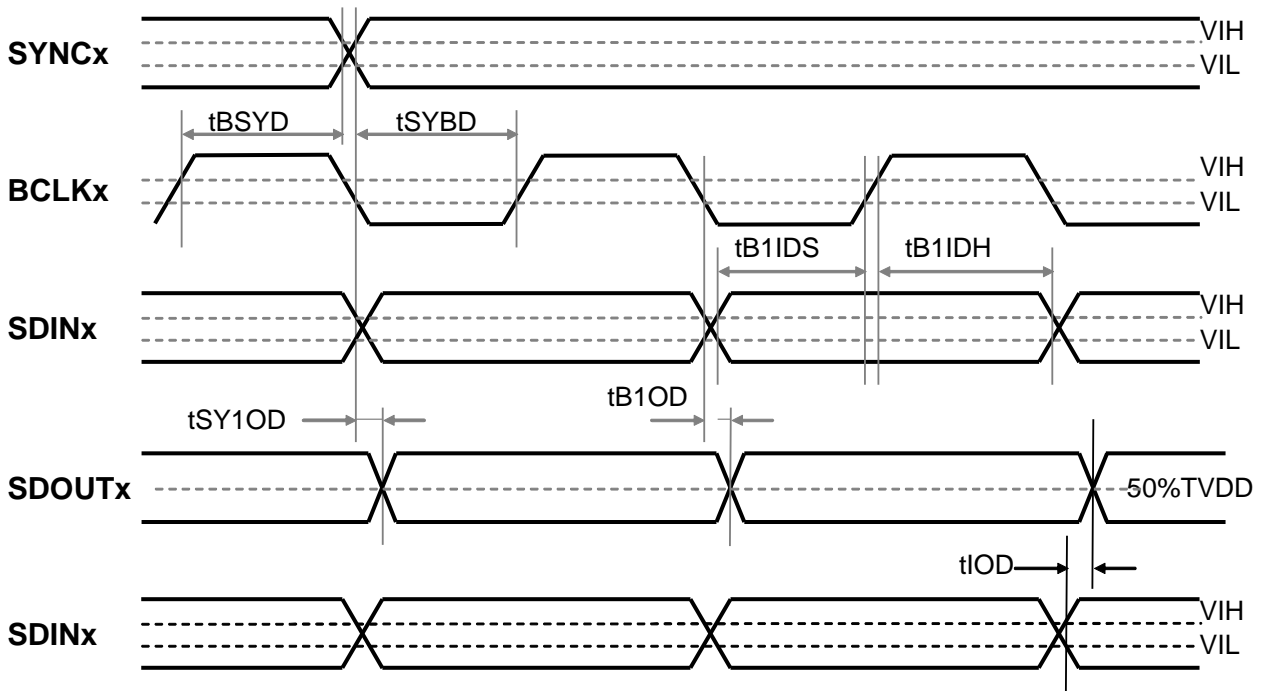


Figure 6. シリアルデータインタフェース (x=1~5) (x=2, 5: slave mode)

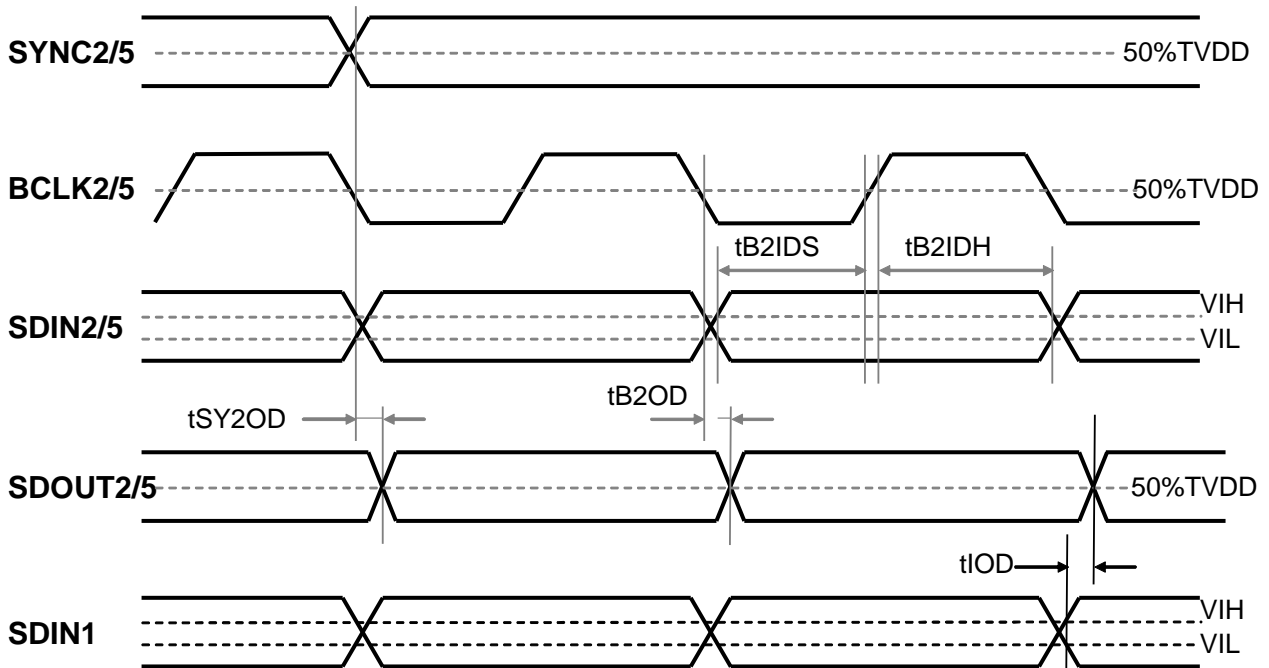


Figure 7. シリアルデータインタフェース (SDIN2/5, SDOUT2/5: master mode)

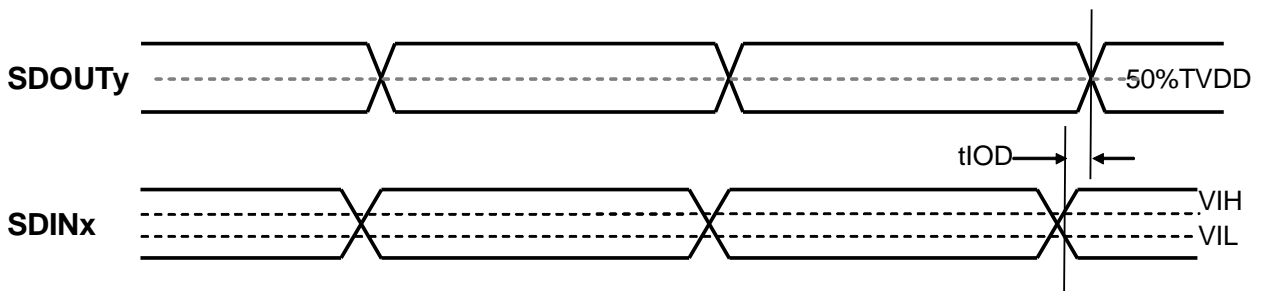


Figure 8. シリアルデータインタフェース (x=1, y=2/5 or x=2/5, y=1: loopback mode)

## ■ $\mu$ P インタフェース(SPI mode)

( $T_a = -40^\circ\text{C} \sim 85^\circ\text{C}$ ,  $V_{DD} = 1.2\text{V}$ ;  $TV_{DD} = 1.6 \sim 3.6\text{V}$ ,  $V_{SS} = 0\text{V}$ ;  $CL = 20\text{pF}$ )

Parameter	Symbol	min	typ	max	Unit
<b><math>\mu</math>P Interface Timing (SPI mode)</b>					
SCLK Fall Time	tSF			30	ns
SCLK Rise Time	tSR			30	ns
SCLK Frequency	fSCLK			4.0	MHz
SCLK Low Level Width	tSCLKL	120			ns
SCLK High Level Width	tSCLKH	120			ns
CSN High Level Width	tWRQH	500			ns
From CSN “ $\uparrow$ ” to PDN “ $\uparrow$ ”	tRST1	600			ns
From PDN “ $\uparrow$ ” to CSN “ $\downarrow$ ”	tIRRQ	100			$\mu\text{s}$
From CSN “ $\downarrow$ ” to SCLK “ $\downarrow$ ”	tWSC	500			ns
From SCLK “ $\uparrow$ ” to CSN “ $\uparrow$ ”	tSCW	800			ns
SI Latch Setup Time	tSIS	100			ns
SI Latch Hold Time	tSIH	100			ns
<b>AK7719B <math>\rightarrow</math> <math>\mu</math>P</b>					
Delay Time from SCLK “ $\downarrow$ ” to SO Output	tSOS			100	ns
Hold Time from SCLK “ $\uparrow$ ” to SO Output (Note 18)	tSOH	100			ns

Note 18. コマンドコードの 8bit 目入力時は除きます。

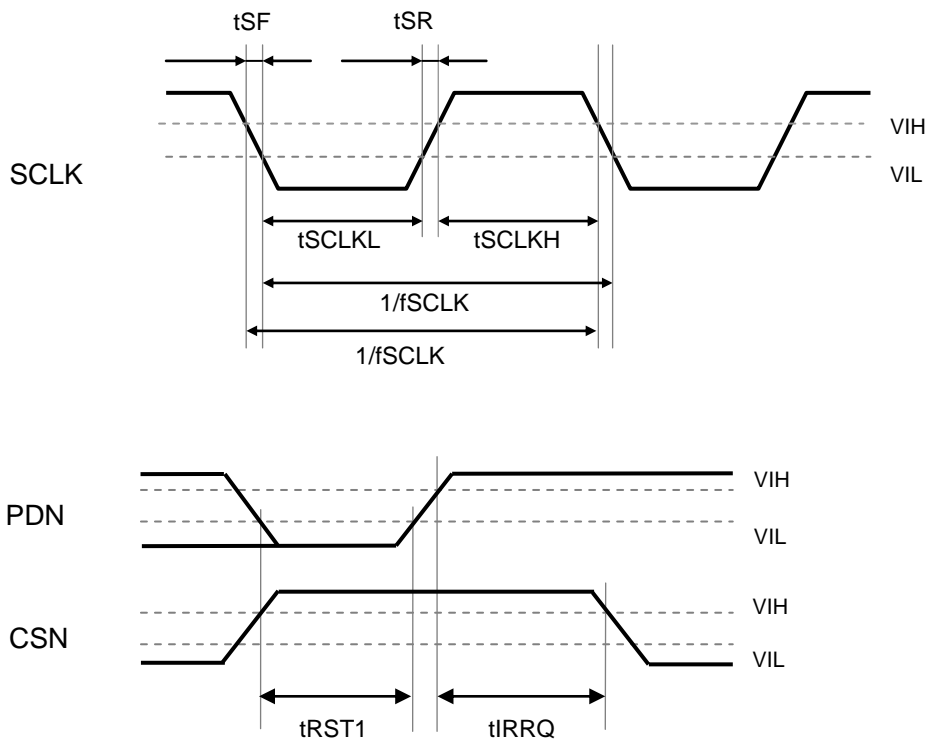


Figure 9.  $\mu$ P インタフェース 1 (SPI)

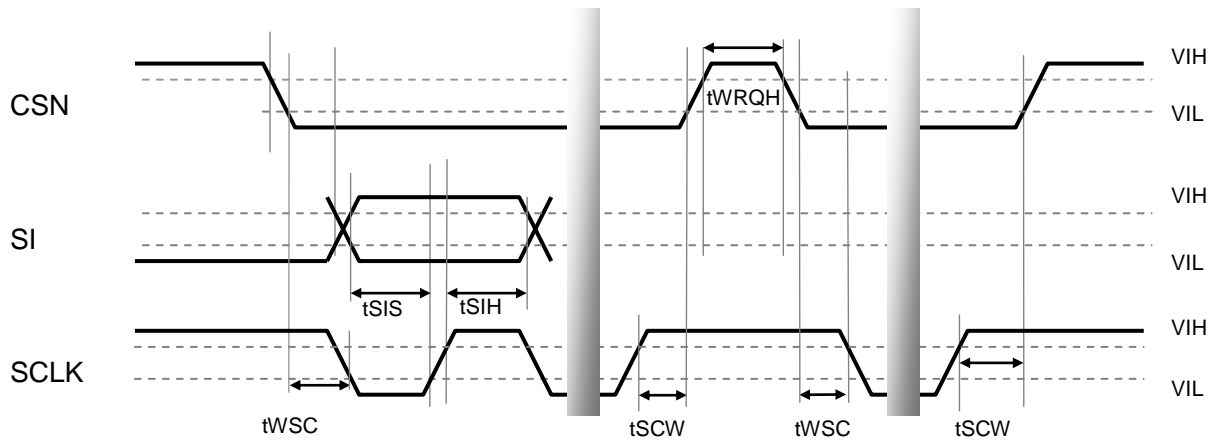


Figure 10.  $\mu$ P インタフェース 2 (SPI)

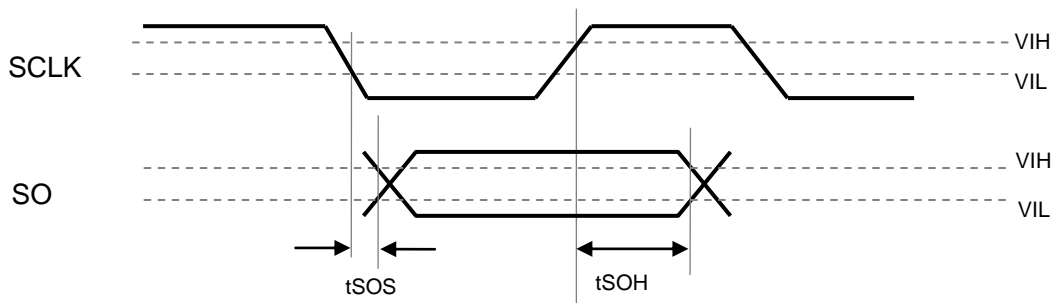


Figure 11.  $\mu$ P インタフェース 3 (SPI)



■ I<sup>2</sup>C BUS インタフェース

(Ta=-40°C~85°C, VDD=1.2V, VDD=1.6~3.6V, VSS =0V, CL=20pF)

Parameter	Symbol	min	typ	max	Unit
<b>I<sup>2</sup>C Timing</b>					
SCL clock frequency	fSCL	30		400	kHz
Bus Free Time Between Transmissions	tBUF	1.3			μs
Start Condition Hold Time (prior to first Clock pulse)	tHD:STA	0.6			μs
Clock Low Time	tLOW	1.3			μs
Clock High Time	tHIGH	0.6			μs
Setup Time for Repeated Start Condition	tSU:STA	0.6			μs
SDA Hold Time from SCL Falling	tHD:DAT	0		0.9	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1			μs
Rise Time of Both SDA and SCL Lines	tR			0.3	μs
Fall Time of Both SDA and SCL Lines	tF			0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6			μs
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0		50	ns
Capacitive load on bus	Cb			400	pF

Note 19. I<sup>2</sup>C-bus は NXP B.V.の商標です。

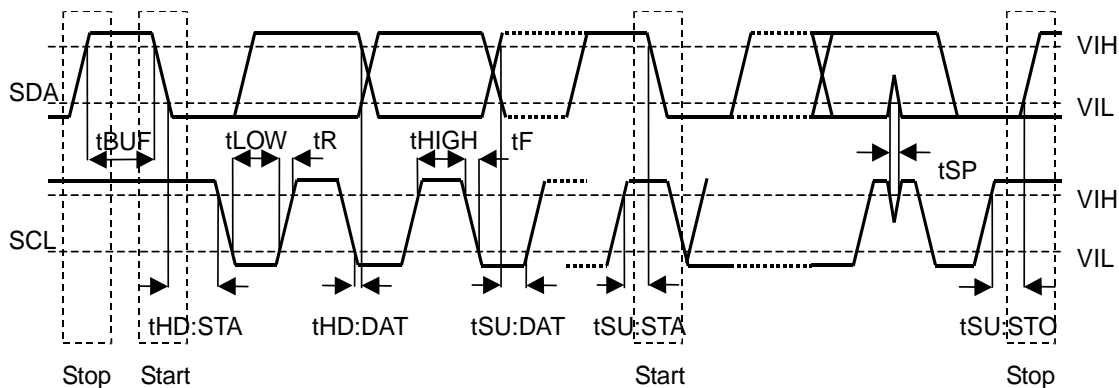
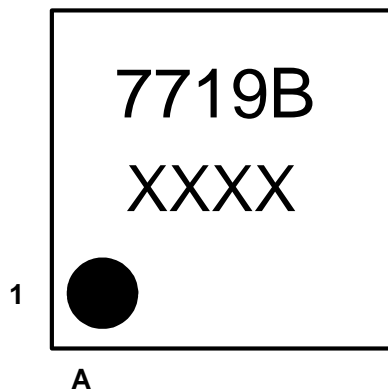


Figure 12. I<sup>2</sup>C バスインタフェース



14. マーキング



XXXX: Date code (4 digit)

15. 改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
13/11/01	00	初版		

旭化成エレクトロニクス製品のご検討ありがとうございます。

より詳しい資料を用意しておりますので、お手数ですが弊社営業担当、あるいは弊社特約店営業担当までお申し付けください。

### 重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替及び外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。