



AK9232NK/33NK/34NK アプリケーションノート

AK9232/33/34のリファレンスデザインについて回路図およびレイアウト図を示します。

■ 回路図

電源、リファレンスのデカップリングコンデンサとアナログ入力部のフィルタ構成を示します。

周辺部品/パターン詳細

R1,R2,C1,C2,C3 : AIN0のローパスフィルタ

R3,R4,C4,C5,C6 : AIN1のローパスフィルタ

C7,C8 : HVDDのデカップリングコンデンサ

C9,C10 : DRVDDのデカップリングコンデンサ

C11,C12 : VREFP / VREFN間のデカップリングコンデンサ

C13,C14 : VDD0端子のデカップリングコンデンサ

C15,C16 : VDD1端子のデカップリングコンデンサ

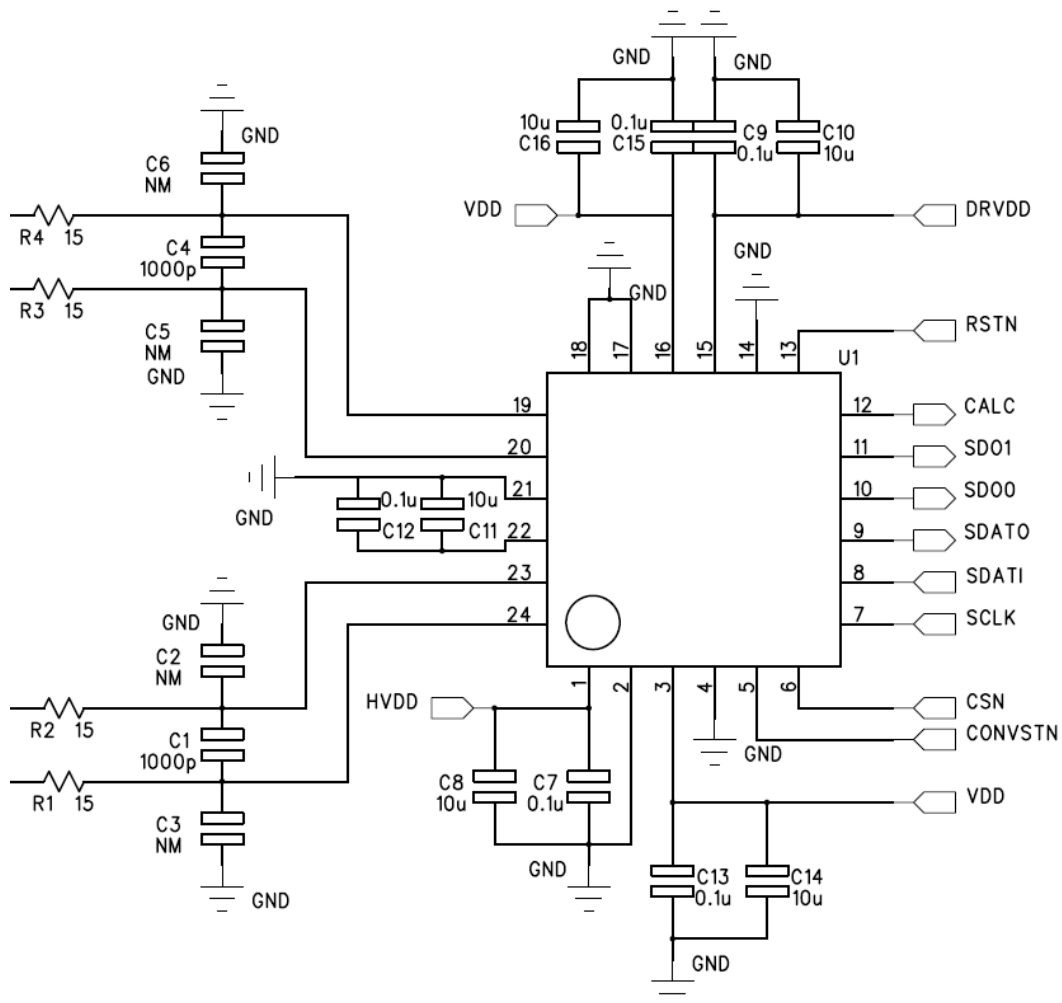


Figure 1 回路図

■ レイアウト

4層で構成しており、2層目はGND層、3層目は電源層としています。

電源層についてHVDDとDRVDDを分離しています。

また、1層目、4層目の部品および配線以外の面はGNDとしています。

使用しているチップ部品は全て1005(1.0mm x 0.5mm)サイズでレイアウトしています。

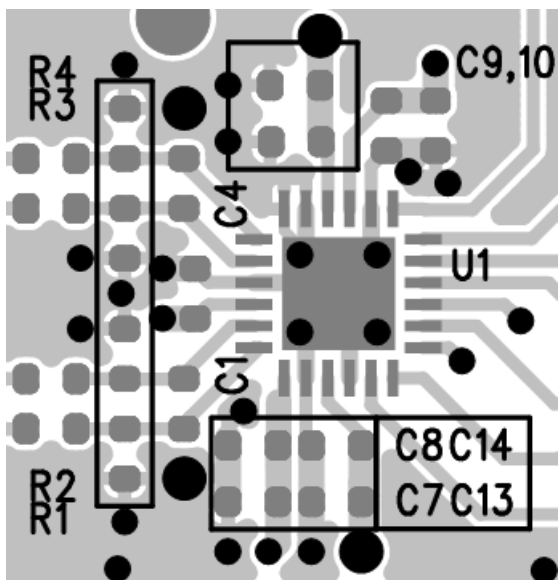


Figure 2 1層目レイアウト

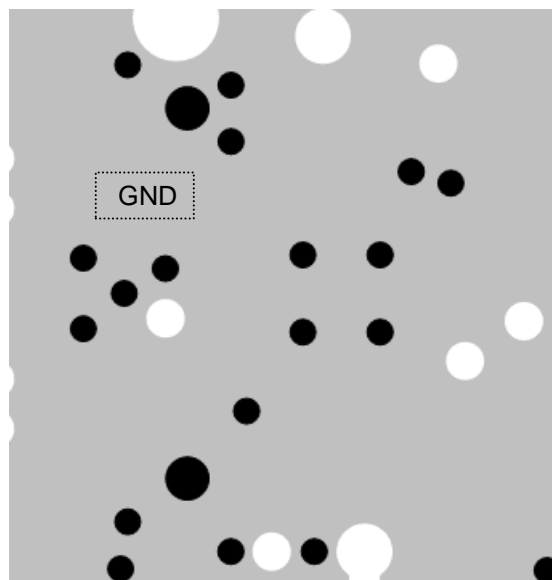


Figure 3 2層目レイアウト

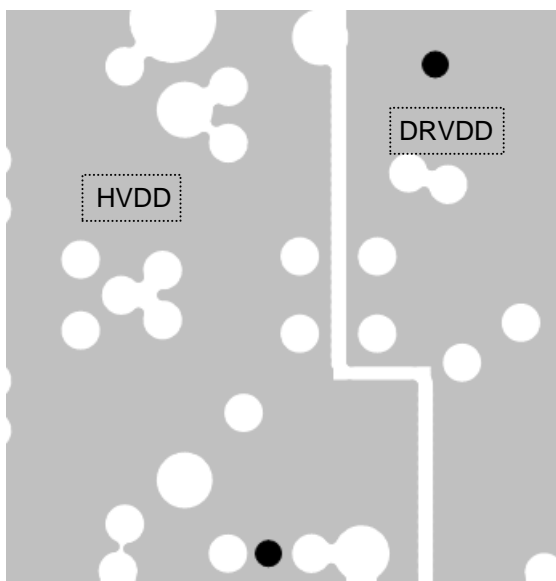


Figure 4 3層目レイアウト

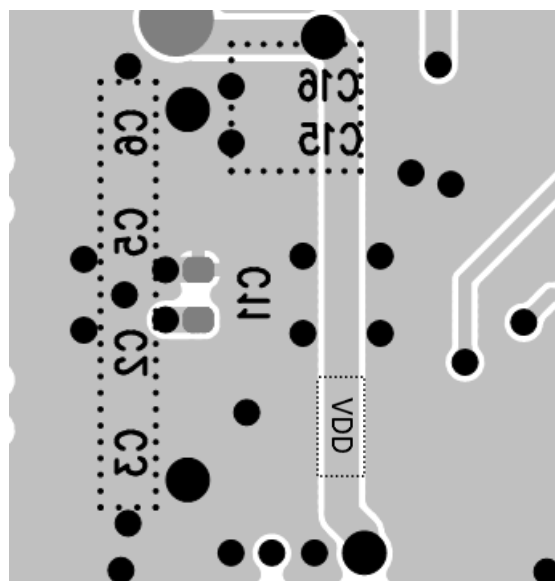


Figure 5 4層目レイアウト(裏面)

AK9232/33/34のデジタル配線の削減方法について記載致します。

各モデルには CONVSTN, CSN, SDATI, SDATO, SDO0, SDO1, CALC ピンがあり、それぞれ用途・環境によっては次の様に配線の削減が可能です。
最大4本のデジタル配線を削減することが可能です。

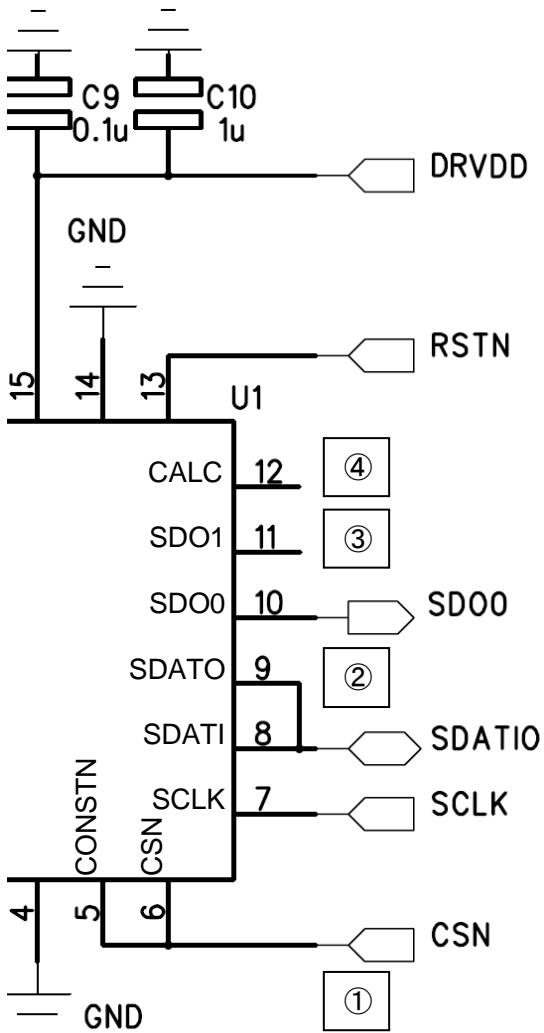


Figure 6 回路図

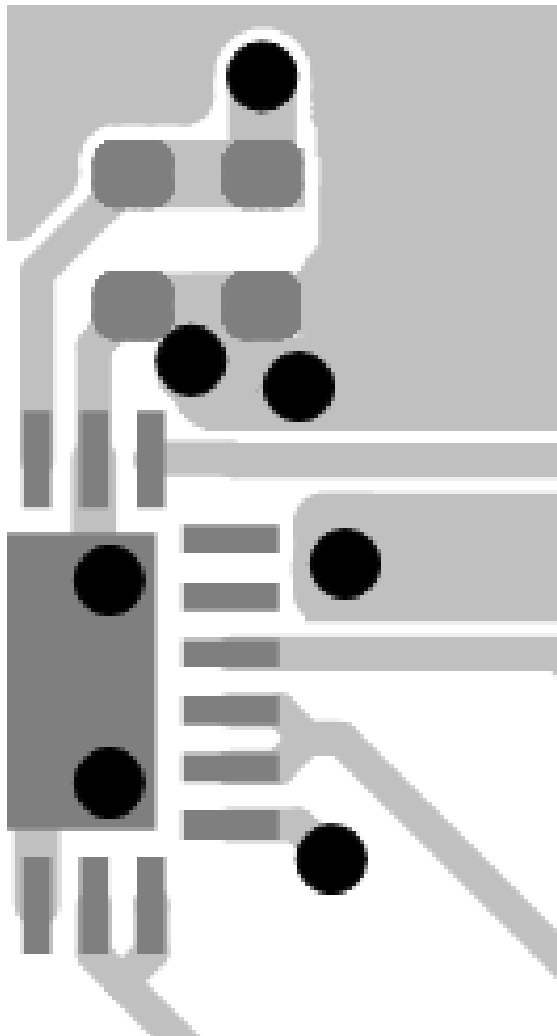


Figure 7 レイアウト

① CONVSTN / CSN ピンのショート

CONVSTN pin と CSN pin を共通にして使用することが可能です。

ある CONVSTN / CSN pin の "↓" エッジでサンプリングされたデータは、
1つ後の CONVSTN / CSN pin の "↓" エッジから SDOx pin より出力されます。

CSN pin を立ち上げるときは、必ず SCLK pin = "H" としてください。

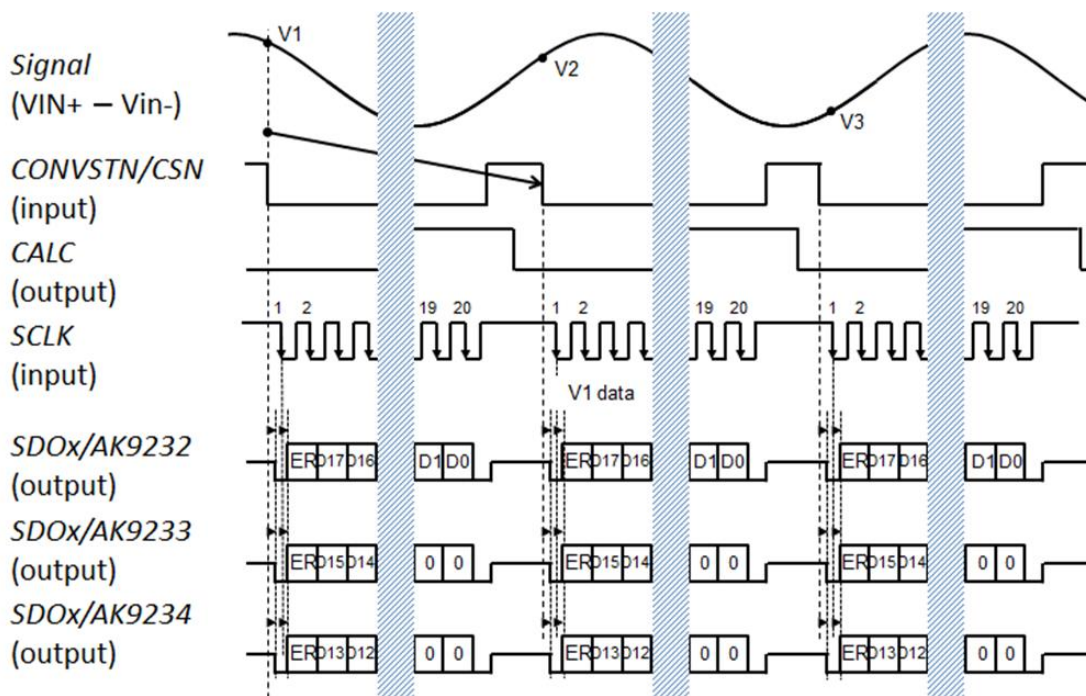


Figure 8 データ出カタイミング(CONVSTN,CSN 共通)

②SDATO / SDATIピンのショート(SDATI/O)

SDATO pin と SDATI pin をショートすることにより、
3線式シリアルI/F(CSN,SCLK and SDATI / SDATO pins) でレジスタ設定の書き込み、
読み出しを行うことが可能です。

その際、この端子と接続されるデバイスの端子はI/Oの切り替えが必要となります。

CSN pin を立ち下げるときは、必ずSCLK pin = “H” としてください。

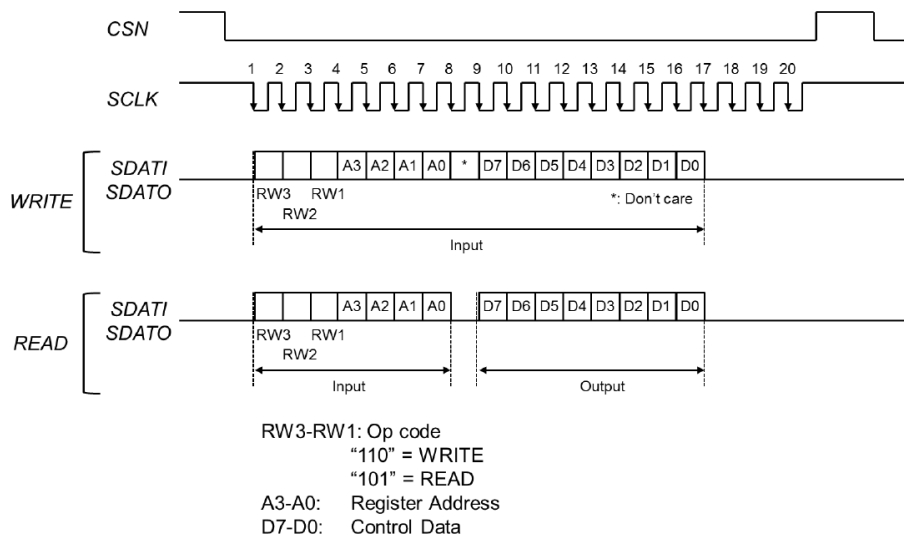


Figure 9 シリアルI/Fタイミング(SDATI,SDATO 共通)

③SDO0 or SDO1 の配線削除

レジスタアクセスにより CONT bit = "1" (シリアル出力モード) にすることで、SDO0 pin に CH0 のAD変換結果を出力した後に続けてCH1のAD変換結果を出力します。(SDO1 pin に CH1 のAD変換結果を出力した後に続けてCH0のAD変換結果を出力します) この場合、CSN pin が "L" の区間にSCLK pin に連続で39CLK入力してください。40発目以降のCLKが入力された場合は "L" が出力されます。

CSN pin を立ち下げるときは、必ずSCLK pin = "H" としてください。

※シリアル出力モードの Conversion Rate 最大周波数は0.93MSPSです

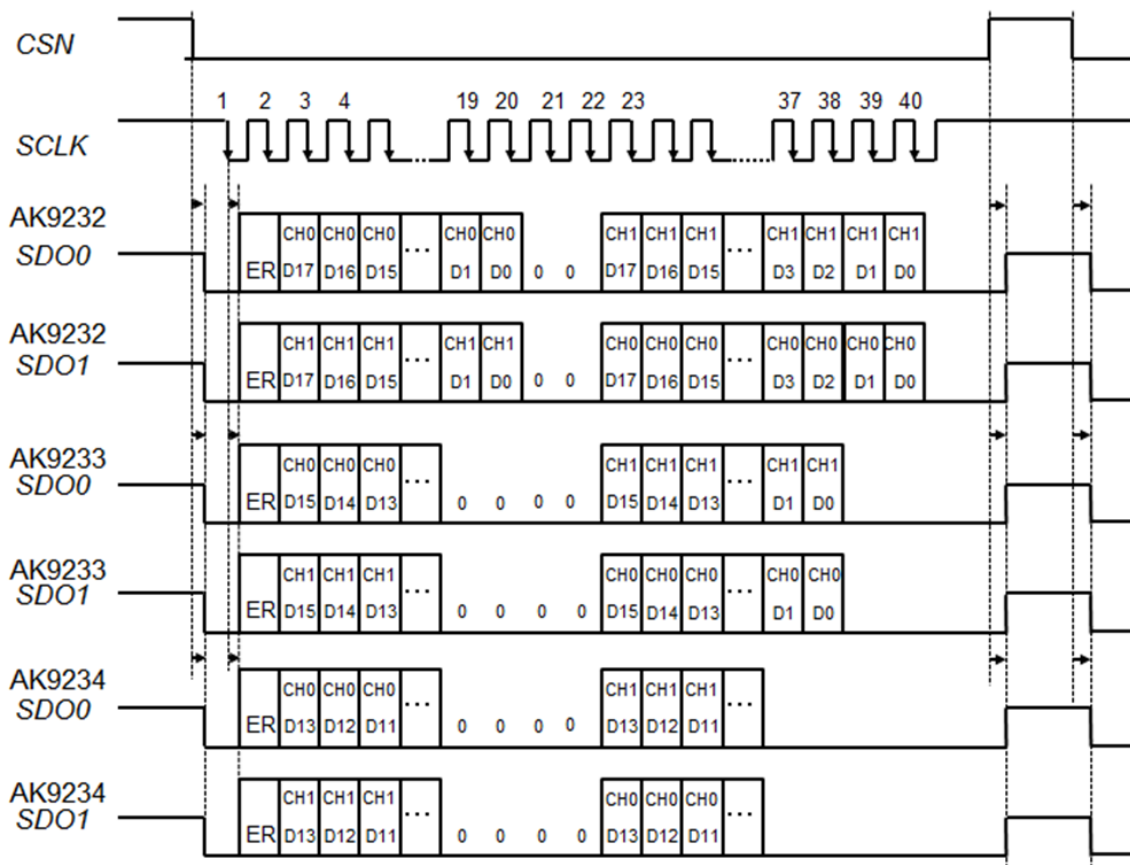


Figure 10 シリアル出力モード-データ出力タイミング

④CALCピンの配線削除

以下、2つの使用方法の場合、CALCピンのモニターが不要となり、削減可能です。

1. CONVSTNの"↓" から tDD(max) 以上経過後、CSNの"↓"でデータを取り込む場合

Parameter	Symbol	Min.	Max.	Unit
Throughput Rate	fCYC	0.05	1.1	MHz
Conversion Time	tCYC	0.91	20	μs
Conversion Pulse Width	tCVS	62.1	-	ns
CONVSTN Low to CALC High Delay	tDCC	-	310	ns
CALC High Time	tCALC	-	559	ns
CONVSTN Low to Data Valid Delay	* 10 tDD	-	870	ns
CALC Low to CSN Low Delay	tDCCS	0	-	ns

* 10:設計保証値であり、量産検査は未実施。

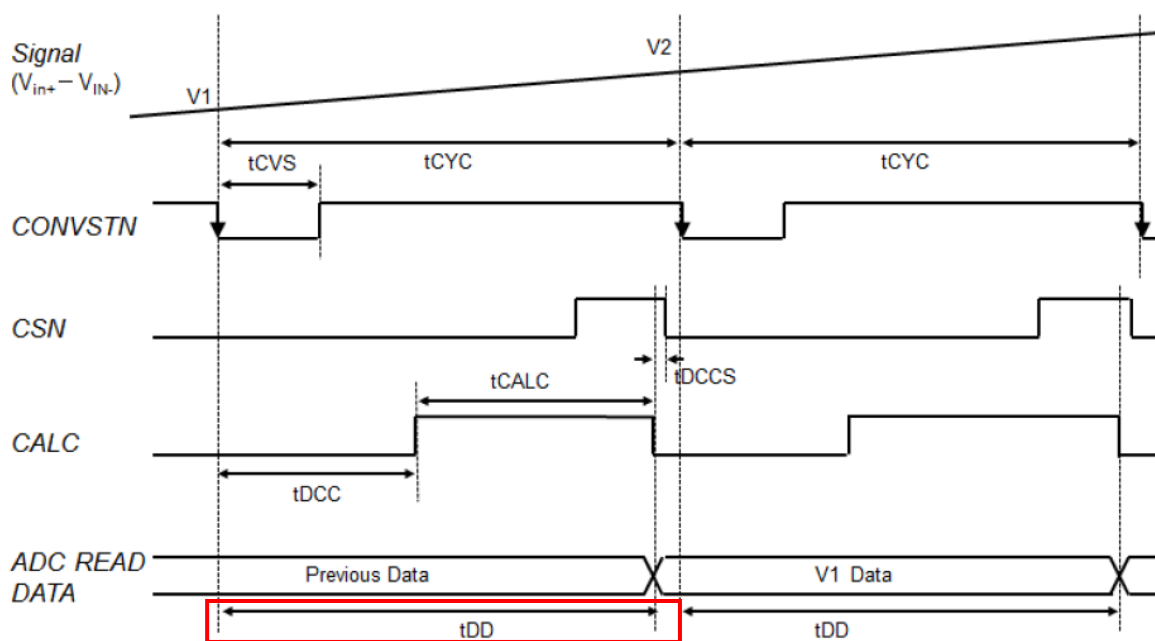


Figure 11 Conversion Timing

2. “①CONVSTN/CSNのショート”で使用する場合

免責事項

本資料は参考のために作成されたものであり、本資料に掲載された情報は何らの保証をするものではありません。本資料の使用による損害・損失について、旭化成エレクトロニクス株式会社は何らの責任も負いません。

お問い合わせ

本アプリケーションノートについてのお問い合わせは、下記URLよりお問い合わせください。

<<http://www.akm.com/akm/jp/support/inquires>>