

AKM

AK5720

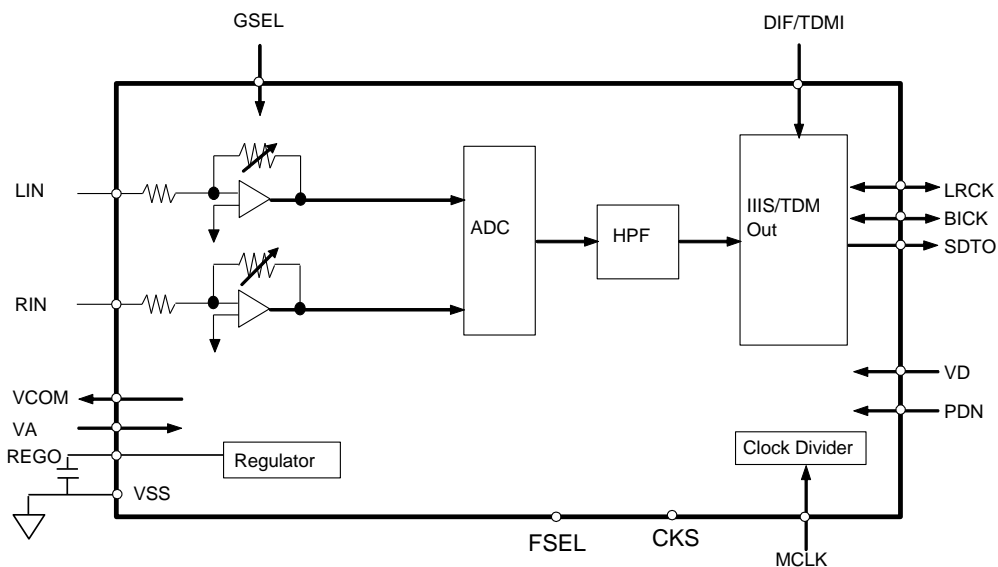
96kHz 24bit $\Delta\Sigma$ ADC

1. 概要

AK5720はデジタルオーディオ機器用に開発された低電圧24bit A/Dコンバータです。AK5720は、ゲインアンプを内蔵していますので、マイク等を使用するアプリケーションには最適です。アナログ入力シングルエンドになっており、外付け部品をほとんど必要としません。また、AK5720は16pin TSSOPパッケージを採用しておりますので、機器の小型化には最適です。

2. 特長

1. 分解能 : 24bits
2. 録音側機能
 - ゲインアンプ (0dB or 15dB)
 - オフセットキャンセル用HPF内蔵 (fc=1.0Hz@fs=48kHz)
3. 2ch ADC
 - シングルエンド入力
 - 入力レベル: 1.8Vpp@VA=3.0V (= 0.6 × VA)、3.0Vpp @VA=5.0V (= 0.6 × VA)
 - S/(N+D): 94dB
 - DR, S/N: 102dB
4. マスタクロック : 256fs/384fs/512fs/768fs
5. サンプリング周波数: 8kHz~ 96kHz
6. オーディオデータフォーマット: MSB First, 2's compliment
 - 24bit 前詰め, I²S or TDM
7. 電源電圧
 - VA, VD: 2.7 ~ 5.5V (typ. 3V, 5V)
8. 消費電流: 6.1mA (VA=VD=5.0V, fs=48kHz)
9. 動作温度範囲: Ta = -40 ~ 105°C
10. パッケージ: 16pin TSSOP



3. 目 次

1. 概 要	1
2. 特 長	1
3. 目 次	2
4. ピン配置と機能説明	3
■ オーダリングガイド	3
■ ピン配置	3
■ 機能説明	4
■ 使用しないピンの処理について	4
5. 絶対最大定格	5
6. 推奨動作条件	5
7. アナログ特性 (VA=VD=5.0V)	6
8. アナログ特性 (VA=VD=3.0V)	7
9. フィルタ特性 (fs=48kHz)	8
10. フィルタ特性 (fs=96kHz)	9
11. DC特性	9
12. スイッチング特性	10
■ タイミング波形	12
13. 機能説明	16
■ システムクロック	16
■ オーディオインタフェースフォーマット	16
■ デジタルHPF	18
■ パワーダウン	18
■ システムリセット	19
■ TDM カスケードモード	19
14. システム設計	21
15. パッケージ	23
■ 外形寸法図	23
■ 材質・メッキ仕様	23
■ マーキング	24
16. 改訂履歴	24
重要な注意事項	25

■ 機能説明

No.	ピン名称	I/O	機 能	パワーダウン ステータス
1	VCOM	O	ADC Common Voltage Output Pin	Pull-down to VSS with NMOS (0.5kΩ)
2	RIN	I	Rch Input Pin	Hi-z
3	LIN	I	Lch Input Pin	Hi-z
4	VSS	-	Ground Pin	-
5	VA	-	Analog Power Supply Pin	-
6	VD	-	Digital Power Supply Pin	-
7	GSEL	I	Input Gain Select Pin “L”: 0dB, “H”: +15dB	Hi-z
8	REGO	O	Regulator Output Pin	Pull-down to VSS with 500Ω
9	SDTO	O	Audio Serial Data Output Pin	“L” (VSS)
10	LRCK	I/O	Input/Output Channel Clock Pin	Hi-z
11	MCLK	I	Master Clock Input Pin	Hi-z
12	BICK	I/O	Audio Serial Data Clock Pin	Hi-z
13	PDN	I	Reset & Power Down Pin “L”: Reset & Power down, “H” : Normal operation	Hi-z
14	DIF/TDMI	I	Audio Data Format Select Pin “L”: MSB justified, “H”: I ² S	Hi-z
			TDM Data Input Pin	Hi-z
15	FSEL	I	Digital Filter select Pin “L”: Sharp Roll-Off, “H”: Short Delay Sharp Roll-Off	Hi-z
16	CKS	I	Mode Select Pin ピンに付く寄生容量は20pF以下としてください。	Hi-z

注: デジタル入力ピンはフローティングにしないで下さい。

注: テストモードに入らないようにPDN pin = “H” 時は GSEL pin を “H” か “L” に固定してください。

■ 使用しないピンの処理について

使用しない入力ピンは下記のように処理して下さい。

区分	ピン名	設定
Analog	RIN	オープン
	LIN	オープン

5. 絶対最大定格

(VSS=0V; Note 1)

Parameter		Symbol	min	max	Unit
電源電圧	アナログ電源	VA	-0.3	6.0	V
	デジタル電源	VD	-0.3	6.0	V
入力電流 (電源ピンを除く)		IIN	-	±10	mA
アナログ入力電圧 (LIN, RIN pins)		VINA	-0.3	VA+0.3	V
デジタル入力電圧		VIND	-0.3	VD+0.3	V
動作周囲温度		Ta	-40	105	°C
保存温度		Tstg	-65	150	°C

Note 1. 電圧はすべてグランドピンに対する値です。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は保証されません。

REGO pinに2.5Vを超える電圧がかかった場合、デバイスを破壊することがあります。

6. 推奨動作条件

(VSS=0V; Note 1)

Parameter		Symbol	min	typ	max	Unit
電源電圧	アナログ電源 (VA pin)	VA	2.7	3 or 5	5.5	V
	デジタル電源 (VD pin)	VD	2.7	3 or 5	VA	V

Note 1. 電圧はすべてグランドピンに対する値です。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意下さい。

7. アナログ特性 (VA=VD=5.0V)

(特記なき場合はTa=25°C; VA=VD=5.0V; fs=48kHz, 96kHz; BICK=64fs; Signal Frequency=1kHz; 24bit Data; Measurement frequency=20Hz~20kHz at fs=48kHz, 40Hz~40kHz at fs=96kHz)

Parameter		min	typ	max	Unit
ADC Analog Input Characteristics:					
Resolution				24	Bits
Input Voltage (Note 2)	Gain = 0dB	2.7	3.0	3.3	Vpp
	Gain = +15dB	0.48	0.53	0.58	
S/(N+D) (-1.0dBFS)	VA=5V Gain = 0dB	fs=48kHz, 84	94		dB
		fs=96kHz, -	92		dB
DR (-60dBFS)	VA=5V Gain = 0dB	fs=48kHz, 94	102		dB
		A-weighted -	99		dB
S/N	VA=5V Gain = 0dB	fs=48kHz, 94	102		dB
		A-weighted -	99		dB
Input Resistance	Gain = 0dB	fs=48kHz, 29	41		kΩ
		fs=96kHz, -	28		kΩ
Interchannel Isolation (RIN, LIN)	Gain = 0dB	90	110		dB
	Gain = +15dB		90		dB
Interchannel Gain Mismatch (RIN, LIN)			0	0.5	dB
Gain Drift			100	-	ppm/°C
Power Supply Rejection (Note 3)		-	50		dB
Power Supplies					
Power Supply Current					
Normal Operation (PDN pin = "H")					
VA			3.8	5.7	mA
VD (fs=48kHz)			2.3	3.5	mA
VD (fs=96kHz)			4.4	6.7	mA
Power down mode (PDN pin = "L") (Note 4)					
VA+VD			10	100	μA

Note 2. アナログ入力電圧のフルスケール値(0dB)です。VA電圧に比例します。Vin = 0.6 × VA (Vpp)。

Note 3. VA, VDに1kHz, 50mVppの正弦波を重畳した場合です。

Note 4. 全てのデジタル入力ピンをVDまたはVSSに固定した時の値です。

8. アナログ特性 (VA=VD=3.0V)

(特記なき場合は Ta=25°C; VA=VD=3.0V; fs=48kHz, 96kHz; BICK=64fs; Signal Frequency=1kHz; 24bit Data; Measurement frequency=20Hz~20kHz at fs=48kHz, 40Hz~40kHz at fs=96kHz)

Parameter		min	typ	max	Unit
ADC Analog Input Characteristics:					
Resolution				24	Bits
Input Voltage (Note 2)	Gain = 0dB	1.65	1.8	1.95	Vpp
	Gain = +15dB	0.29	0.32	0.35	
S/(N+D) (-1.0dBFS)	VA=3V Gain = 0dB	fs=48kHz, 84	94		dB
		fs=96kHz -	92		dB
	VA=3V Gain =	fs=48kHz 71	81		dB
	+15dB	fs=96kHz -	77		dB
DR (-60dBFS)	VA=3V Gain = 0dB	fs=48kHz, A-weighted 90	98		dB
		fs=96kHz -	95		dB
	VA=3V Gain =	fs=48kHz, A-weighted -	86		dB
	+15dB	fs=96kHz -	81		dB
S/N	VA=3V Gain = 0dB	fs=48kHz, A-weighted 90	98		dB
		fs=96kHz -	95		dB
	VA=3V Gain =	fs=48kHz, A-weighted -	86		dB
	+15dB	fs=96kHz -	81		dB
Input Resistance	Gain = 0dB	fs=48kHz 29	41		kΩ
		fs=96kHz -	28		kΩ
	Gain =	fs=48kHz 15	22		kΩ
	+15dB	fs=96kHz -	13		kΩ
Interchannel Isolation	Gain = 0dB	90	110		dB
	Gain = +15dB		90		dB
Interchannel Gain Mismatch			0	0.5	dB
Gain Drift			100	-	ppm/°C
Power Supply Rejection (Note 3)		-	50		dB
Power Supplies					
Power Supply Current					
Normal Operation (PDN pin = "H")					
VA			3.4	5.1	mA
VD (fs=48kHz)			1.9	2.9	mA
VD (fs=96kHz)			3.7	5.6	mA
Power down mode (PDN pin = "L") (Note 4)					
VA+VD			10	100	μA

Note 2. アナログ入力電圧のフルスケール値(0dB)です。VA電圧に比例します。Vin = 0.6 × VA (Vpp)。

Note 3. VA, VDに1kHz, 50mVppの正弦波を重畳した場合です。

Note 4. 全てのデジタル入力ピンをVDまたはVSSに固定した時の値です。

9. フィルタ特性(fs=48kHz)

(Ta=25°C; VA=VD=2.7~5.5V, fs=48kHz)

Parameter		Symbol	min	typ	max	Unit
ADC Digital Filter (Decimation LPF): SHARP ROLL-OFF(FSEL pin="L")						
Passband (Note 5)	±0.16dB	PB	0	-	18.8	kHz
	-0.28dB		-	20.0	-	kHz
	-3.0dB		-	22.8	-	kHz
Stopband (Note 5)		SB	28.4	-	-	kHz
Stopband Attenuation		SA	71	-	-	dB
Group Delay Distortion 0 ~ 20.0kHz		ΔGD	-	0	-	1/fs
Group Delay (Note 6)		GD	-	15.5	-	1/fs
ADC Digital Filter (Decimation LPF): SHORT DELAY SHARP ROLL-OFF FILTER(FSEL pin="H")						
Passband (Note 5)	±0.16dB	PB	0	-	18.8	kHz
	-0.28dB		-	20.0	-	kHz
	-3.0dB		-	22.8	-	kHz
Stopband (Note 5)		SB	28.4	-	-	kHz
Stopband Attenuation		SA	72	-	-	dB
Group Delay Distortion 0 ~ 20.0kHz		ΔGD	-	-	2.4	1/fs
Group Delay (Note 6)		GD	-	5.5	-	1/fs
ADC Digital Filter (HPF):						
Frequency Response	-3.0dB	FR	-	1.0	-	Hz
	-0.5dB		-	2.5	-	Hz
(Note 5)	-0.1dB		-	6.5	-	Hz

Note 5. 各振幅特性の周波数は fs (システムサンプリングレート) に比例します。

例えば、PB=0.45 × fs (@-1.0dB) です。

Note 6. デジタルフィルタによる演算遅延で、アナログ信号が入力されてから両チャンネルの24bitデータが出力レジスタにセットされるまでの時間でHPFによる群遅延も含まれます。

10. フィルタ特性 (fs=96kHz)

(Ta=25°C; VA=VD=2.7~5.5V, fs=96kHz)

Parameter		Symbol	min	typ	max	Unit
ADC Digital Filter (Decimation LPF): SHARP ROLL-OFF(FSEL pin="L")						
Passband (Note 5)	±0.16dB	PB	0	-	37.6	kHz
	-0.28dB		-	40.0	-	kHz
	-3.0dB		-	45.6	-	kHz
Stopband (Note 5)		SB	56.8	-	-	kHz
Stopband Attenuation		SA	71	-	-	dB
Group Delay Distortion 0 ~ 20.0kHz		ΔGD	-	0	-	1/fs
Group Delay (Note 6)		GD	-	15.5	-	1/fs
ADC Digital Filter (Decimation LPF): SHORT DELAY SHARP ROLL-OFF FILTER(FSEL pin="H")						
Passband (Note 5)	±0.16dB	PB	0	-	37.6	kHz
	-0.28dB		-	40.0	-	kHz
	-3.0dB		-	45.6	-	kHz
Stopband (Note 5)		SB	56.8	-	-	kHz
Stopband Attenuation		SA	72	-	-	dB
Group Delay Distortion 0 ~ 20.0kHz		ΔGD	-	-	2.4	1/fs
Group Delay (Note 6)		GD	-	5.5	-	1/fs
ADC Digital Filter (HPF):						
Frequency Response	-3.0dB	FR	-	2.0	-	Hz
	-0.5dB		-	5.0	-	Hz
	(Note 5) -0.1dB		-	13.0	-	Hz

Note 5. 各振幅特性の周波数は fs (システムサンプリングレート) に比例します。

例えば PB=0.45 × fs (@-1.0dB) です。

Note 6. デジタルフィルタによる演算遅延で、アナログ信号が入力されてから両チャンネルの24bitデータが出力レジスタにセットされるまでの時間でHPFによる群遅延も含まれます。

11. DC特性

(Ta=25°C; VA=VD=2.7~5.5V)

Parameter		Symbol	min	typ	max	Unit
ハイレベル入力電圧		V _{IH}	75%VD	-	-	V
ローレベル入力電圧		V _{IL}	-	-	25%VD	V
ハイレベル出力電圧	I _{out} =-80μA	V _{OH}	VD-0.4	-	-	V
ローレベル出力電圧	I _{out} =80μA	V _{OL}	-	-	0.4	V
入力リーク電流		I _{in}	-	-	±10	μA

12. スイッチング特性

(特記なき場合はTa=-40~+105°C; VA=VD=2.7~5.5V; CL=20pF)

Parameter	Symbol	min	typ	max	Unit	
Master Clock Timing						
Master Clock	256fs:	fCLK	2.048	12.288	24.576	MHz
	Pulse Width Low	tCLKL	16			ns
	Pulse Width High	tCLKH	16			ns
384fs:	fCLK	3.072	18.432	36.864	MHz	
	Pulse Width Low	tCLKL	11			ns
	Pulse Width High	tCLKH	11			ns
512fs:	fCLK	4.096	24.576	24.576	MHz	
	Pulse Width Low	tCLKL	16			ns
	Pulse Width High	tCLKH	16			ns
768fs:	fCLK	6.144	36.864	36.864	MHz	
	Pulse Width Low	tCLKL	11			ns
	Pulse Width High	tCLKH	11			ns
LRCK Timing (Slave Mode)						
Normal mode						
LRCK Frequency	fs	8		96	kHz	
Duty Cycle	Duty	45		55	%	
TDM256 MODE						
LRCK Frequency	fs	8		96	kHz	
“H” time	tLRH	1/256fs			ns	
“L” time	tLRL	1/256fs			ns	
LRCK Timing (Master Mode)						
Normal mode						
LRCK Frequency	fs	8		96	kHz	
Duty Cycle	Duty		50		%	
TDM256 MODE						
LRCK Frequency	fs	8		96	kHz	
“H” time	tLRH		1/8fs		ns	

Note 7. I²Sフォーマット時は“L” timeです。

Parameter	Symbol	min	typ	max	Unit
Audio Interface Timing (Slave mode)					
Normal mode					
BICK Period	tBCK	160			ns
BICK Pulse Width Low	tBCKL	65			ns
Pulse Width High	tBCKH	65			ns
LRCK Edge to BICK “↑” (Note 8)	tLRB	30			ns
BICK “↑” to LRCK Edge (Note 8)	tBLR	30			ns
LRCK to SDTO (MSB) (Except I ² S mode)	tLRS			35	ns
BICK “↓” to SDTO	tBSD			35	ns
TDM256 mode					
BICK Period	tBCK	40			ns
BICK Pulse Width Low	tBCKL	16			ns
Pulse Width High	tBCKH	16			ns
LRCK Edge to BICK “↑” (Note 8)	tLRB	10			ns
BICK “↑” to LRCK Edge (Note 8)	tBLR	10			ns
SDTO Setup time BICK “↑”	tBSS	7			ns
SDTO Hold BICK “↑”	tBSH	6			ns
TDMI Hold Time	tSDH	4			ns
TDMI Setup Time	tSDS	5			ns
Audio Interface Timing (Master mode)					
Normal mode					
BICK Frequency	fBCK		64fs		Hz
BICK Duty	dBCK		50		%
BICK “↓” to LRCK	tMBLR	-20		20	ns
BICK “↓” to SDTO	tBSD	-40		40	ns
TDM256 mode					
BICK Frequency	fBCK		256fs		Hz
BICK Duty (Note 9)	dBCK		50		%
BICK “↓” to LRCK	tMBLR	-10		10	ns
SDTO Setup time BICK “↑”	tBSS	7			ns
SDTO Hold BICK “↑”	tBSH	6			ns
TDMI Hold Time	tSDH	4			ns
TDMI Setup Time	tSDS	5			ns
Power-Down & Reset Timing					
PDN Pulse Width (Note 10)	tPD	150			ns
PDN Reject Pulse Width (Note 10)	tRPD			30	ns
PDN “↑” to SDTO valid (Note 11)	tPDV		4129		1/fs

Note 8. この規格値はLRCKのエッジとBICKの“↑”が重ならないように規定しています。

Note 9. MCLKのデューティが50%のとき。

Note 10. 電源投入時はPDN pin を“L” にすることでリセットがかかります。150ns以上のPDN pin = “L” パルスでリセットがかかります。30ns以下のPDN pin = “L” パルスではリセットはかかりません。

Note 11. PDN pin を立ち上げてからのLRCKクロックの“↑”の回数です。

■ タイミング波形

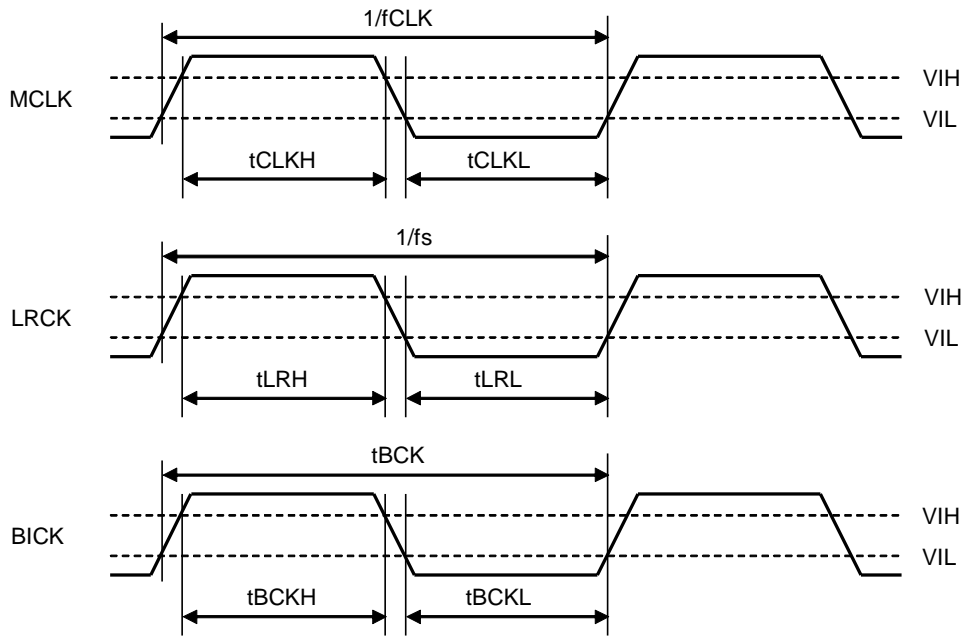


Figure 1. Clock Timing (Slave mode)

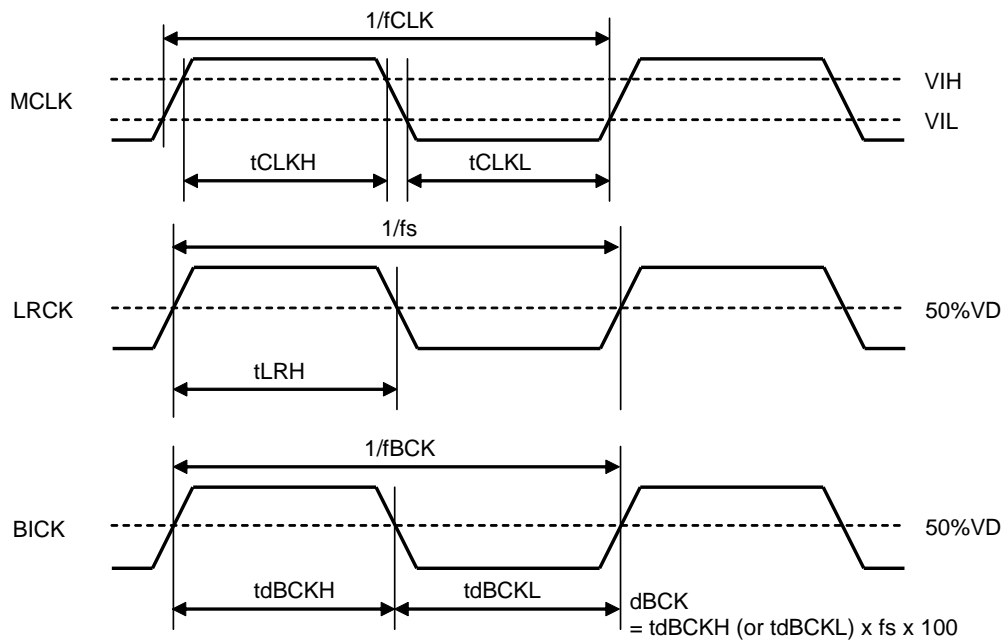


Figure 2. Clock Timing (Master mode)

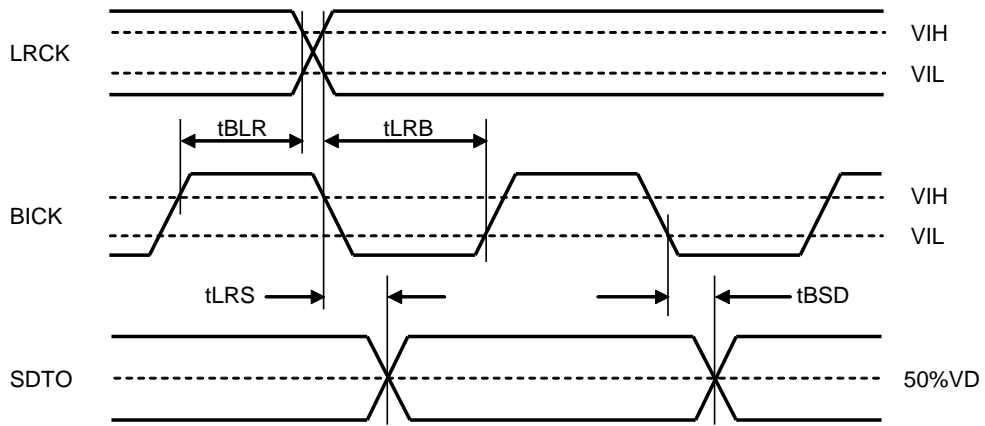


Figure 3. Audio Interface Timing (Normal mode & Slave mode)

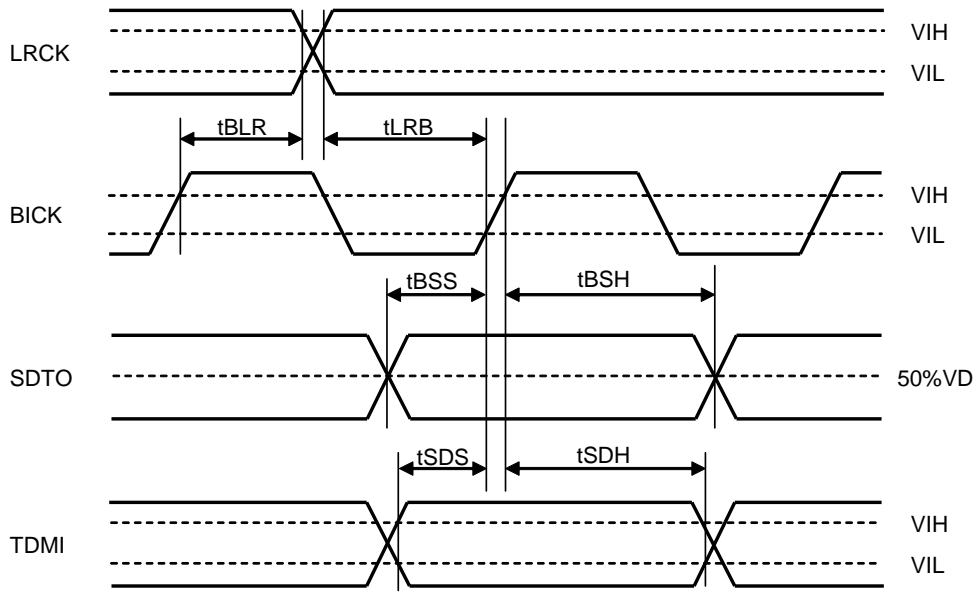


Figure 4. Audio Interface Timing (TDM mode & Slave mode)

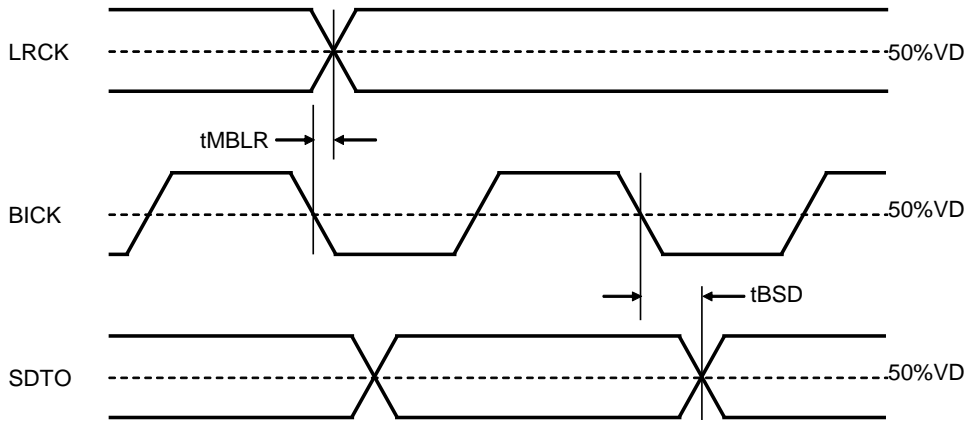


Figure 5. Audio Interface Timing (Normal mode & Master mode)

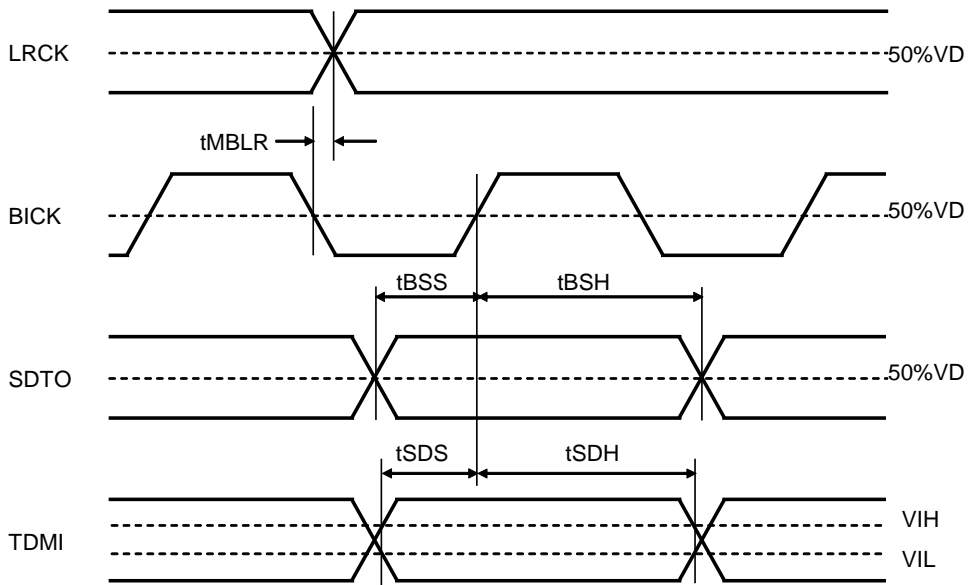


Figure 6. Audio Interface Timing (TDM mode & Master mode)

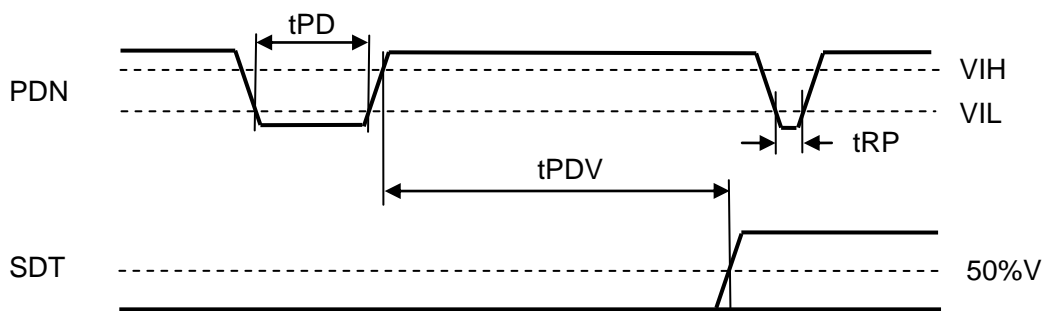


Figure 7. Power-down & Reset Timing

13. 機能説明

■ システムクロック

AK5720に必要とされるクロックはMCLK, BICK, LRCKです。MCLKとLRCKは同期する必要はありますが、位相を合わせる必要はありません。Table 1に標準のオーディオレートに対してAK5720に必要とされる各クロックの周波数を示します。スレーブモードでの動作時(PDN pin = "H")は、各外部クロック(MCLK, BICK, LRCK)を止めてはいけません。クロックを止める場合はパワーダウン状態(PDN pin = "L")にして下さい。マスタモードではパワーダウン時以外は、外部クロック(MCLK)を供給して下さい。

fs	MCLK					
	128fs	192fs	256fs	384fs	512fs	768fs
32kHz	N/A	N/A	8.192MHz	12.288MHz	16.384MHz	24.576MHz
44.1kHz	N/A	N/A	11.2896MHz	16.9344MHz	22.5792MHz	33.8688MHz
48kHz	N/A	N/A	12.288MHz	18.432MHz	24.576MHz	36.864MHz
96kHz	N/A	N/A	24.576MHz	36.864MHz	N/A	N/A

Table 1. System Clock Example

■ オーディオインタフェースフォーマット

CKS pin (Table 2)に接続する外付け抵抗の値と接続先でインターフェースモードを設定します。モード毎にMCLK周波数およびBICK周波数とfsの関係、マスタモードかスレーブモードかが決まります。

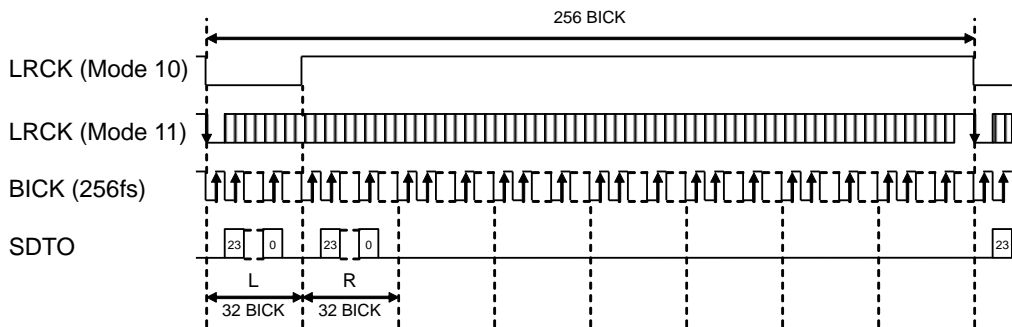
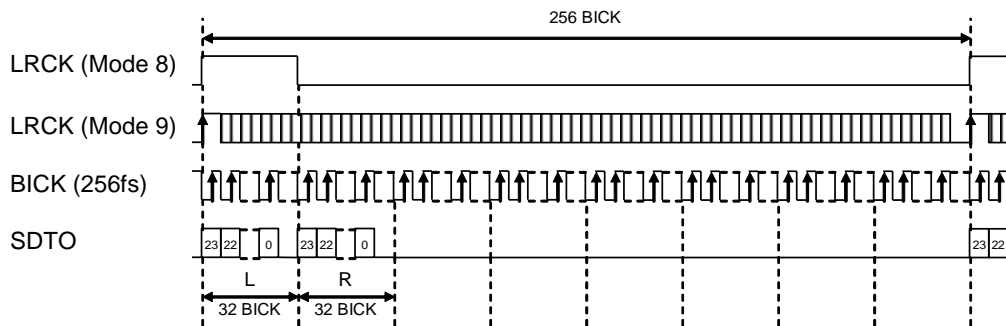
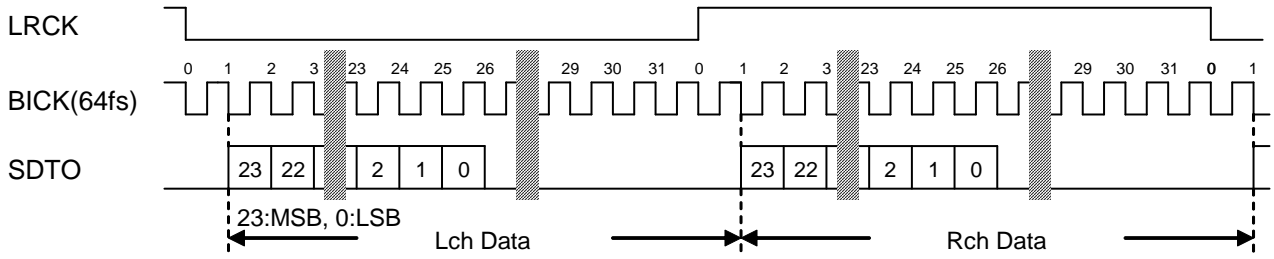
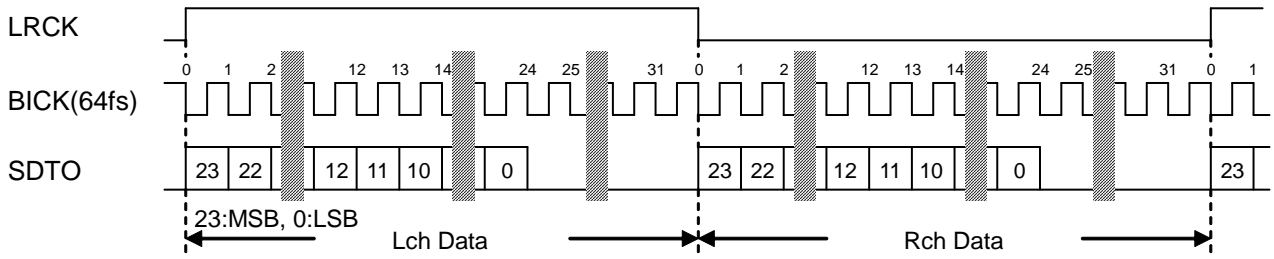
CKS pinが直接もしくは外付け抵抗4.7kΩを介してGNDまたはVAに接続された場合(Normal mode)、DIF/TDMI pinはオーディオデータフォーマット選択ピンとして機能し、24bit前詰めとI²Sからフォーマットを選択できます。オーディオデータはBICKの立下りでSDTO pinに出力されます。オーディオインタフェースはマスタモードとスレーブモードに対応します。マスタモードではLRCKとBICKは出力になり、スレーブモードでは入力になります。マスタモード時のLRCK周波数とBICK周波数はそれぞれ1fsと64fsです。

CKS pinが外付け抵抗18kΩもしくは82kΩを介してGNDまたはVAに接続された場合(TDM mode)、DIF/TDMI pinはTDMデータ入力ピンとして機能します。TDM modeのときオーディオデータはBICKの立ち上がりでSDTO pinに出力されます。このSDTO出力データは自身のTDMI pinに入力したときにBICKの立ち上がりに対するセットアップ、ホールド時間を満たすような遅延を持ちます。

Mode	CKS	DIF /TDMI	SDTO	Master /Slave	MCLK	LRCK	BICK
0	< 10Ω to GND (Short to GND)	L	MSB	Slave	256/384fs (8k≤fs≤96k) 512/768fs (8k≤fs≤48k)	H/L	≥ 48fs or 32fs
1		H	I ² S			L/H	
2	< 10Ω to VA (Short to VA)	L	MSB	Master	256fs (8k≤fs≤96k)	H/L	64fs
3		H	I ² S			L/H	
4	4.7kΩ±10% to GND	L	MSB	Master	384fs (8k≤fs≤96k)	H/L	64fs
5		H	I ² S			L/H	
6	4.7kΩ±10% to VA	L	MSB	Master	512fs (8k≤fs≤48k)	H/L	64fs
7		H	I ² S			L/H	
8	18kΩ±10% to GND	TDMI	MSB	Master	256fs (8k≤fs≤96k)	↑	256fs
9	18kΩ±10% to VA	TDMI	MSB	Slave	256fs (8k≤fs≤96k)	↑	256fs
10	82kΩ±10% to GND	TDMI	I ² S	Master	256fs (8k≤fs≤96k)	↓	256fs
11	82kΩ±10% to VA	TDMI	I ² S	Slave	256fs (8k≤fs≤96k)	↓	256fs

Table 2. Operation Mode Select

Note 12. BICK = 32fs入力時は、SDTO出力は16bit出力となります。



■ デジタルHPF

ADCはDCオフセットキャンセルのためにデジタルHPFを内蔵します。HPFの f_c は、 $f_s=48\text{kHz}$ 時 1.0Hz になっており、周波数応答は f_s に比例します。

■ パワーダウン

AK5720はPDN pinを“L”にすることでパワーダウンモードにできます。この時、同時にデジタルフィルタがリセットされます。このリセットは電源投入時に必ず一度行って下さい。パワーダウンモード時はVCOMはVSSの電圧になります。パワーダウンモードが解除されると初期化サイクルが開始されます。そのため、出力データSDTOはスレープモード時は $4132 \times \text{LRCK}$ サイクル後、マスタモード時は $4129 \times \text{LRCK}$ サイクル後確定します。初期化中は両チャンネルのADC出力データは2's complementの“0”で、初期化終了後、ADC出力はアナログ入力信号に相当するデータにセトリングします(セトリングは群遅延時間程度かかります)。

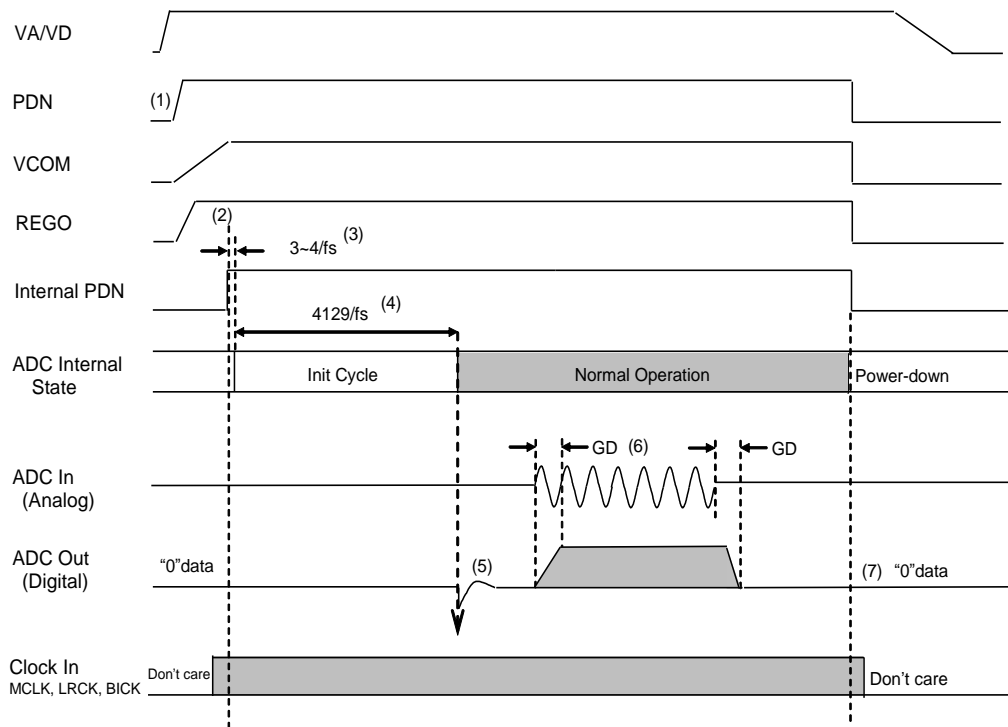


Figure 12. パワーダウン/アップ時タイミング例

注:

- (1) PDN pin = “L”の状態に電源を投入し、すべての電源が立ち上がった後、PDN pinを“H”にしてください。
- (2) $147456/\text{MCLK}$ 後に内部パワーダウンは解除されます。
- (3) 内部パワーダウンが解除されてから初期化サイクルが開始するまで $3-4/f_s$ かかります。
- (4) 内部パワーダウン解除後、デジタル部が初期化されます。スタートアップ時のADCへの入力電圧は動作状態のコモン電圧を入力してください。RIN, LIN pinがコモン電圧にセトリングするのにDCカットコンデンサのチャージアップタイムが必要です。DCカットコンデンサが $10\mu\text{F}$ の時、 $\tau=400\text{ms}$ (TYP)でセトリングします。

- (5) デジタル部の初期化終了時ADC出力に異音が出力されます。異音が問題になる場合はADC出力を受ける側でミュートして下さい。
- (6) アナログ入力に対するデジタル出力は群遅延をもちます。
- (7) パワーダウン時ADC出力は“0” データです。

■ システムリセット

電源投入時、一度PDN pinを“L”にしてリセットして下さい。スレーブモード時、PDN pinを“H”にする
とリセット及びパワーダウンはLRCKの立ち上がりエッジ(出力フォーマットがI2S Comptibleの時は立
ち下がリエッジ)で解除されます。マスターモード時、PDN pinを“H”にする
とリセット及びパワーダウンはMCLKで解除されます。

■ TDM カスケードモード

TDM256 mode

AK5720はTDM256 mode時に最大4台までのカスケード接続に対応します。この時、デバイス#1/#2/#3の
SDTO pinはデバイス#2/#3/#4のTDMI pinに接続されます (Figure 13)。デバイス#4のSDTO pinから8チャ
ンネルのTDMデータを出力できます (Figure 14)。

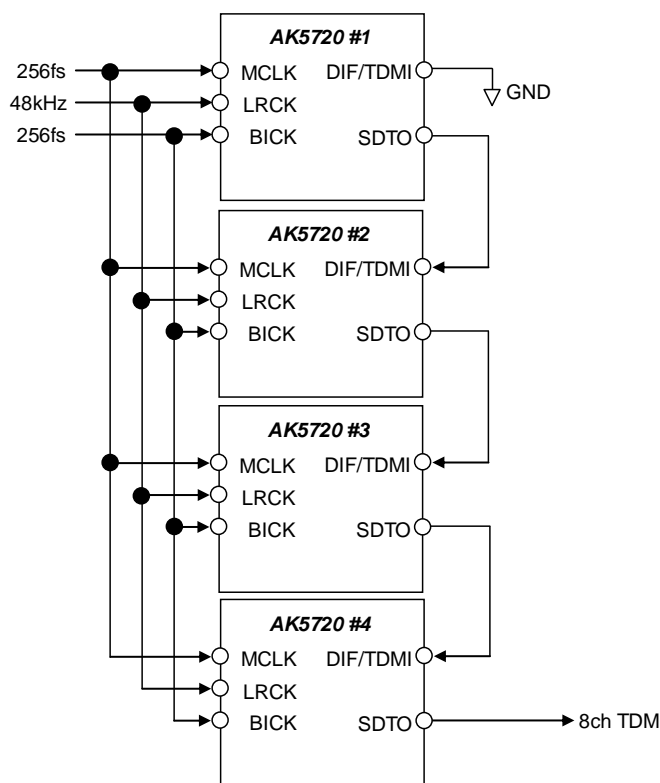


Figure 13. Cascade TDM Connection Diagram

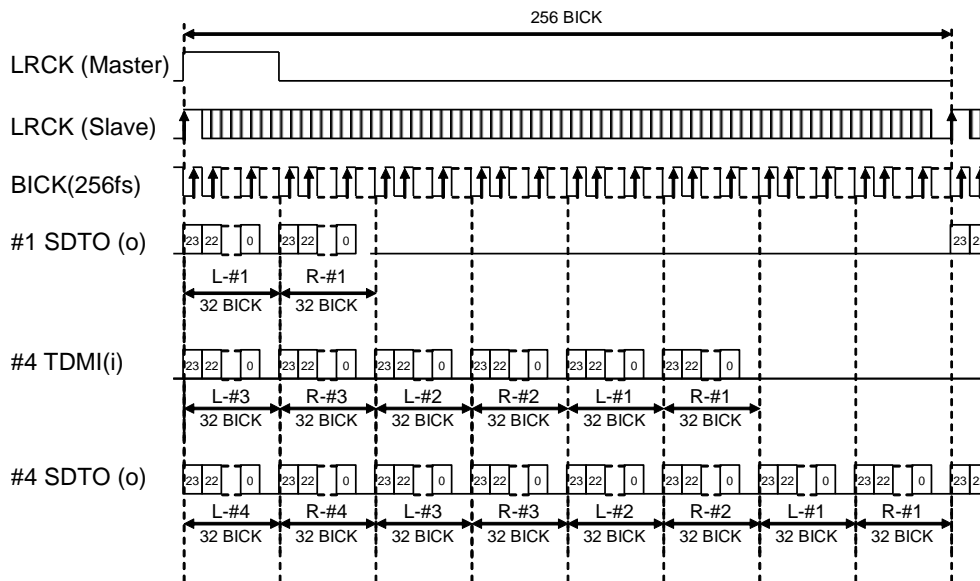
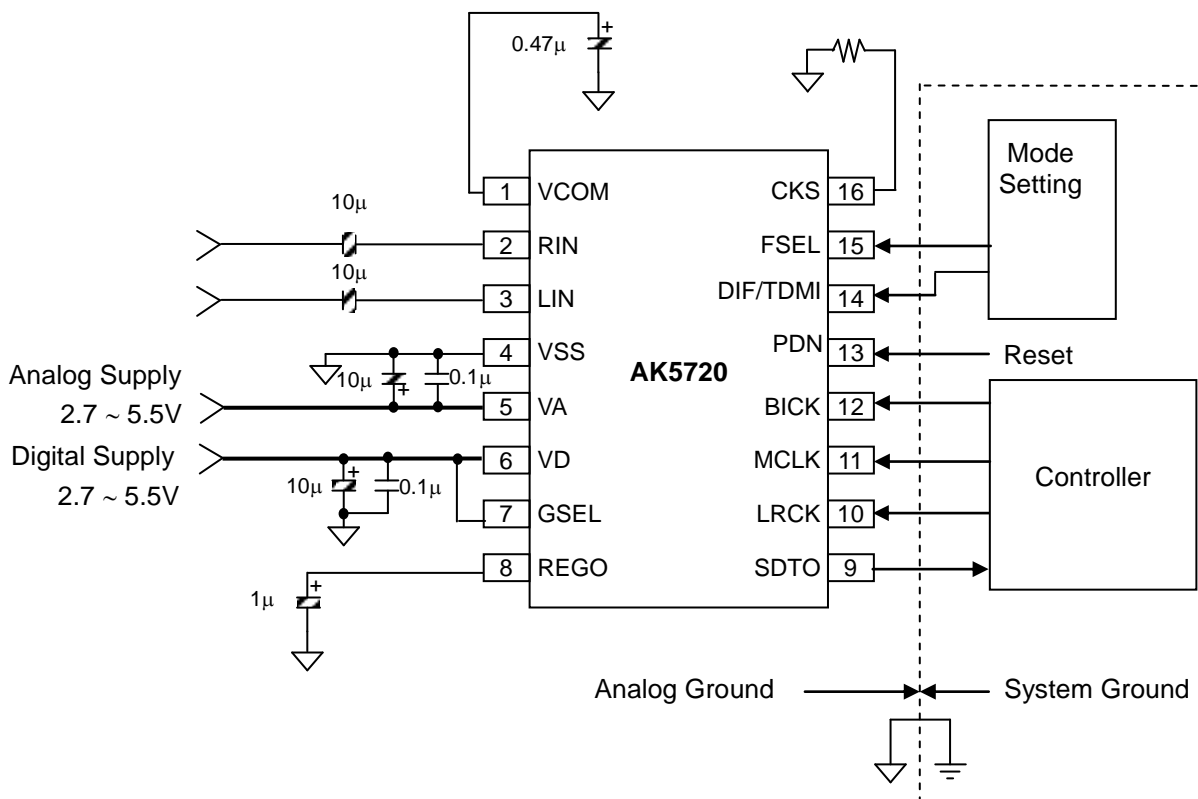


Figure 14. Cascade TDM Timing (TDM256 Mode (Left Justified))

14. システム設計

Figure 15はシステム接続例です。具体的な回路と測定例については評価ボード(AKD5720)を参照して下さい。



注:

- 全てのデジタル入力ピンはオープンにしないで下さい。

Figure 15. Typical Connection Diagram

1. グランドと電源のデカップリング

電源とグラウンドの取り方には十分注意して下さい。通常、VAとVDにはシステムのアナログ電源を供給します。VAとVDが別電源で供給される場合には、電源立ち上げシーケンスを考える必要はありません。VSSはアナロググラウンドに接続して下さい。システムのグラウンドはアナログとデジタルで分けて配線しPCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. 基準電圧

VA pinに入力される電圧がアナログ入力レンジを設定します。VCOMは50% VA電圧を出力しており、アナログ信号のコモン電圧として使われます。このピンには、0.47 μ F程度のコンデンサをピンにできるだけ近づけてVSSとの間に接続して下さい。VCOM pinから電流を取ってはいけません。また、デジタル信号、特にクロックは変調器へのカップリングを避けるためにVCOM, VA pinからできるだけ離して下さい。

3. アナログ入力

ADC入力はシングルエンド入力になっており、内部では41k Ω (typ@fs=48kHz)の抵抗でVCOM電圧にバイアスされています。入力レンジは0.6 \times VA Vpp (typ.)です。AK5720はVSSからVAまでの電圧を入力することができます。出力コードのフォーマットは2's complementです。DCオフセット(ADC自体のDCオフセットも含む)は内蔵のHPFでキャンセルされます。

AK5720は64fsでアナログ入力をサンプリングします。デジタルフィルタは、64fsの整数倍付近の帯域を除く阻止域以上のノイズを全て除去します。AK5720は64fs付近のノイズを減衰させるためにアンチエイリアジングフィルタ(RCフィルタ)を内蔵しています。

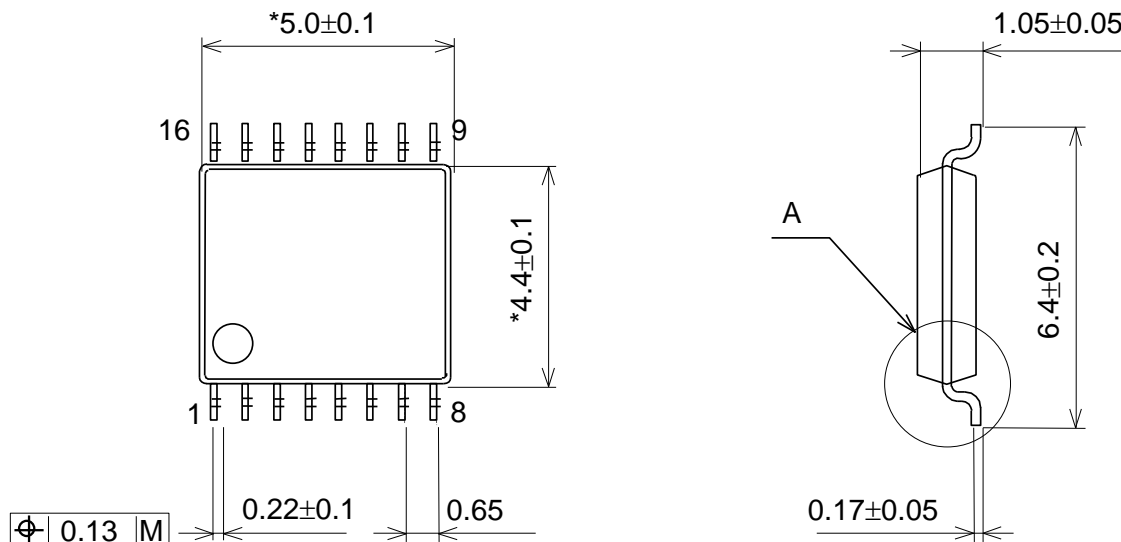
4. CKS pin外付け抵抗

CKS pinからノイズが入らないようにCKS pinの外付け抵抗はできるだけCKS pinに近接させ、ノイズ源となる信号からはできるだけ遠ざけてください。

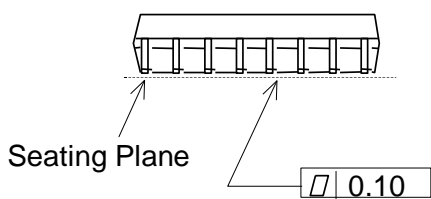
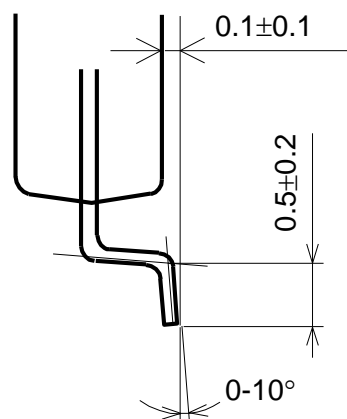
15. パッケージ

■ 外形寸法図

16pin TSSOP (Unit: mm)



Detail A

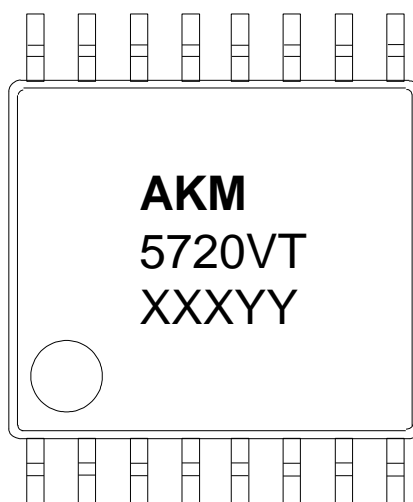


NOTE: Dimension "*" does not include mold flash.

■ 材質・メッキ仕様

- パッケージ材質: エポキシ系樹脂
- リードフレーム材質: 銅
- リードフレーム処理: 半田 (無鉛) メッキ

■ マーキング



- 1) Pin #1 indication
- 2) Date Code : XXXYY (5 digits)
 XXX: Week Code
 YY: Factory Control Code
- 3) Marketing Code : 5720VT
- 4) Asahi Kasei Logo

16. 改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
14/04/10	00	初版		
14/12/18	01	記述変更	16	情報が重複しているためTable 2とTable 3を統合。 表名を英語版に合わせて変更。

重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替及び外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。