

AKD5720-A

AK5720評価ボード Rev.1

概 要

AKD5720-Aはデジタルオーディオ機器用に開発された低電圧24bit A/Dコンバータ、AK5720の評価ボードです。アナログ信号入力用にジャックを搭載しています。また、デジタルインタフェースにも対応しており、光コネクタを介してデジタルオーディオ機器とのインタフェースが可能です。

■ オーダリングガイド

AKD5720-A --- AK5720評価用ボード

機 能

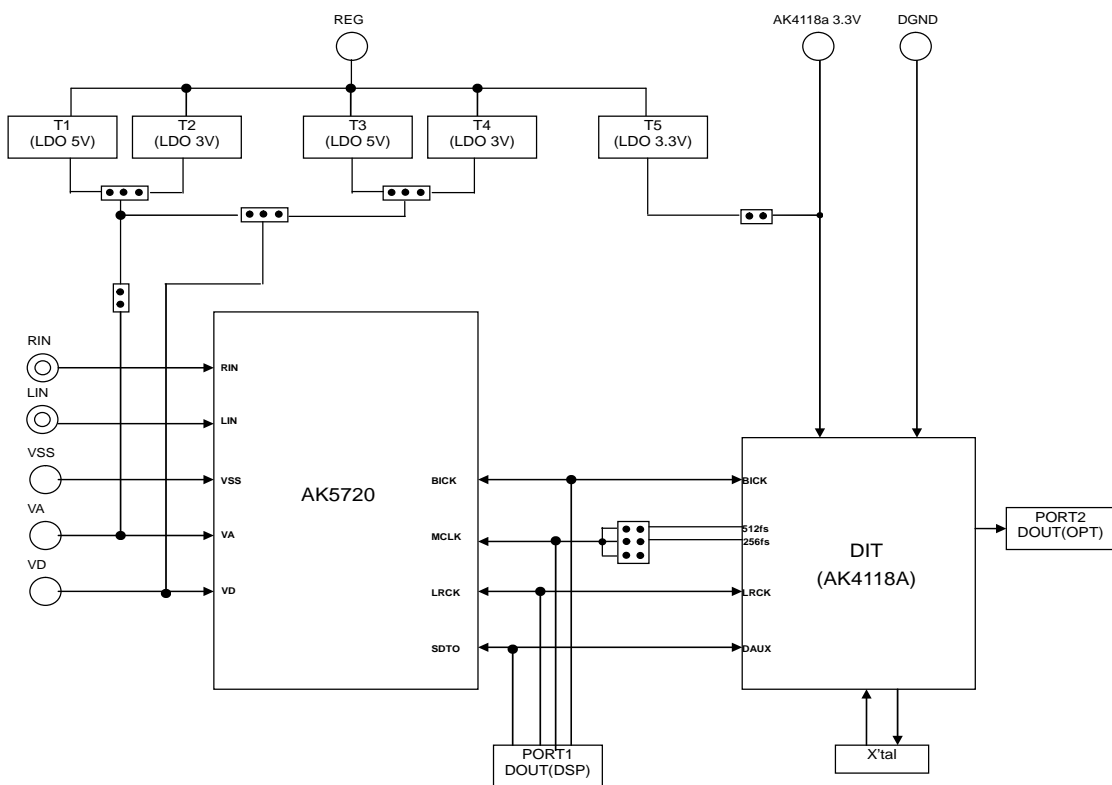


Figure 1.AKD5720-A Block Diagram

ボード外略図

■概略図

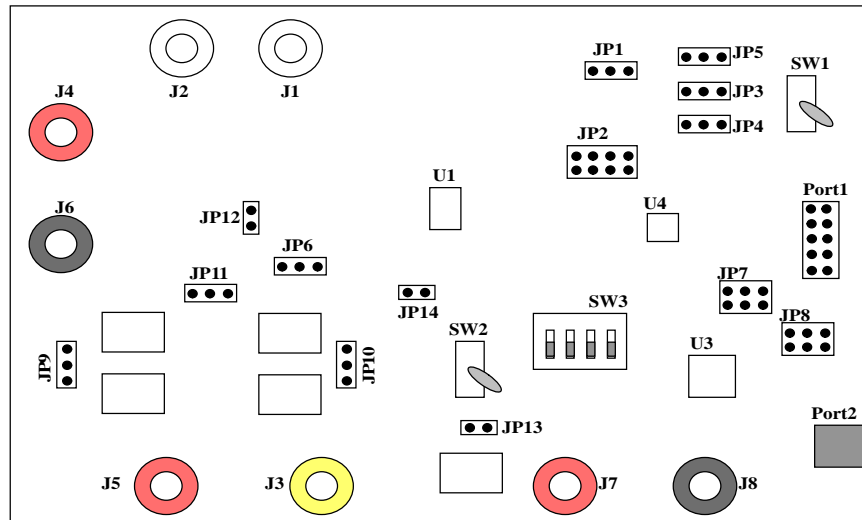


Figure 2. Outline Chart

■説明

- (1) J1,J2 (Analog data)
RCA jack. アナログ信号入力用
- (2) J3,J4, J5, J6, J7,J8(Power supply)
電源用端子
- (3) PORT1 (10pin header)
評価用10pin header (MCLK, BICK, LRCK, SDTO, TDM)
- (4) PORT2 (Digital Data)
SPDIF 出力(光出力)
- (5) U1(AK5720)
低電圧24bit A/Dコンバータ
- (6) U2(AK4118A)
AK4118AはDITとして動作し、AK5720のデジタルデータを出力
- (7) SW1(Toggle switch)
AK5720のPDNピン用SW
“H” : AK5720のPDNが[♯]Hi
“L” : AK5720のPDNが[♯]Lo
- (8) SW2(Toggle switch)
AK4118AのPDNピン用SW
“H” : AK4118AのPDNが[♯]Hi
“L” : AK4118AのPDNが[♯]Lo

- (9) SW3(Dip switch)
AK5720とAK4118Aの設定用SW
Table4.を参照
- (10) JP1, JP2, JP3, JP4
AK5720 のオーディオインターフェースフォーマットを設定します。
- (11) JP5
AK5720のDigital Filterを設定します。
- (12) JP6
AK5720のInput Gainを設定します。
- (13) JP7
AK4118aの設定します。
- (14) JP8
AK4118aの設定します。
- (15) JP9, JP10, JP11, JP12, JP13, JP14
AK5720とAK4118aの電源を設定します。

評価ボードマニュアル

■ 操作手順**1) 電源の設定****2) 評価モード****(1) AK4118AのDIT機能を使用したA/D部の評価**

- (1-1) スレーブモード (出荷時)
- (1-2) マスターモード
- (1-3) PLL スレーブモード

(2) 外部クロックを使用したA/D部の評価

- (2-1) スレーブモード
- (2-2) マスターモード
- (2-3) PLL スレーブモード

3) JPおよびSWの設定**(1) その他JPの設定****(2) SWの設定****4) 電源投入**

1) 電源の設定

JP9 (SEL_VA): レギュレータからVAに供給する電源電圧を設定します。

- ・ JP9 5V : VAに5Vを供給する。 < 出荷時 >
- 3V : VAに3Vを供給する。

JP10 (SEL_VD): レギュレータからVDに供給する電源電圧を設定します。

- ・ JP10 5V : VDに5Vを供給する。 < 出荷時 >
- 3V : VDに3Vを供給する。

JP11 (VD): VDラインとVAラインを共通 or 分離で設定します。

- ・ JP11 VA : VDラインとVAラインを共通にする。 < 出荷時 >
- VD : VDラインとVAラインを分離する。
- OPEN : レギュレーターからVDに電源を供給しない。 < 出荷時 >

JP12 (VA): レギュレーターからVAに電源を供給します。

- ・ JP12 OPEN : VAに電源を供給しない。 < 出荷時 >
- SHORT : VAに電源を供給する。

JP13 (4118a_3.3V): レギュレーターからAK4118aに電源を供給します。

- ・ JP13 OPEN : AK4118aに電源を供給しない。 < 出荷時 >
- SHORT : AK4118aに電源を供給する。

JP14 : VSSとDGNDを接続します。

- ・ JP14 OPEN : VSSとDGNDを分離します。
- SHORT : VSSとDGNDを接続します。 < 出荷時 >

(1) レギュレータからVA, VD, 4118a_3.3Vに電源を供給する場合 <出荷時>

電源の接続

名称	色	設定	詳細
VA	Red	Open	レギュレータから供給されるので使用しません
VD	Red	Open	レギュレータから供給されるので使用しません
VSS	Black	0V	AK5720用グラウンド
4118a_3.3V	Red	Open	レギュレータから供給されるので使用しません
DGND	Black	0V	AK4118a用グラウンド
REG	Yellow	+7V	レギュレーターへ供給.

Table 1 電源の接続 (レギュレータを使用する時)

JPの設定

名称	設定
JP9	5V側をショート
JP10	5V側をショート
JP11	VA側 : VDラインとVAラインを共通 VD側 : VDラインとVAラインを分離
JP12	ショート
JP13	ショート

Table 2 VA=VD=5V時のJP設定

名称	設定
JP9	3V側をショート
JP10	3V側をショート
JP11	VA側 : VDラインとVAラインを共通 VD側 : VDラインとVAラインを分離
JP12	ショート
JP13	ショート

Table 3 VA=VD=3V時のJP設定

(2) 各電源端子から電源を供給する場合

電源の接続

名称	色	設定	詳細
VA	Red	+2.7~+5.5V	AK5720のVAへ供給
VD	Red	+2.7~VA V	AK5720のVDへ供給
VSS	Black	0V	AK5720用グラウンド
4118a_3.3V	Red	+3.3V	AK4118a用の電源
DGND	Black	0V	AK4118a用グラウンド
REG	Yellow	Open	使用しません

Table 4 電源の接続 (レギュレータを使用しない場合)

JPの設定

名称	設定
JP9	オープン
JP10	オープン
JP11	VA側ショート
JP12	ショート
JP13	オープン

Table 5 VA=VDで使用时

名称	設定
JP9	オープン
JP10	オープン
JP11	VD側ショート
JP12	オープン
JP13	オープン

Table 6 VA≠VDで使用时

2) 評価モード

AK4118Aを使用してAK5720を評価する場合は、必ずAK5720とAK4118Aのオーディオインタフェースフォーマットを一致させて下さい。AK5720のオーディオインタフェースフォーマットは”Table 7”,”Table 8”、AK4118Aのオーディオインタフェースフォーマットは”Table 10”をそれぞれ参照して下さい。AK4118Aはfs=32kHz以上に対応します。fs=32kHz未満で評価する場合は他のモードをお使い下さい。詳細はAK5720のデータシートを参照して下さい。

(1) AK4118AのDIT機能を使用したA/D部の評価

(1-1) スレーブモード (出荷時)

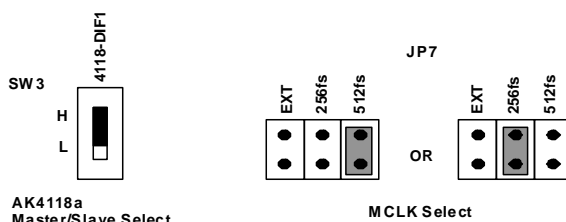
PORT2 (TOTX) を使用します。

- ・ PORT1: Open
- ・ AK5720: スレーブモード
- ・ JP1~JP4の設定: Table 7参照
- ・ AK4118A: マスターモード
- ・ SW3(4118-DIF1): “Lo”

Mode	JP1 (VA/GND)	JP2 (CKS)	JP4 (DIF/TDMI)	JP3 (DIF)	SDTO	Master/Slave	MCLK	BICK
Normal	GND	1側をショート (Short to GND)	DIF	L	MSB	Slave	256/384fs (8k≤fs≤96k) 512/768fs (8k≤fs≤48k)	≥ 48fs or 32fs
			DIF	H	I ² S			
	VA	1側をショート (Short to VA)	DIF	L	MSB	Master	256fs (8k≤fs≤96k)	64fs
			DIF	H	I ² S			
	GND	2側をショート (4.7kΩ±10% to GND)	DIF	L	MSB	Master	384fs (8k≤fs≤96k)	64fs
			DIF	H	I ² S			
	VA	2側をショート (4.7kΩ±10% to VA)	DIF	L	MSB	Master	512fs (8k≤fs≤48k)	64fs
			DIF	H	I ² S			
TDM	GND	3側をショート (18kΩ±10% to GND)	TDMI		MSB	Master	256fs (8k≤fs≤96k)	256fs
	VA	3側をショート (18kΩ±10% to VA)	TDMI		MSB	Slave	256fs (8k≤fs≤96k)	256fs
	GND	4側をショート (82kΩ±10% to GND)	TDMI		I ² S	Master	256fs (8k≤fs≤96k)	256fs
	VA	4側をショート (82kΩ±10% to VA)	TDMI		I ² S	Slave	256fs (8k≤fs≤96k)	256fs

Table 7 スレーブモード時のJP1~JP4の設定

AK5720のMCLK、BICK、LRCKをAK4118Aから供給します。PORT2はAK4118Aを介してAK5720のデータを光出力します。AK5720のMCLKはJP7で512fsと256fsを選択できます。



(1-2)マスターモード

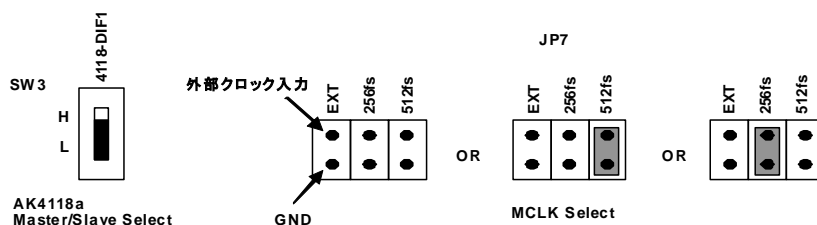
PORT2 (TOTX) を使用します。

- ・ PORT1: Open
- ・ AK5720: マスターモード
- ・ JP1~JP4の設定 :Table 8参照
- ・ AK4118A: スレーブモード
- ・ SW3(4118-DIF1) : “Hi”

Mode	JP1 (VA/GND)	JP2 (CKS)	JP4 (DIF/TDMI)	JP3 (DIF)	SDTO	Master/Slave	MCLK	BICK
Normal	GND	1側をショート (Short to GND)	DIF	L	MSB	Slave	256/384fs (8k≤fs≤96k) 512/768fs (8k≤fs≤48k)	≥ 48fs or 32fs
			DIF	H	I ² S			
	VA	1側をショート (Short to VA)	DIF	L	MSB	Master	256fs (8k≤fs≤96k)	64fs
			DIF	H	I ² S			
GND	2側をショート (4.7kΩ±10% to GND)	DIF	L	MSB	Master	384fs (8k≤fs≤96k)	64fs	
		DIF	H	I ² S				
VA	2側をショート (4.7kΩ±10% to VA)	DIF	L	MSB	Master	512fs (8k≤fs≤48k)	64fs	
		DIF	H	I ² S				
TDM	GND	3側をショート (18kΩ±10% to GND)	TDMI		MSB	Master	256fs (8k≤fs≤96k)	256fs
			TDMI		MSB			
	VA	3側をショート (18kΩ±10% to VA)	TDMI		MSB	Slave	256fs (8k≤fs≤96k)	256fs
			TDMI		I ² S			
GND	4側をショート (82kΩ±10% to GND)	TDMI		I ² S	Master	256fs (8k≤fs≤96k)	256fs	
		TDMI		I ² S				Slave
VA	4側をショート (82kΩ±10% to VA)	TDMI		I ² S	Slave	256fs (8k≤fs≤96k)	256fs	
		TDMI		I ² S				

Table 8 マスターモード時のJP1~JP4の設定

AK5720のMCLKをAK4118Aあるいは外部(EXT)より供給します。AK5720のLRCK、BICK、SDTOはAK4118Aへ出力されます。PORT2はAK4118Aを介してAK5720のデータを光出力します。AK5720のMCLKはJP10で512fsと256fsを選択できます。



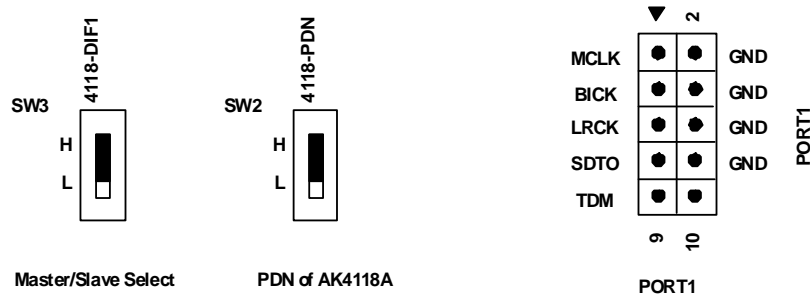
(2) 外部クロックを使用したA/D部の評価

(2-1) スレーブモード

PORT1 (DSP)を使用します。

- ・ SW2: “Lo” (AK4118Aは使用しません)
- ・ AK5720: スレーブモード
- ・ JP1～JP4の設定 : Table 7参照
- ・ SW3(4118-DIF1) : “Lo”

AK5720のMCLK、BICK、LRCKをPORT1から供給します。AK5720のSTD0はPORT1から出力されます。

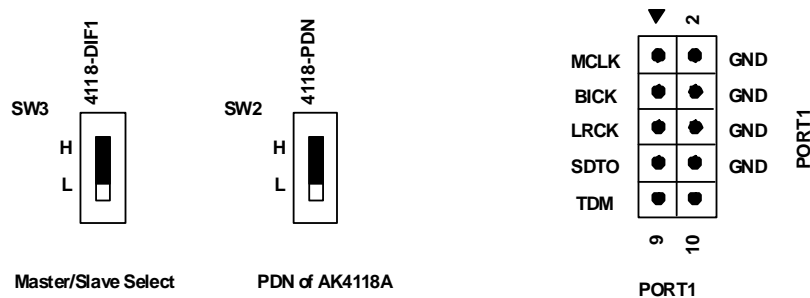


(2-2) マスターモード

PORT1 (DSP) を使用します。

- ・ SW2: “Lo” (AK4118Aは使用しません)
- ・ AK5720: マスターモード
- ・ JP1～JP4の設定 : Table 8参照
- ・ SW3(4118-DIF1) : “Lo”

AK5720のMCLKをPORT1から供給します。AK5720のLRCK、BICK、SDTOはPORT1へ出力されます。



3) JPおよびSWの設定

(1) その他JPの設定

JP5 (FSEL): “AK5720のDigital Filter”を設定します。

- ・ JP5 L : Sharp Roll-Off. < 出荷時 >
- H : Short Delay Sharp Roll-Off.

JP6 (GSEL): “AK5720のInput Gain”を設定します。

- ・ JP6 L : 0dB. < 出荷時 >
- H : +6dB.

JP8 : AK4118aのSTDO,BICK, LRCKラインのOPEN / SHORTを選択します。

- ・ JP8 SDTO : SHORT < 出荷時 >
- BICK : SHORT < 出荷時 >
- LRCK : SHORT < 出荷時 >

(2) SWの設定

[SW3] (SW DIP-4): AK4118A.のモード設定

No.	Name	ON (“H”)	OFF (“L”)	出荷時
1	4118-DIF1	Table 10参照		OFF
2	4118-DIF0			ON
3	4118-OCKS0	Table 11参照		OFF
4	4118-OCKS1			ON

Table 9 Mode setting for AK4118A

4118-DIF1	4118-DIF0	モード	DAUX	SDTO	LRCK		BICK	
						I/O		I/O
L	L	マスターモード	24bit, Left justified	24bit, Left justified	H/L	O	64fs	O
L	H	マスターモード	24bit, I ² S	24bit, I ² S	L/H	O	64fs	O
H	L	スレーブモード	24bit, Left justified	24bit, Left justified	H/L	I	64-128fs	I
H	H	スレーブモード	24bit, I ² S	24bit, I ² S	L/H	I	64-128fs	I

Table 10 Audio I/F Format Setting for AK4118A

No.	OCKS1	OCKS0	MCKO1	MCKO2	X’tal	fs (max)
0	0	0	256fs	256fs	256fs	96 kHz
1	0	1	256fs	128fs	256fs	96 kHz
2	1	0	512fs	256fs	512fs	48 kHz
3	1	1	128fs	64fs	128fs	192 kHz

(出荷時)

Table 11 Master Clock setting for AK4118A

4) 電源投入

[SW1] (5720-PDN) :AK5720用パワーダウンスイッチです。電源投入後、必ず一度”L”にしてリセットを行って下さい。動作中は”H”にしておきます。

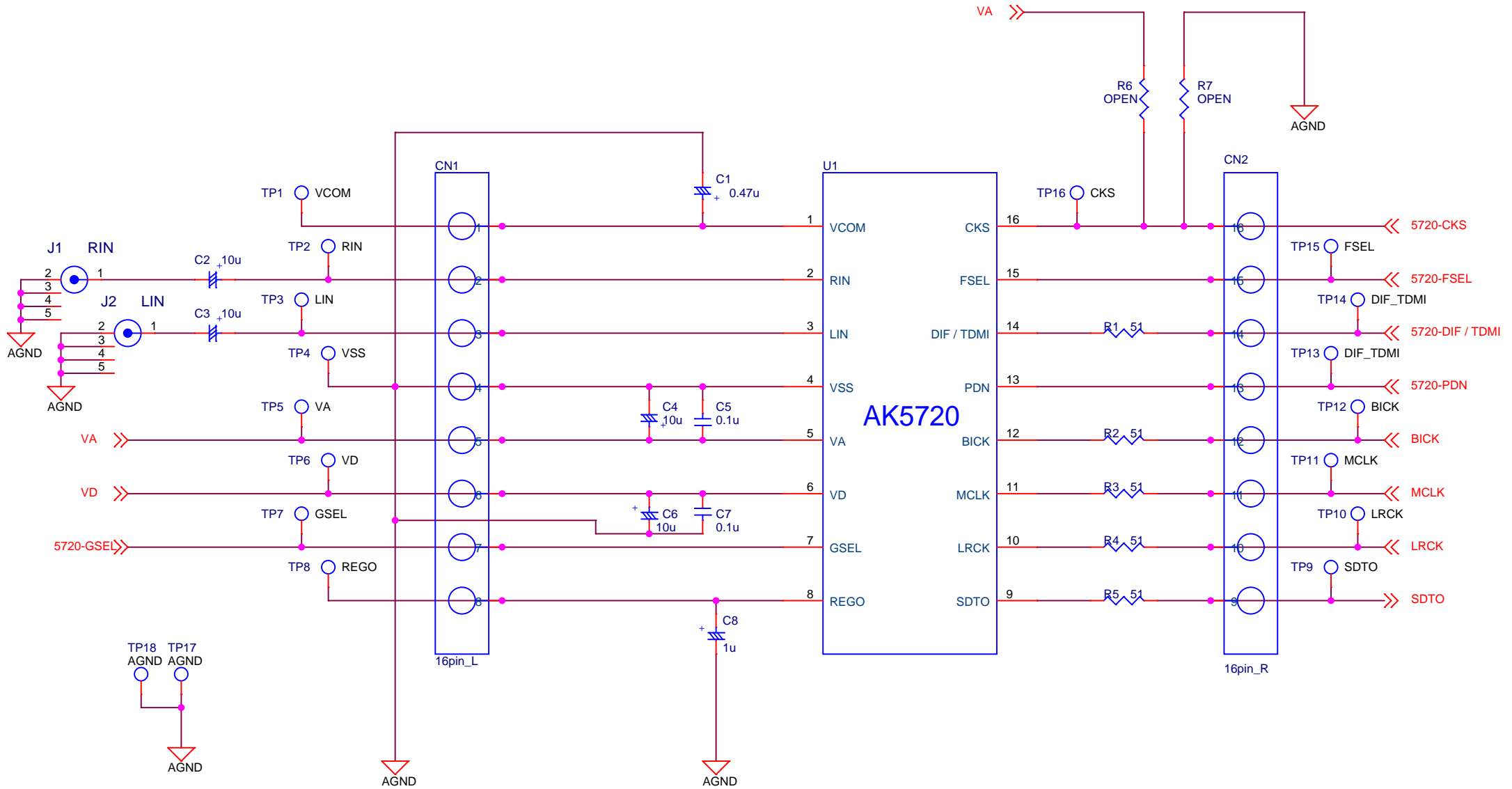
[SW2] (4118a-PDN) :AK4118A用パワーダウンスイッチです。電源投入後、必ず一度”L”にしてリセットを行って下さい。動作中は”H”にしておきます。
また、使用しない場合は”L”にして下さい。

改訂履歴

Date (yy/mm/dd)	Manual Revision	Board Revision	Reason	Page	Contents
13/06/25	KM113600	0	初版		
13/10/15	KM113601	1	仕様変更	7,8	CKS設定の変更

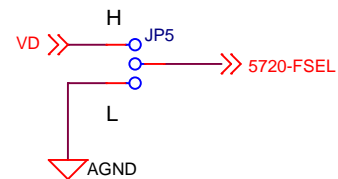
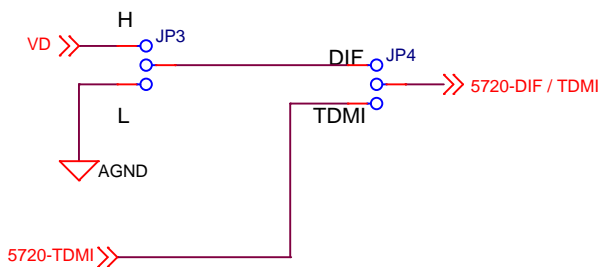
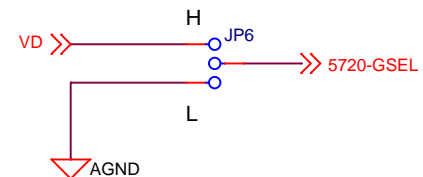
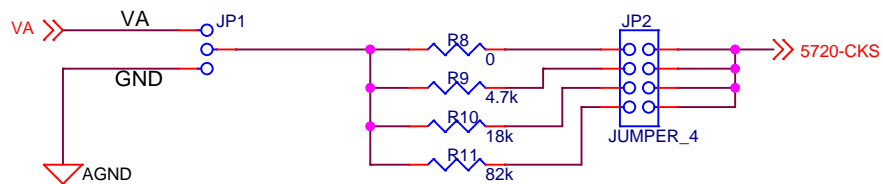
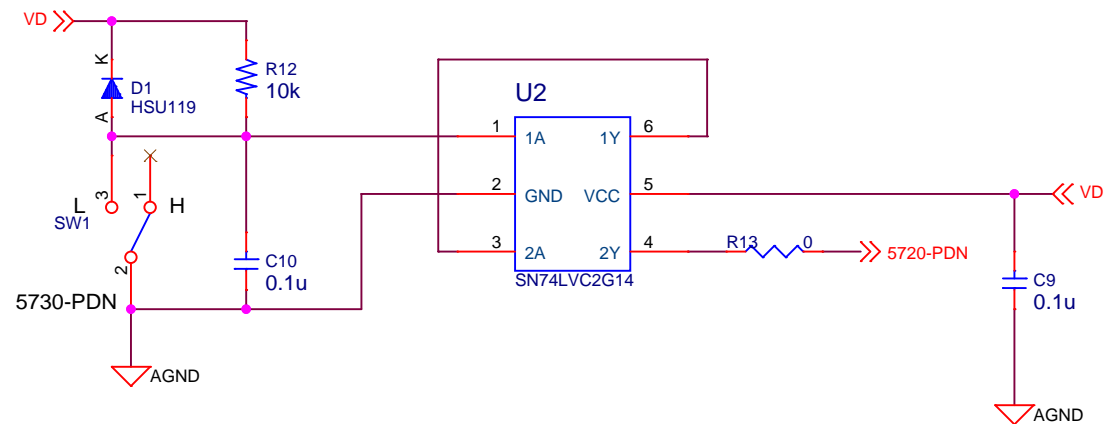
重要な注意事項

- 本書に記載された弊社製品(以下、「本製品」といいます。)、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
- 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
- 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
- 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
- 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替及び外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続きを行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
- 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
- お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
- 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。

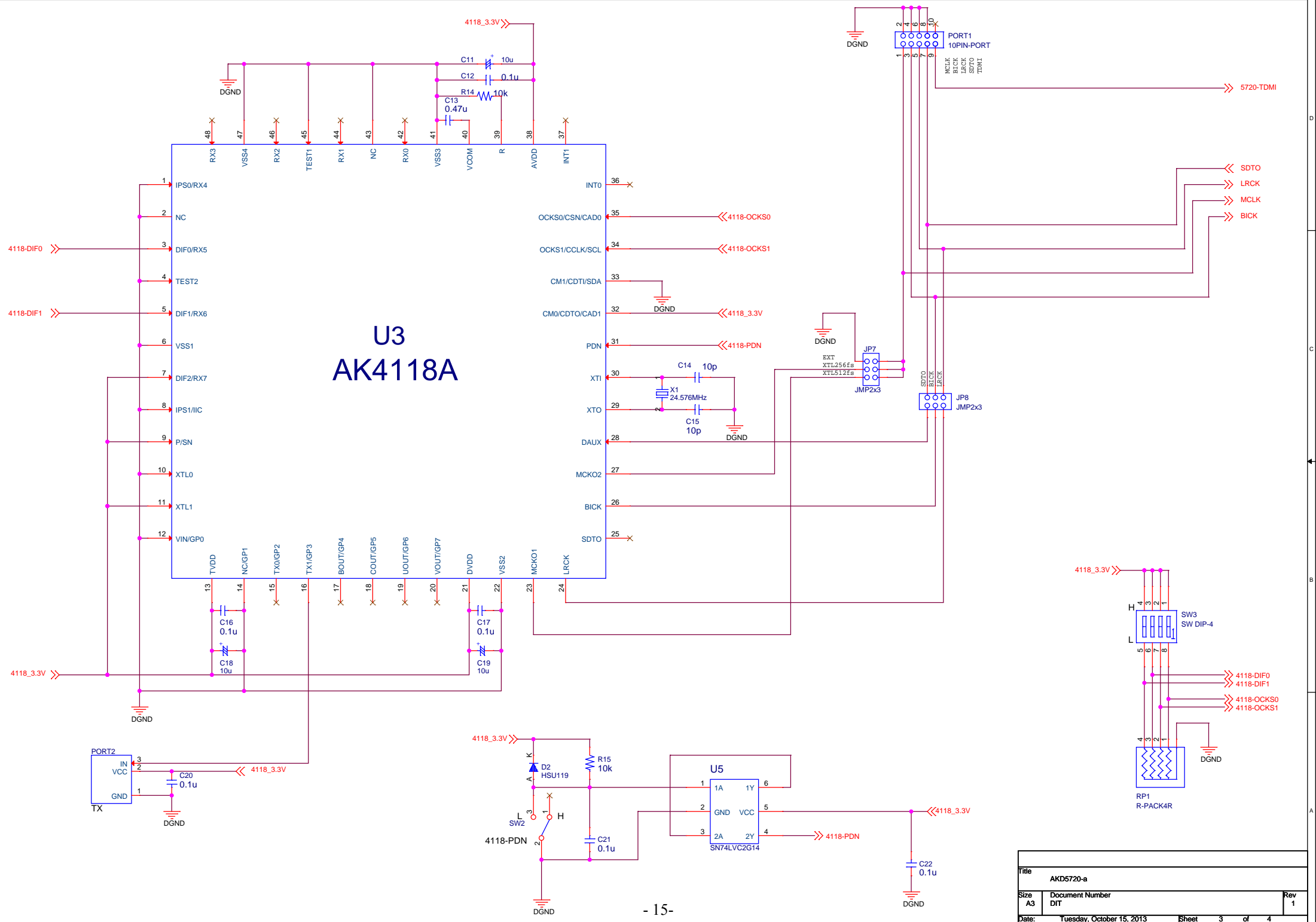


AK5720

Title		
AKD5720-a		
Size	Document Number	Rev
A4	ak5720	1
Date:	Tuesday, October 15, 2013	Sheet 1 of 4

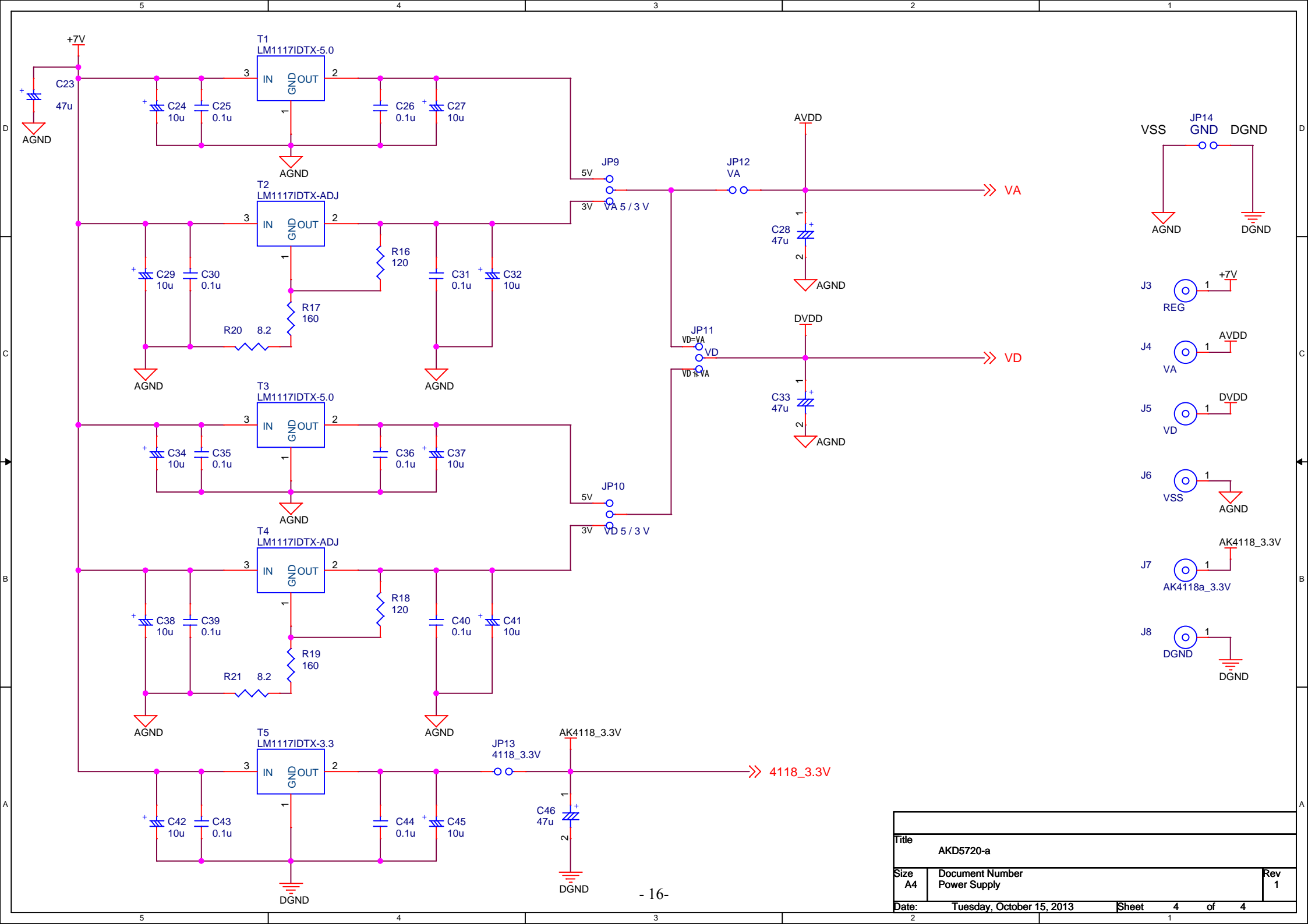


Title		
AKD5720-a		
Size	Document Number	Rev
A4	Logic	1
Date:	Tuesday, October 15, 2013	Sheet 2 of 4

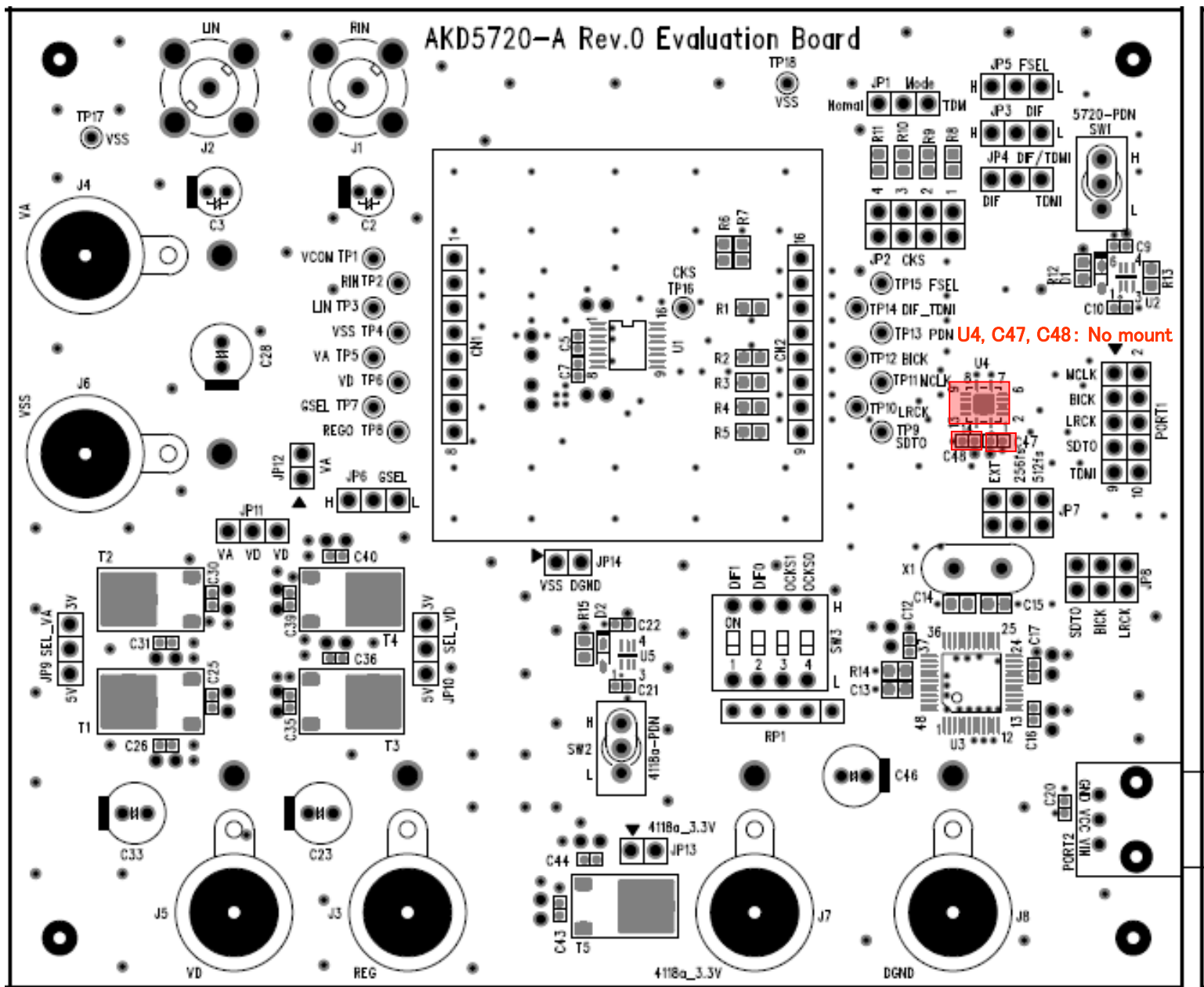


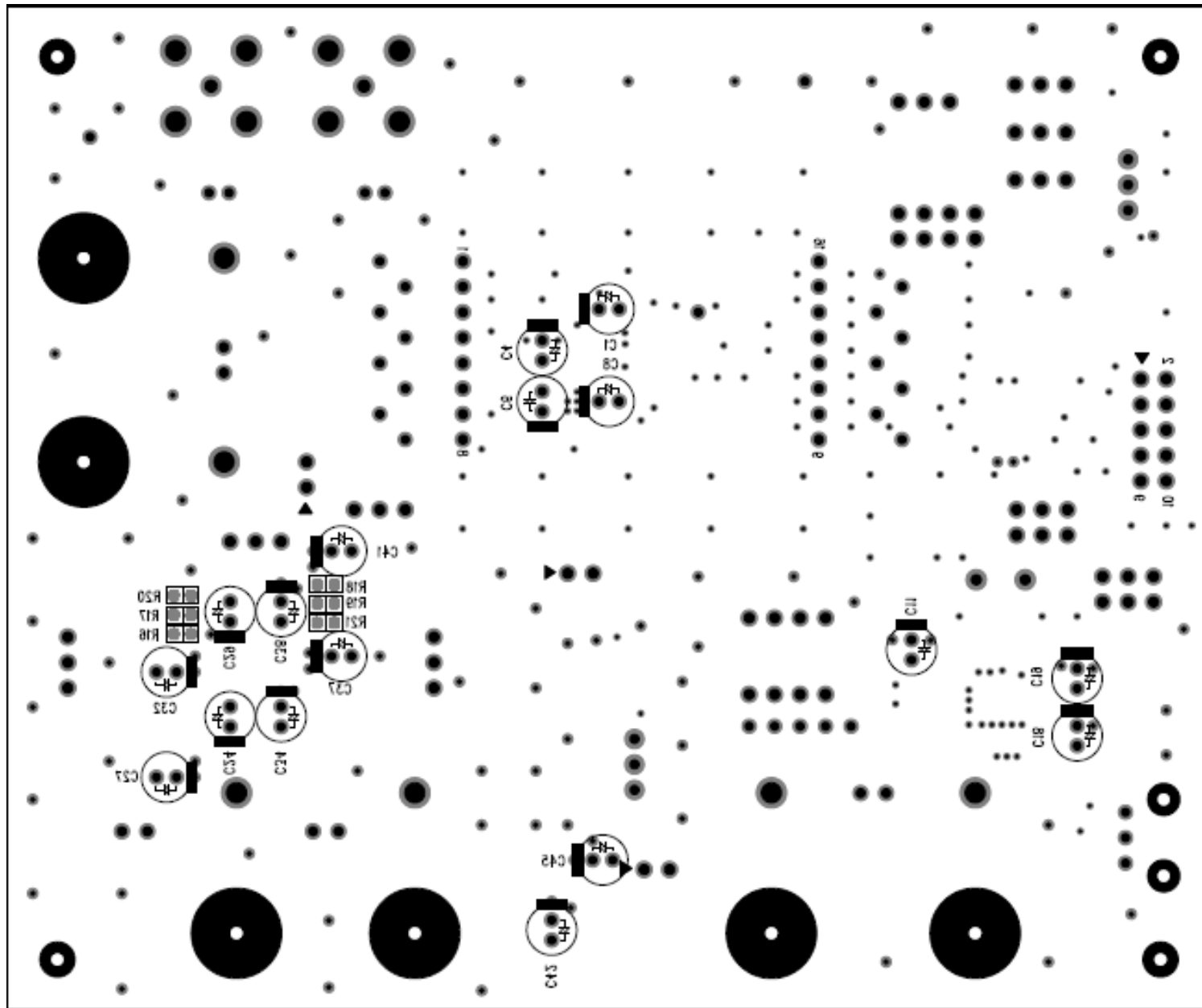
**U3
AK4118A**

Title		
AKD5720-a		
Size	Document Number	Rev
A3	DIT	1
Date:	Tuesday, October 15, 2013	Sheet 3 of 4



Title		
AKD5720-a		
Size	Document Number	Rev
A4	Power Supply	1
Date:	Tuesday, October 15, 2013	Sheet 4 of 4





AKD5720-A Rev.1 パターン図

部品面パターン図(部品面透視図)

