



AK4528

High Performance 24Bit 96kHz Audio CODEC

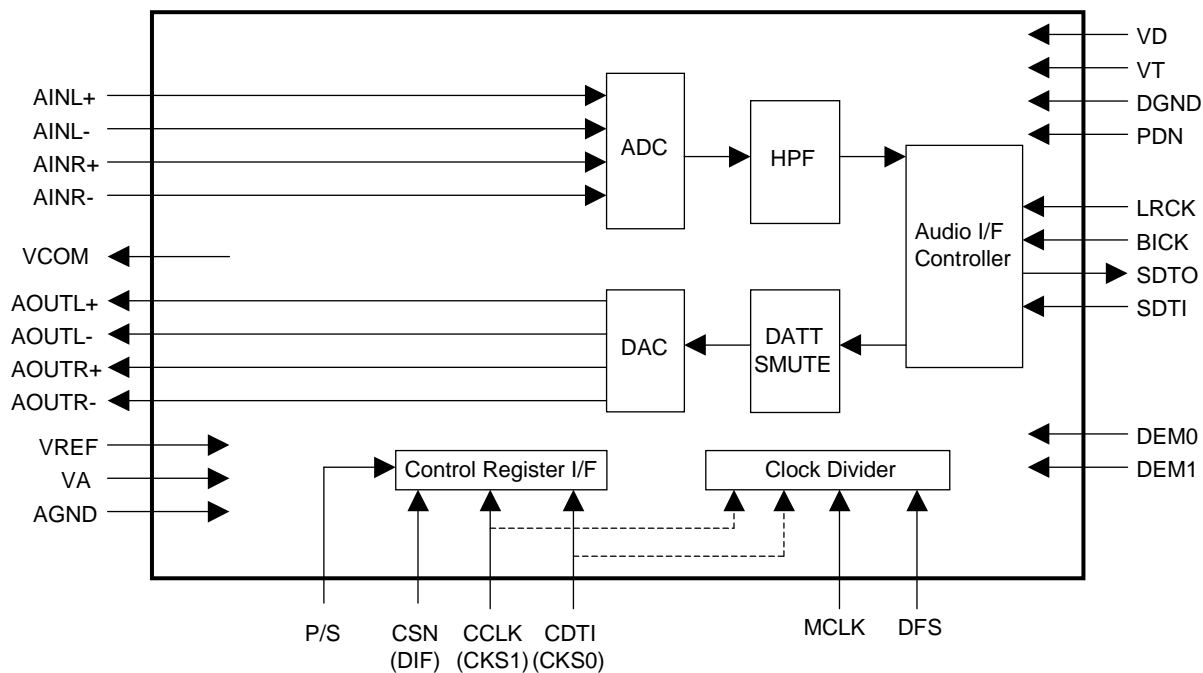
概 要

AK4528は96kHzレコーディングシステム向けの高性能24bit CODECです。ADCにはワイドダイナミックレンジを実現するエンハンスド・デュアルビット方式を採用、DACには新開発のアドバンスド・マルチビット方式を採用、従来のシングルビット方式の優れた低歪み特性に加えて、さらに広いダイナミックレンジを実現しています。内蔵のポストフィルタにはスイッチトキャパシタフィルタ(SCF)が採用され、クロックジッタによる精度の劣化を改善します。

特 長

- 24bit 2ch ADC
 - 64x Oversampling
 - Full differential Inputs
 - S/(N+D): 94dB
 - Dynamic Range, S/N: 108dB
 - Digital HPF for offset cancellation
 - I/F format: MSB justified or I²S
- 24bit 2ch DAC
 - 128x Oversampling
 - 24bit 8 times Digital Filter
 - Ripple: ±0.005dB, Attenuation: 75dB
 - SCF
 - Differential Outputs
 - S/(N+D): 94dB
 - Dynamic Range, S/N: 110dB
 - De-emphasis for 32kHz, 44.1kHz, 48kHz sampling
 - Output DATT with -72dB ATT
 - Soft Mute
 - I/F format: MSB justified, LSB justified or I²S
- High Jitter Tolerance
- 3-wire Serial Interface for Volume Control
- Master Clock
 - 256fs/384fs/512fs/768fs/1024fs
- 5V operation
- 3V Power Supply Pin for 3V I/F
- Small 28pin SSOP package

■ Block Diagram



Block Diagram

• AK4528とAK4524の比較

Function	AK4528	AK4524
ADC S/(N+D)	94dB	90dB
ADC DR, S/N	108dB	100dB
Input PGA & ATT	X	O
ADC Inputs	Differential Inputs	Single-end Inputs
Master Mode	X	O
X'tal Oscillating Circuit	X	O
Quad Speed Mode	X	O
Parallel Mode	O	X

O: Available, X: Not Available

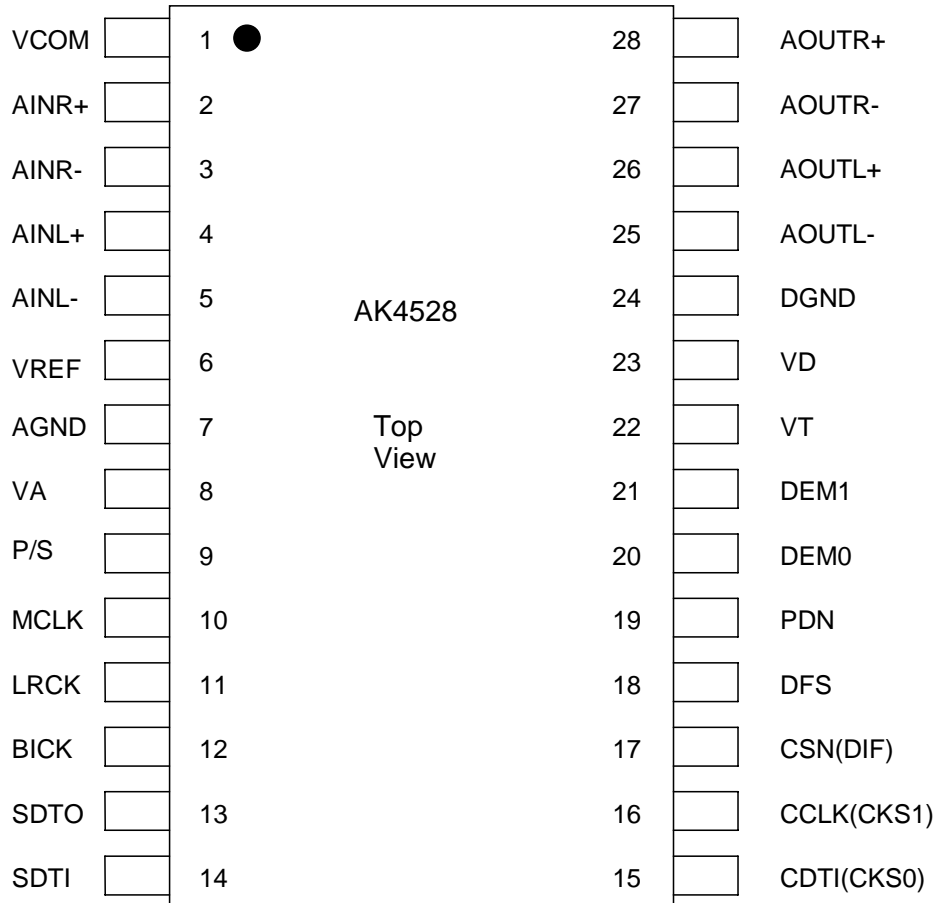
■ オーダリングガイド

AK4528VM

-40 ~ +85°C

28pin SSOP (0.65mm pitch)

■ ピン配置



ピン／機能

No.	Pin Name	I/O	Function
1	VCOM	O	Common Voltage Output Pin, VA/2 Bias voltage of ADC inputs and DAC outputs.
2	AINR+	I	Rch Positive Input Pin
3	AINR-	I	Rch Negative Input Pin
4	AINL+	I	Lch Positive Input Pin
5	AINL-	I	Lch Negative Input Pin
6	VREF	I	Voltage Reference Input Pin, VA Used as a voltage reference by ADC & DAC. VREF is connected externally to filtered VA.
7	AGND	-	Analog Ground Pin
8	VA	-	Analog Power Supply Pin, 4.75 ~ 5.25V
9	P/S	I	Parallel/Serial Mode Select Pin “L”: Serial Mode, “H”: Parallel Mode
10	MCLK	I	Master Clock Input Pin
11	LRCK	I	Input/Output Channel Clock Pin
12	BICK	I	Audio Serial Data Clock Pin
13	SDTO	O	Audio Serial Data Output Pin
14	SDTI	I	Audio Serial Data Input Pin
15	CDTI	I	Control Data Input Pin in Serial Mode
	CKS0	I	Master Clock Select Pin
16	CCLK	I	Control Data Clock Pin in Serial Mode
	CKS1	I	Master Clock Select Pin
17	CSN	I	Chip Select Pin in Serial Mode
	DIF	I	Digital Audio Interface Select Pin “L”: 24bit MSB justified, “H”: I ² S compatible
18	DFS	I	Double Speed Sampling Mode Pin
19	PDN	I	Power-Down Mode Pin “H”: Power up, “L”: Power down reset and initialize the control register.
20	DEM0	I	De-emphasis Control Pin
21	DEM1	I	De-emphasis Control Pin
22	VT	-	Output Buffer Power Supply Pin, 2.7 ~ 5.25V
23	VD	-	Digital Power Supply Pin, 4.75 ~ 5.25V
24	DGND	-	Digital Ground Pin
25	AOUTL-	O	Lch Negative Analog Output Pin
26	AOUTL+	O	Lch Positive Analog Output Pin
27	AOUTR-	O	Rch Negative Analog Output Pin
28	AOUTR+	O	Rch Positive Analog Output Pin

Note: All input pins should not be left floating.

絶対最大定格

(AGND, DGND=0V; Note 1)

Parameter		Symbol	min	max	Unit
Power Supplies:	Analog	VA	-0.3	6.0	V
	Digital	VD	-0.3	6.0	V
	Output Buffer	VT	-0.3	6.0	V
	VD-VA	VDA	-	0.3	V
Input Current, Any Pin Except Supplies		IIN	-	±10	mA
Analog Input Voltage		VINA	-0.3	VA+0.3	V
Digital Input Voltage		VIND	-0.3	VA+0.3	V
Ambient Temperature (powered applied)		Ta	-40	85	°C
Storage Temperature		Tstg	-65	150	°C

Note: 1. 電圧は全てグランドピンに対する値です。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

(AGND, DGND=0V; Note 1)

Parameter		Symbol	min	typ	max	Unit
Power Supplies	Analog	VA	4.75	5.0	5.25	V
	Digital	VD	4.75	5.0	VA	V
	Output Buffer	VT	2.7	3.0	VD	V
Voltage Reference		VREF	3.0	-	VA	V

Note: 1. 電圧は全てグランドピンに対する値です。

2. VAはVDと同時または先に立ち上げて下さい。

VAとVT間、VDとVT間の電源立ち上げシーケンスを考慮する必要はありません。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

アナログ特性

(Ta=25°C; VA, VD, VT=5.0V; AGND=DGND=0V; VREF=VA; fs=44.1kHz; Signal Frequency=1kHz; 24bit Data; Measurement frequency = 20Hz ~ 20kHz at fs=44.1kHz, 40Hz ~ 40kHz at fs=96kHz; unless otherwise specified)

Parameter		min	typ	max	Unit
Input PGA Characteristics:					
ADC Analog Input Characteristics: Analog Source impedance = 330Ω					
Resolution				24	Bits
Input Voltage	(Note 3)	±2.6	±2.8	±3.0	Vpp
Input Resistance	fs=44.1kHz	16	27		kΩ
	fs=96kHz	7	12		kΩ
S/(N+D) (-0.5dBFS)	fs=44.1kHz	88	94		dB
	fs=96kHz	84	92		dB
DR (-60dBFS)	fs=44.1kHz, A-weighted	100	108		dB
	fs=96kHz	95	103		dB
S/N	fs=44.1kHz, A-weighted	100	108		dB
	fs=96kHz	95	103		dB
Interchannel Isolation		90	110		dB
Interchannel Gain Mismatch			0.2	0.5	dB
Gain Drift			20	-	ppm/°C
Input Voltage	(Note 3)	±2.6	±2.8	±3.0	Vpp
Input Resistance	fs=44.1kHz	16	27		kΩ
	fs=96kHz	7	12		kΩ
Input DC Bias Voltage	(Note 4)	0.56VA	-	0.60VA	V
Power Supply Rejection	(Note 5)	-	50	-	dB
DAC Analog Output Characteristics:					
Resolution				24	Bits
S/(N+D) (0dBFS)	fs=44.1kHz	88	94		dB
	fs=96kHz	85	93		dB
DR (-60dBFS)	fs=44.1kHz, A-weighted	104	110		dB
	fs=96kHz	96	104		dB
S/N	fs=44.1kHz, A-weighted	104	110		dB
	fs=96kHz	96	104		dB
Interchannel Isolation		90	110		dB
Interchannel Gain Mismatch			0.2	0.5	dB
Gain Drift			20	-	ppm/°C
Output Voltage	(Note 6)	5.0	5.4	5.8	Vpp
Load Resistance	(In case of AC load)	1			kΩ
Output Current				1.5	mA
Load Capacitance				25	pF
Power Supply Rejection	(Note 5)		50	-	dB

Notes: 3. AIN+ピンとAIN-ピン間に入力される電圧。VREF電圧に比例します。Vin = ±0.56 x VREF。

4. 測定回路はFigure 12。DC Bias Voltage, Vb = 4.7k / (3.3k + 4.7k) x VA = 0.5875VA。

5. VREFピンの電圧を一定にして、VA, VD, VTに1kHz, 50mVppの正弦波を重畳した場合。

6. AOUT+とAOUT-をゲイン1で加算した場合のフルスケール電圧(0dB)。

VREF電圧に比例します。Vout = 1.08 x VREF x Gain。

Parameter	min	typ	max	Unit
Power Supplies				
Power Supply Current				
Normal Operation (PDN="H")				
VA		38	57	mA
VD+VT	(fs=44.1kHz)	10	20	mA
	(fs=96kHz)	18	36	mA
Power-down mode (PDN="L") (Note 7)				
VA		10	100	μA
VD+VT		10	100	μA

Note: 7. 全てのデジタル入力ピンをVDまたはDGNDに固定した時の値です。

フィルタ特性							
(Ta=25°C; VA, VD=4.75 ~ 5.25V; VT=2.7 ~ 5.25V; fs=44.1kHz; DEM=OFF)							
Parameter	Symbol	min	typ	max	Unit		
ADC Digital Filter (Decimation LPF):							
Passband (Note 8)	-0.005dB	PB	0		19.76	kHz	
	-0.02dB		-	20.02	-	kHz	
	-0.06dB		-	20.20	-	kHz	
	-6.0dB		-	22.05	-	kHz	
Stopband	SB	24.34				kHz	
Passband Ripple	PR			±0.005		dB	
Stopband Attenuation	SA	80				dB	
Group Delay (Note 9)	GD		31			1/fs	
Group Delay Distortion	ΔGD		0			μs	
ADC Digital Filter (HPF):							
Frequency Response (Note 8)	-3dB	FR		0.9		Hz	
	-0.5dB			2.7		Hz	
	-0.1dB			6.0		Hz	
DAC Digital Filter:							
Passband (Note 8)	-0.01dB	PB	0		20.0	kHz	
	-6.0dB		-	22.05	-	kHz	
Stopband	SB	24.1				kHz	
Passband Ripple	PR			±0.005		dB	
Stopband Attenuation	SA	75				dB	
Group Delay (Note 9)	GD		30			1/fs	
DAC Digital Filter + SCF:							
Frequency Response:	0 ~ 20.0kHz	FR		±0.2		dB	
	~ 40kHz (Note 10)			±0.3		dB	

Notes: 8. 各振幅特性の周波数は fs (システムサンプリングレート) に比例します。

例えば、PB=20.02kHz(@-0.02dB)は0.454 x fsです。各応答は1kHzを基準にします。

9. デジタルフィルタによる遅延演算で、ADC部はアナログ信号が入力されてから両チャンネルの24ビットデータが出力レジスタにセットされるまでの時間です。DAC部は24ビットデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

10. fs=96kHz時。

DC特性

(Ta=25°C; VA,VD=4.75 ~ 5.25V; VT=2.7 ~ 5.25V)

Parameter	Symbol	min	typ	max	Unit
High-Level Input Voltage	VIH	2.2	-	-	V
Low-Level Input Voltage	VIL	-	-	0.8	V
High-Level Output Voltage (Iout=-100μA) (Note 11)	VOH	2.7 / VT-0.5	-	-	V
Low-Level Output Voltage (Iout=100μA)	VOL	-	-	0.5	V
Input Leakage Current	Iin	-	-	±10	μA

Note: 11. Min値は2.7VまたはVT-0.5Vのどちらか低い方の値です。

スイッチング特性

(Ta=25°C; VA, VD=4.75 ~ 5.25V; VT=2.7 ~ 5.25V; CL=20pF)

Parameter	Symbol	min	typ	max	Unit
Master Clock Timing					
Frequency	fCLK	7.68		55.296	MHz
Pulse Width Low	tCLKL	0.4/fCLK			ns
Pulse Width High	tCLKH	0.4/fCLK			ns
LRCK Frequency					
Normal Speed Mode (DFS = "0")	fsn	30	44.1	54	kHz
Double Speed Mode (DFS = "1")	fsd	60	88.2	108	kHz
Duty Cycle	Duty	45		55	%
Audio Interface Timing					
BICK Period	tBCK	81			ns
BICK Pulse Width Low	tBCKL	33			ns
Pulse Width High	tBCKH	33			ns
LRCK Edge to BICK "↑" (Note 12)	tLRB	20			ns
BICK "↑" to LRCK Edge (Note 12)	tBLR	20			ns
LRCK to SDTO (MSB) (Except I ² S mode)	tLRS			40	ns
BICK "↓" to SDTO	tBSD			40	ns
SDTI Hold Time	tSDH	20			ns
SDTI Setup Time	tSDS	20			ns

Note: 12. この規格値はLRCKのエッジとBICKの"↑"が重ならないように規定しています。

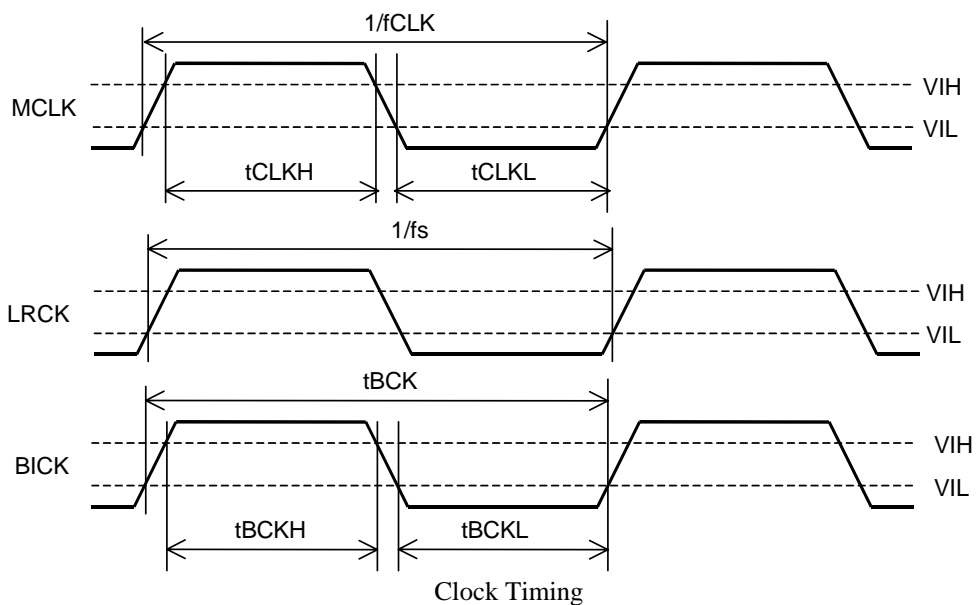
Parameter	Symbol	min	typ	max	Unit
Control Interface Timing (P/S="L")					
CCLK Period	tCCK	200			ns
CCLK Pulse Width Low	tCCKL	80			ns
Pulse Width High	tCCKH	80			ns
CDTI Setup Time	tCDS	40			ns
CDTI Hold Time	tCDH	40			ns
CSN "H" Time	tCSW	150			ns
CSN "L" Time	tCSW	150			ns
CSN "↑" to CCLK "↑"	tCSS	150			ns
CCLK "↑" to CSN "↑"	tCSH	50			ns
Reset Timing					
PDN Pulse Width (Note 13)	tPD	150			ns
RSTADN "↑" to SDTO valid (Note 14)	tPDV		516		1/fs
PDN "↑" to SDTO valid (Note 15)	tPDV		516		1/fs

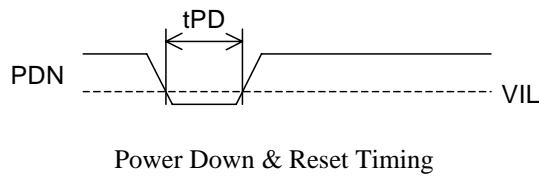
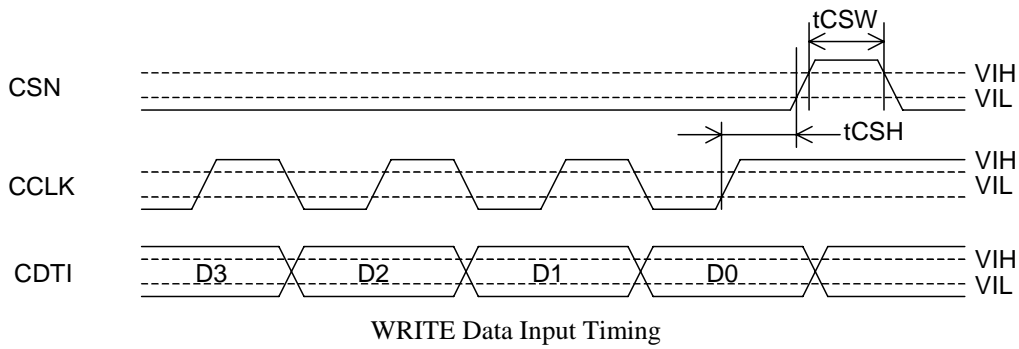
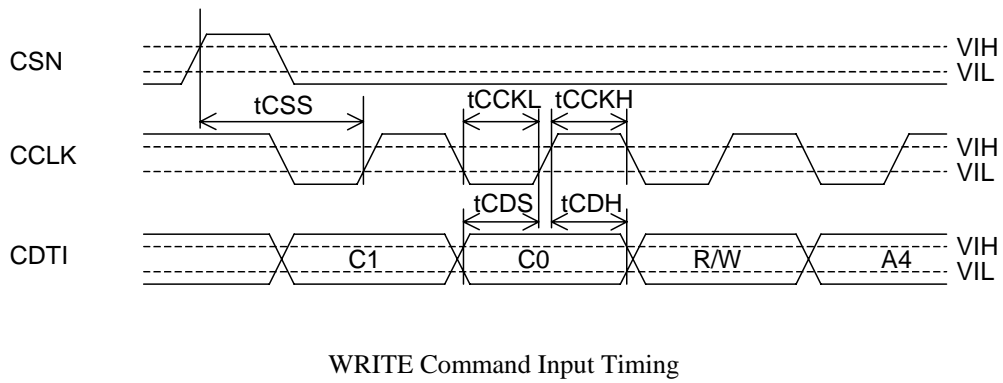
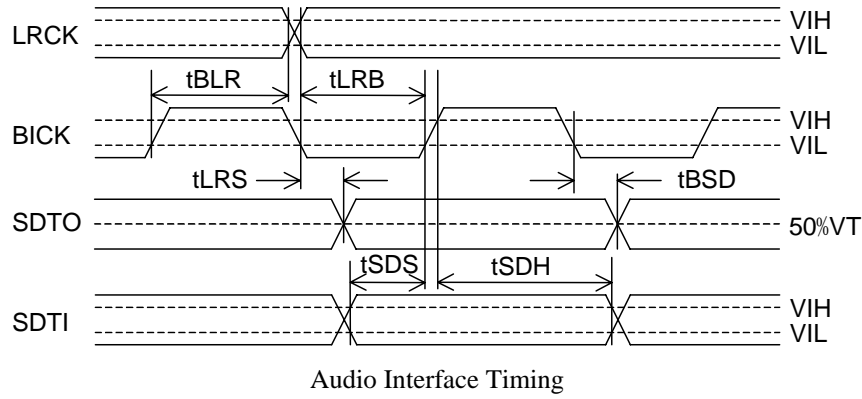
Note: 13. AK4528はPDN="L"でリセットされます。

14. シリアルモード時、RSTADNビットを立ち上げてからのLRCKクロックの“↑”の回数です。

15. パラレルモード時、PDNピンを立ち上げてからのLRCKクロックの“↑”の回数です。

■ タイミング波形





動作説明

■ システムクロック

必要なクロックは、MCLK, LRCK, BICKです。マスタクロック(MCLK)とサンプリングクロック(LRCK)は同期する必要はありますが位相を合わせる必要はありません。MCLKの周波数は、シリアルモードでは、CMODE, CKS0-1, DFSビット(Table 1, Table 3)で、パラレルモードではCKS0-1, DFSピン(Table 2, Table 3)で選択します。

CKS0-1ピン, DFSピンの設定を変更する場合は必ずパワーダウン中に行ってください。コントロールレジスタのCMODEビット, CKS0-1ビット, DFSビットの設定を変更する場合は必ずRSTADNビット, RSTDANビットが“0”の間に行ってください。

また、動作時(PDN=“H”かつコントロールレジスタによってADCまたはDACのどちらかが動作している時)に外部クロック(MCLK, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PDN=“L”またはコントロールレジスタによってADCとDACの両方もパワーダウン状態に設定)して下さい。

CMODE bit	CKS1 bit	CKS0 bit	MCLK 通常速 (DFS bit = “0”)	MCLK 2倍速 (DFS bit = “1”)	Default
0	0	0	256fs	N/A	
0	0	1	512fs	256fs	
0	1	0	1024fs	512fs	
1	0	0	384fs	N/A	
1	0	1	768fs	384fs	

Table 1. Master Clock Frequency Select in Serial Mode

CKS1 pin	CKS0 pin	MCLK Normal Speed (DFS pin = “L”)	MCLK Double Speed (DFS pin = “H”)
L	L	256fs	N/A
L	H	512fs	256fs
H	L	384fs	N/A
H	H	1024fs	512fs

Table 2. Master Clock Frequency Select in Parallel Mode

MCLK 通常速 (DFS = “0”)	fs=44.1kHz		fs=48kHz		MCLK 2倍速 (DFS = “1”)	fs=88.2kHz		fs=96kHz	
256fs	11.2896MHz	12.288MHz			N/A	N/A	N/A		
512fs	22.5792MHz	24.576MHz			256fs	22.5792MHz	24.576MHz		
1024fs	45.1584MHz	49.152MHz			512fs	45.1584MHz	49.152MHz		
384fs	16.9344MHz	18.432MHz			N/A	N/A	N/A		
768fs	33.8688MHz	36.864MHz			384fs	33.8688MHz	36.864MHz		

Table 3. Master Clock Frequencies example

Note. 上記Table1-3以外のDFS, MODE, CKS1-0の設定はしないで下さい。

■ オーディオインタフェースフォーマット

シリアルモードでは、5種類のデータフォーマット(Table 4)がDIF0-2 bitで選択できます。パラレルモードでは、Mode 2, Mode3の2種類のデータフォーマット(Table 5)がDIFピンで選択できます。全モードともMSBファースト、2's complementのデータフォーマットでSDTOはBICKの立ち下がりで出力され、SDTIはBICKの立ち上がりでラッチされます。

Mode	DIF2 bit	DIF1 bit	DIF0 bit	SDTO	SDTI	LRCK	BICK
0	0	0	0	24bit, MSB justified	16bit, LSB justified	H/L	≥ 32fs
1	0	0	1	24bit, MSB justified	20bit, LSB justified	H/L	≥ 40fs
2	0	1	0	24bit, MSB justified	24bit, MSB justified	H/L	≥ 48fs
3	0	1	1	24bit, I ² S	24bit, I ² S	L/H	≥ 48fs
4	1	0	0	24bit, MSB justified	24bit, LSB justified	H/L	≥ 48fs

Default

Table 4. Audio data format in Serial Mode

Mode	DIF pin	SDTO	SDTI	LRCK	BICK
2	0	24bit, MSB justified	24bit, MSB justified	H/L	≥ 48fs
3	1	24bit, I ² S	24bit, I ² S	L/H	≥ 48fs

Table 5. Audio data format in Parallel Mode

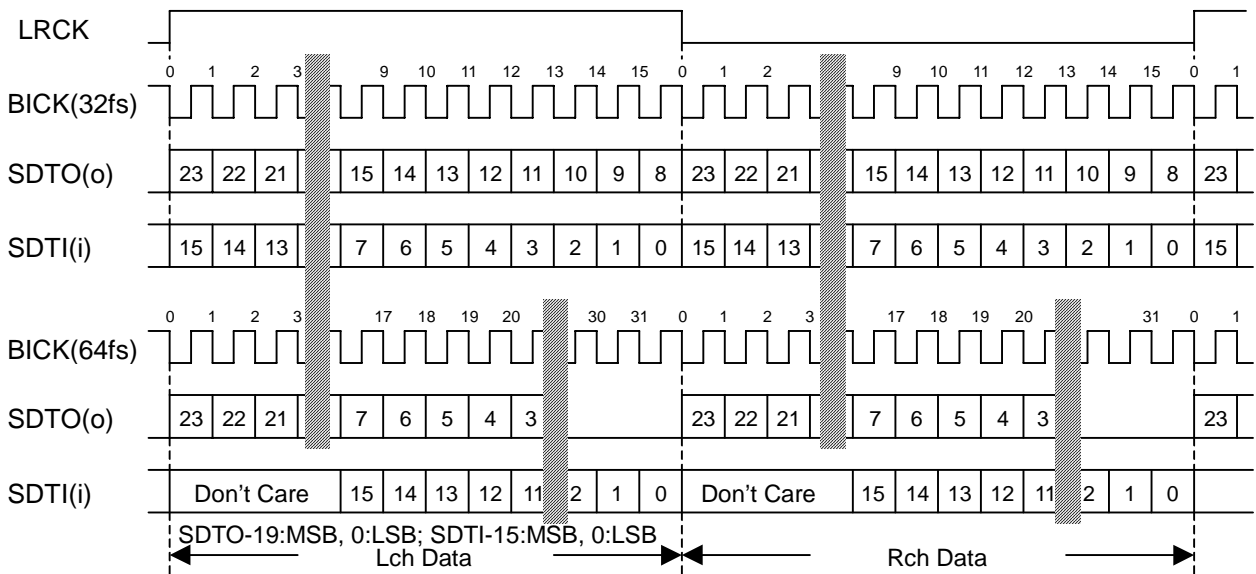


Figure 1. Mode 0 Timing

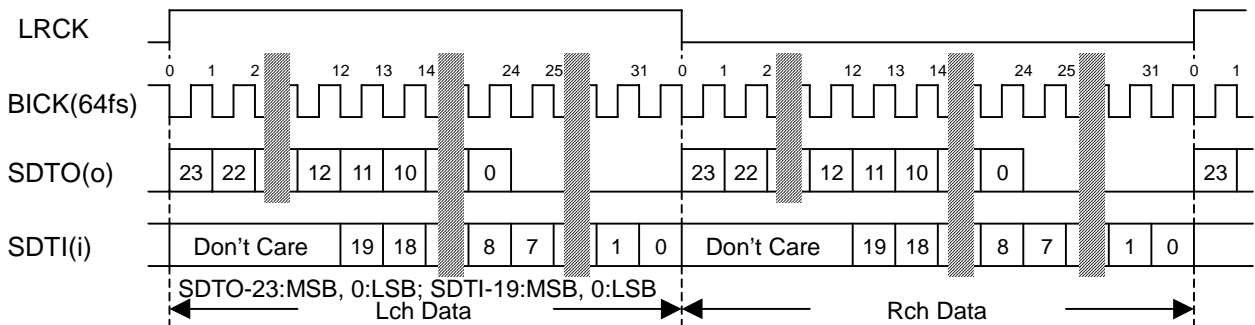


Figure 2. Mode 1 Timing

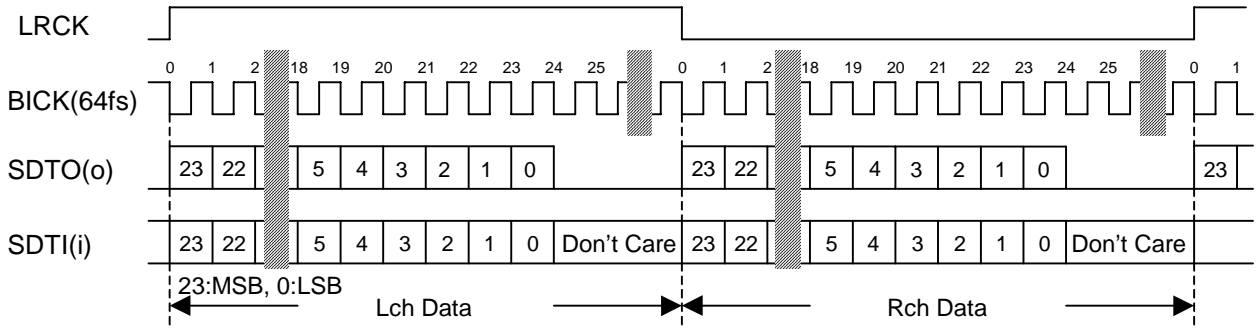


Figure 3. Mode 2 Timing

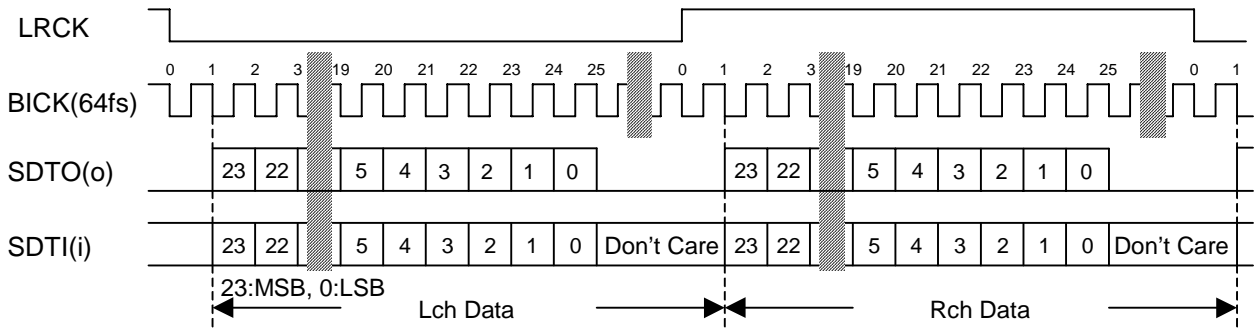


Figure 4. Mode 3 Timing

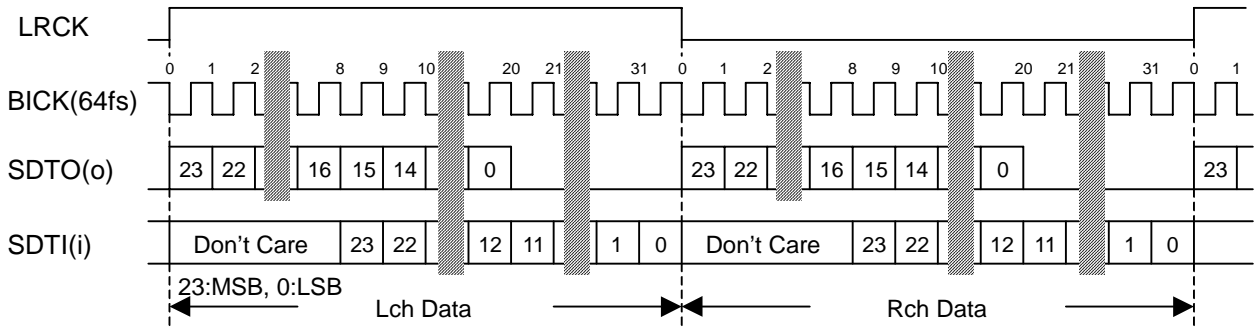


Figure 5. Mode 4 Timing

■ パラレル/シリアルモードコントロール

P/Sピンを“H”にするとパラレルモードになり、DIFでオーディオインタフェースフォーマット、DFS、CKS1、CKS0ピンでマスタクロック周波数の選択することができます。

P/Sピンを“L”にするとシリアルモードになり、CKS1、CKS0、DIFピンがそれぞれCDTI、CCLK、CSNピンになります。

また、DEM1、DEM0、DFSについてはピン設定とレジスタ設定は内部でORがとられており、シリアルモードでもピン設定によって各機能をコントロール可能です。レジスタのみで制御する際は、DEM1、DEM0、DFSピンは“L”にして下さい。

■ デジタルHPF

ADCはDCオフセットキャンセルのためにデジタルHPFを内蔵します。HPFの f_c は、 $f_s=44.1\text{kHz}$ 時 0.9Hz になっており、周波数応答は f_s に比例します。HPFはチャンネル毎にON/OFFをコントロールできます。

■ 出力ボリューム

DACの前段に128ステップ(ミュートを含む)のデジタルボリューム(出力ATT: OATT)を内蔵します。OATTは内部リニア補間された疑似ログボリュームで、レベルを切り替えた場合、レベル間を最大8031ステップでソフト遷移します。そのため切り替えノイズは全く出ません。

■ ディエンファシスフィルタ

IIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(50/15 μs 特性)を内蔵しています。設定はレジスタから行います。2倍速モード(DFS=“1”)ではディエンファシスフィルタは常にOFFです。

このモードはピンとレジスタにて設定することができます。

No	DEM1	DEM0	Mode
0	0	0	44.1kHz
1	0	1	OFF
2	1	0	48kHz
3	1	1	32kHz

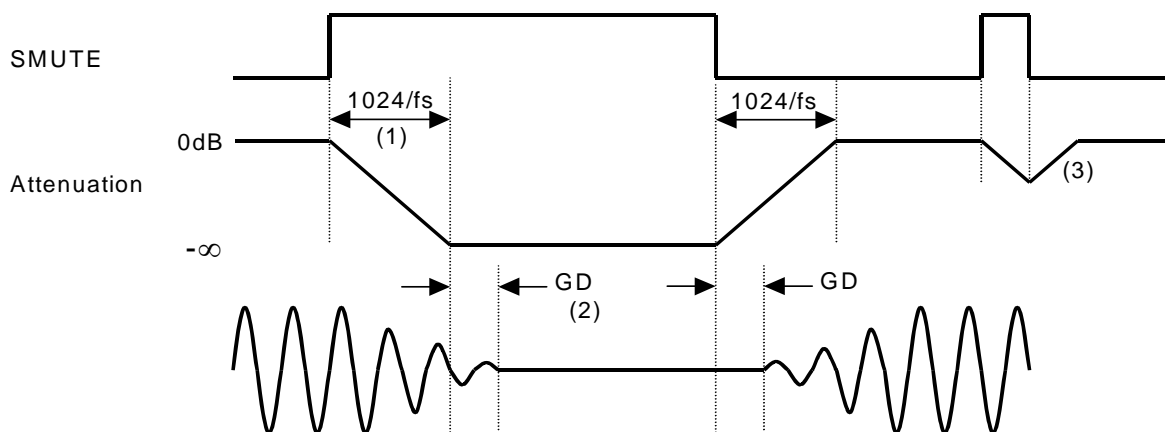
Default in serial mode

Table 6. De-emphasis control (DFS=“0”)

■ ソフトミュート機能

DAC入力のデジタル部にソフトミュート機能を内蔵します。ソフトミュートはSMUTEビットでコントロールできます。SMUTEビットを“1”にすると1024LRCKサイクルでDACのデータが $-\infty$ (“0”)までアテネーションされます。SMUTEビットを“0”にすると $-\infty$ 状態が解除され、 $-\infty$ から1024LRCKサイクルで0dBまで復帰します。ソフトミュート開始後、1024LRCKサイクル以内に解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。

ソフトミュート機能は出力ボリュームとは独立しており、縦続接続された関係です。



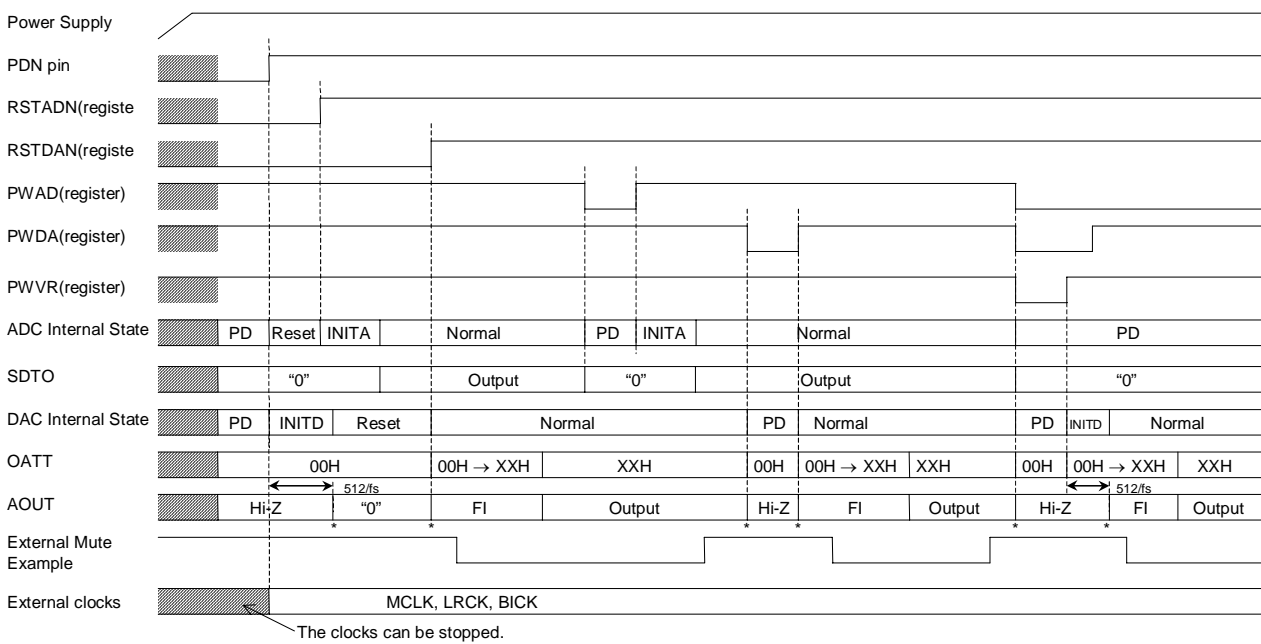
- (1) 1024LRCKサイクル(1024/fs)で入力データが $-\infty$ (“0”)までアテネーションされます。
- (2) デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (3) 1024LRCKサイクル以内にソフトミュートが解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。

Figure 6. ソフトミュート機能

■ パワーダウンとリセット

AK4528のADCとDACはパワーダウンピン(PDN)を“L”にすることでパワーダウンでき、この時、同時に各デジタルフィルタがリセットされます。PDN = “L”で内部レジスタ値は初期化されます。このリセットは電源投入時に必ず1度行って下さい。

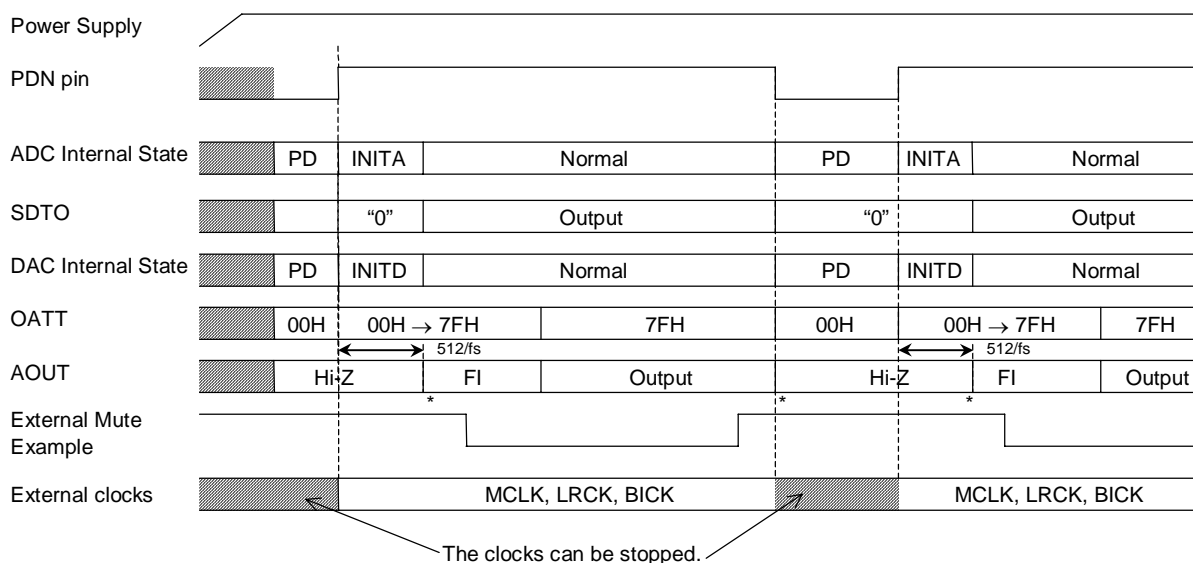
シリアルモードでは、コントロールレジスタはADC, DAC共にリセット状態(RSTADN=RSTDAN=“0”)になっているので、各出力をイネーブルするためには、必要な設定を行った後、各リセットレジスタを解除して下さい。ADCの場合、パワーダウンモードまたはリセット状態が解除されると初期化サイクルが開始されます。そのため、出力データSDTOは516 x LRCKサイクル後確定します。DACの場合は、PDNピン“↑”またはPWVRレジスタ“↑”後、初期化サイクルが開始され、AOUTは512 x LRCKサイクル間 Hi-Zで、その後アナログ出力が可能になります。また、パワーダウンモードはコントロールレジスタ(PWAD, PWDA)を使ってもコントロールできます。



- INITA: ADCアナログ部の初期化期間(516/fs)。
- INITD: DACアナログ部の初期化期間(512/fs)。
- PD: パワーダウン状態。PDN=“L”の場合は、レジスタ内容は初期化されます。それ以外の場合は、全てのレジスタ内容は保持されます。
- XXH: その時点のATTレジスタの設定値。
- FI: Fade In。パワーダウン解除及びリセット解除時、ATT値は最大8032/fsサイクルでFade Inします。
- AOUT: “*”の箇所ではボツ音が発生します。

Figure 7. Reset & Power Down Sequence in Serial Mode

パラレルモードでは、PDNピンを“H”にすると、ADC, DACとも内部リセット解除された状態で立ち上がります。そのため各出力は即座に出力を開始します。但し、ADC, DACの初期化サイクルとDACのOATTが00Hから7FHまで8031/fsサイクルでフェードインする動作が起こります。



- INITA: ADCアナログ部の初期化期間(516/fs)。
- INITD: DACアナログ部の初期化期間(512/fs)。
- PD: パワーダウン状態。
- FI: Fade In。パワーダウン解除はOATT値はFade Inします。
- AOUT: “*”の箇所でボツ音が発生します。

Figure 8. Reset & Power Down Sequence in Parallel Mode

■ シリアルコントロールインタフェース

P/Sピンを“L”にするとシリアルモードになります。シリアルモードでは、3線式シリアルI/Fピン: CSN, CCLK, CDTIで書き込みを行います。I/F上のデータはChip address (2bits, CAD0/1 = “10”固定)、Read/Write (1bit, “1”固定)、Register address (MSB first, 5bits)とControl data (MSB first, 8bits)で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↑”で有効になります。CCLKのクロックスピードは5MHz(max)です。アクセスしない時はCSNを“H”に固定して下さい。チップアドレスは“10”に固定です。チップアドレス“10”以外の入力に対しては書き込みが無効になります。PDN = “L”で内部レジスタ値は初期化されます。

Function	Parallel mode	Serial mode
Double speed	O	O
De-emphasis	O	O
SMUTE	X	O
Output Digital ATT	X	O
HPF off	X	O
MCLK; 768fs@Normal Speed 384fs@Double Speed	X	O
16/20/24bit LSB justified format	X	O

Table 7. 機能表 (O: 対応, X: 対応せず)

PDNピンを“L”にすると内部レジスタ値は初期化されます。P/Sピンを切り替えた場合はPDNピンを“L”にしてリセットして下さい。また、シリアルモードではRSTNビットに“L”を書き込むと内部タイミング回路がリセットされます。但し、このときレジスタの内容は初期化されません。

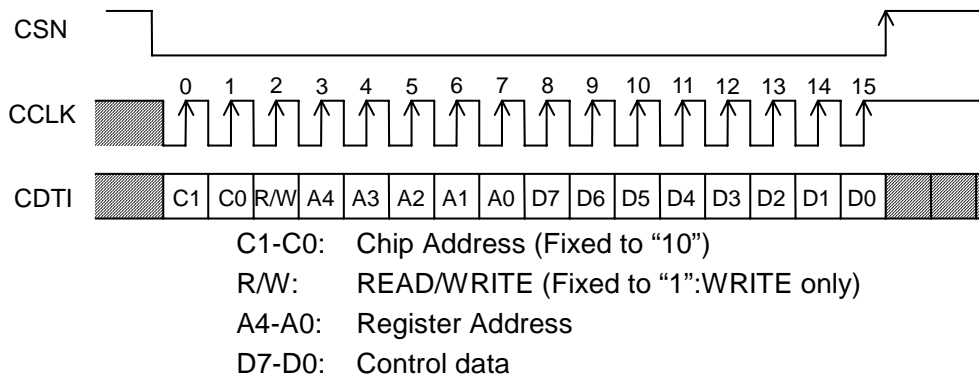


Figure 9. Control I/F Timing

*AK4528はRAEDをサポートしません。また、C1, C0, R/Wは固定(“101”)です。

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Down Control	0	0	0	0	0	PWVR	PWAD	PWDA
01H	Reset Control	TE7	TE6	TE5	TE4	0	0	RSTADN	RSTDAN
02H	Clock and Format Control	DIF2	DIF1	DIF0	CMODE	CKS1	CKS0	0	DFS
03H	Deem and Volume Control	SMUTE	0	0	0	HPFR	HPFL	DEM1	DEM0
04H	Lch ATT Control	0	ATTL6	ATTL5	ATTL4	ATTL3	ATTL2	ATTL1	ATTL0
05H	Rch ATT Control	0	ATTR6	ATTR5	ATTR4	ATTR3	ATTR2	ATTR1	ATTR0

Note: 06Hアドレスから1FHアドレスにはデータを書き込まないで下さい。

01HアドレスのD7～D4には常に“0”を書き込んで下さい。

PDNピンを“L”にすると全てのレジスタが初期値にリセットされます。

■ シリアルモード時のレジスタ設定時の注意点

クロックモードと入出力フォーマットの設定をレジスタによって行う場合はRSTADNビットとRSTDANビットが“0”の間に行い、この間はADC出力とDAC出力は外部でミュートして下さい。以下にクロックモードと入出力フォーマットのレジスタ設定シーケンスを示します。

- ① 電源投入時等、PDNピンを用いてAK4528をリセットした場合。
 - (1) PDNピン=“H”。
 - (2) クロックモードと入出力フォーマット等のレジスタ設定。
 - (3) RSTADNビットとRSTDANビットを“1”にしてADCとDACのリセット状態を解除。Reset Control Register(01H)参照。
- ② PDNピンでAK4528にリセットをかけない場合。
 - (1) RSTADNビットとRSTDANビットを“0”にしてADCとDACをリセット状態にする。
 - (2) クロックモードと入出力フォーマットのレジスタ設定。
 - (3) RSTADNビットとRSTDANビットを“1”にしてADCとDACのリセット状態を解除。Reset Control Register(01H)参照。

注) 上記①、②の設定中にはボツ音が出ますので、ADC出力とDAC出力は外部でミュートして下さい。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Power Down Control	0	0	0	0	0	PWVR	PWAD	PWDA
	default	0	0	0	0	0	1	1	1

PWDA: DAC power control

0: Power down

1: Power up

“0”でDAC部のみパワーダウンされます。この時、AOUTは即座にHi-Zになり、出力ATTも一旦“00H”になります。但し、コントロールレジスタの内容は初期化されません。また、コントロールレジスタへの書き込みも可能です。パワーダウン解除時は出力ATTがコントロールレジスタの設定値(04H, 05H)までフェードインします。設定時及び解除時はノイズ発生の可能性があるので外部でミュートして下さい。

PWAD: ADC power control

0: Power down

1: Power up

“0”でADC部のみパワーダウンされます。この時、SDTOは即座に“L”になります。パワーダウン解除後、最初の516LRCKサイクルは“0”が出力されます。

PWVR: Vref power control

0: Power down

1: Power up

“0”でデバイス全体がパワーダウンされます。この時、ADCとDACは動作できません。パワーダウン時はコントロールレジスタの内容は初期化されません。また、コントロールレジスタへの書き込みも可能です。また、PWAD, PWDAを“0”に、PWVRを“1”にすることでVREF部のみパワーアップさせることも可能です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Reset Control	TE7	TE6	TE5	TE4	0	0	RSTADN	RSTDAN
	default	0	0	0	0	0	0	0	0

TE7-4: Test Control Register Enable

“0000”に固定して下さい。

RSTDAN: DAC reset control

0: Reset

1: Normal Operation

“0”でDAC部がリセット状態になります。この時、AOUTは即座にVCOMレベルになり、出力ATTも一旦“00H”になります。但し、コントロールレジスタの内容は初期化されません。また、コントロールレジスタへの書き込みも可能です。リセット解除時は出力ATTがコントロールレジスタの設定値(04H, 05H)までフェードインします。設定時及び解除時はノイズ発生の可能性があるため外部でミュートして下さい。

RSTADN: ADC reset control

0: Reset

1: Normal Operation

“0”でADC部のみリセット状態になります。この時、SDTOは即座に“L”になります。パワーダウン解除後、最初の516LRCKサイクルは“0”が出力されます。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Clock and Format Control	DIF2	DIF1	DIF0	CMODE	CKS1	CKS0	0	DFS
	default	0	1	0	0	0	0	0	0

DFS: Sampling Speed Control (see Table 1 and Table 3)

初期値は通常速です。

DFSピンと内部でORがとられます。

CMODE, CKS1-0: Master Clock Frequency Select (see Table 1 and Table 3)

初期値は256fsです。

DIF2-0: Audio data interface modes (see Table 4)

000: Mode 0

001: Mode 1

010: Mode 2

011: Mode 3

100: Mode 4

初期値はADC, DACとも24bit前詰めです。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Deem and Volume Control	SMUTE	0	0	0	HPFR	HPFL	DEM1	DEM0
	default	0	0	0	0	1	1	0	0

DEM1-0: De-emphasis response (see Table 6)

00: 44.1kHz

01: OFF

10: 48kHz

11: 32kHz

初期値は44.1kHzです。

DEM1, DEM0ピンと内部でORがとられます。

HPFR: Right channel Digital High Pass Filter Control

0: Disable

1: Enable

初期値は“1”です。

HPFL: Left channel Digital High Pass Filter Control

0: Disable

1: Enable

初期値は“1”です。

SMUTE: DAC Input Soft Mute control

0: Normal operation

1: DAC outputs soft-muted

ソフトミュートは出力ATTとは独立に動作し、デジタル的に実行されます。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
04H	Lch OATT Control	0	ATTL6	ATTL5	ATTL4	ATTL3	ATTL2	ATTL1	ATTL0
05H	Rch OATT Control	0	ATTR6	ATTR5	ATTR4	ATTR3	ATTR2	ATTR1	ATTR0
default		0	1	1	1	1	1	1	1

ATTL/R6-0: DAC ATT Level (see Table 8)

初期値は7FH (0dB)です。

PDNピン“L”時“00H”に設定され、PDNピン“H”で初期値“7FH”まで8031サイクルでフェードインします。

PWDA=“0”時“00H”に設定され、PWDA=“1”でその時の設定値までフェードインします。

RSTDAN=“0”時“00H”に設定され、RSTDAN=“1”でその時の設定値までフェードインします。

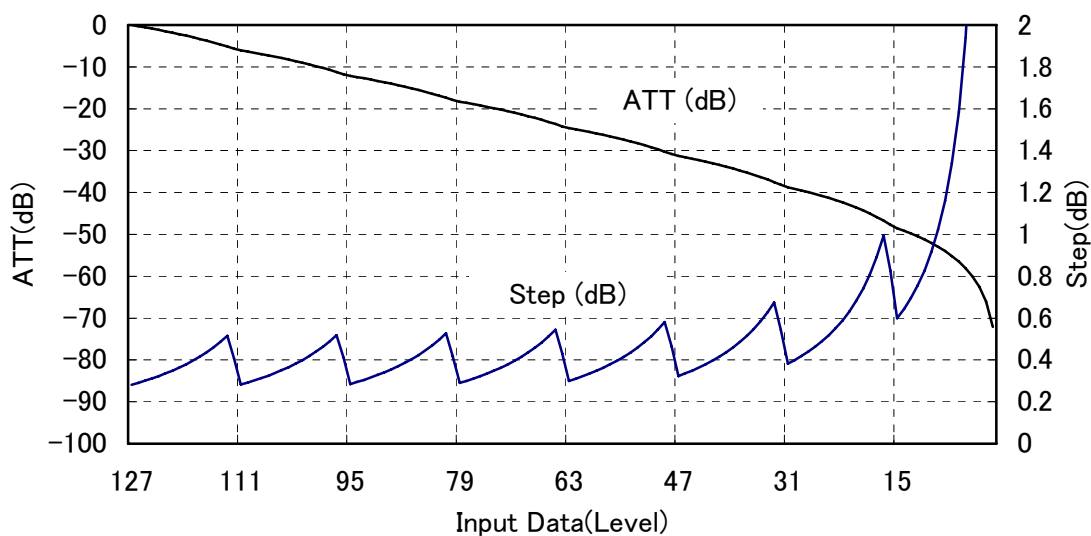


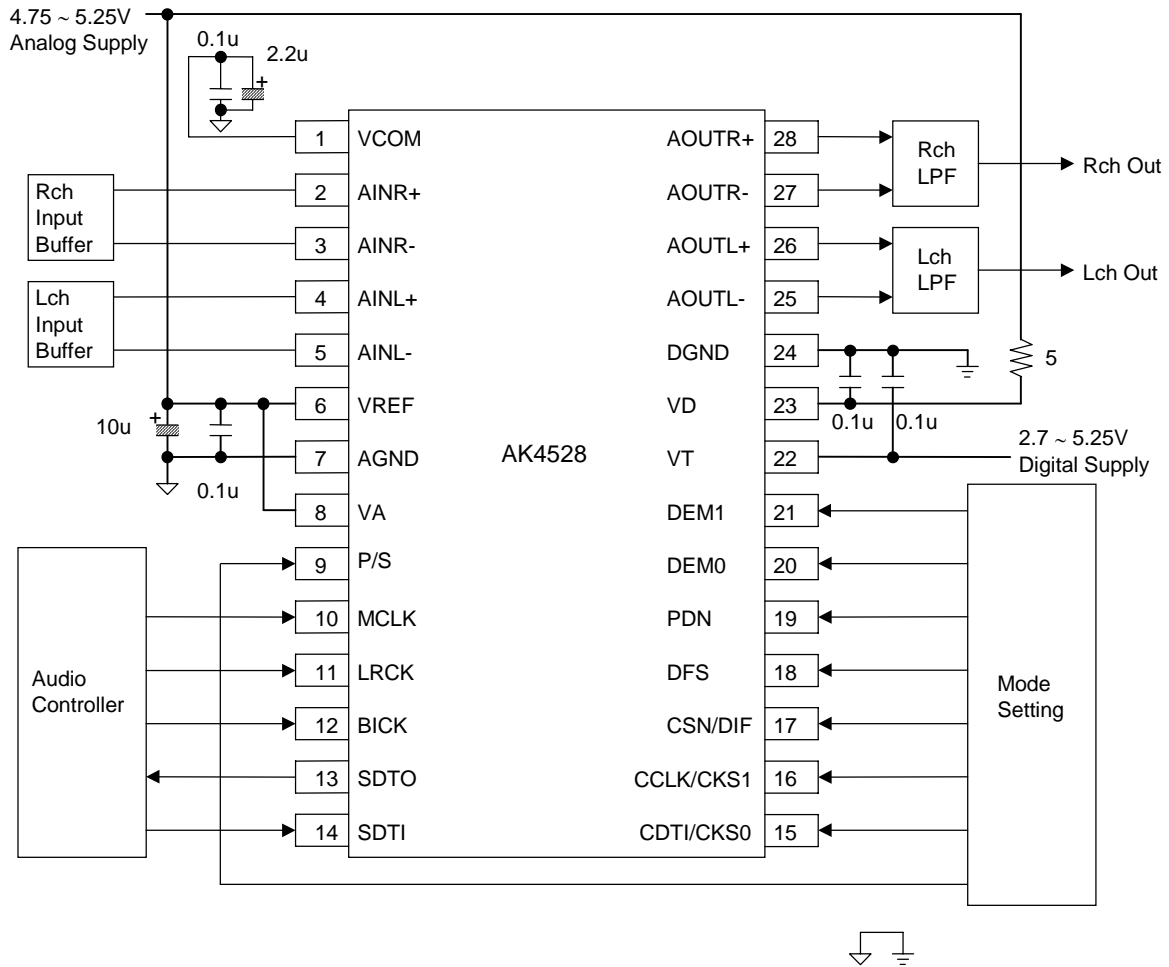
Figure 10. ATT特性

Data	内部値 (DATT)	Gain (dB)	Step幅 (dB)	
127	8031	0	-	<p style="text-align: center;">OATT</p> <p>128レベルを以下の式で8032レベルのリアDATTに変換する。内部DATTは設定値の間はソフト遷移する。</p> <p>内部値=2^m x (2 x l + 33) - 33</p> <p>m: Dataの上位3-bits l: Dataの下位4-bits</p>
126	7775	-0.28	0.28	
125	7519	-0.57	0.29	
:	:	:	:	
112	4191	-5.65	0.51	
111	3999	-6.06	0.41	
110	3871	-6.34	0.28	
:	:	:	:	
96	2079	-11.74	0.52	
95	1983	-12.15	0.41	
94	1919	-12.43	0.28	
:	:	:	:	
80	1023	-17.90	0.53	
79	975	-18.32	0.42	
78	943	-18.61	0.29	
:	:	:	:	
64	495	-24.20	0.54	
63	471	-24.64	0.43	
62	455	-24.94	0.30	
:	:	:	:	
48	231	-30.82	0.58	
47	219	-31.29	0.46	
46	211	-31.61	0.32	
:	:	:	:	
32	99	-38.18	0.67	
31	93	-38.73	0.54	
30	89	-39.11	0.38	
:	:	:	:	
16	33	-47.73	0.99	
15	30	-48.55	0.83	
14	28	-49.15	0.60	
:	:	:	:	
5	10	-58.10	1.58	
4	8	-60.03	1.94	
3	6	-62.53	2.50	
2	4	-66.05	3.52	
1	2	-72.07	6.02	
0	0	MUTE		

Table 8. コード表

システム設計

Figure 11はシステム接続例です。具体的な回路と測定例については評価ボード(AKD4528)を参照して下さい。



注:

- AK4528のAGND, DGNDと周辺コントローラ等のグラウンドは分けて配線して下さい。
- AOUT+/-が容量性負荷を駆動する場合は直列に抵抗を入れて下さい。
- デジタル入力ピンはオープンにしないで下さい。

Figure 11. Typical Connection Diagram

1. グラウンドと電源のデカップリング

電源とグラウンドの取り方には十分注意して下さい。通常、VAとVDにはシステムのアナログ電源を供給します。もし、VAとVDが別電源で供給される場合は電源立ち上げシーケンスに注意して下さい。VTは外部ICとのI/F用の電源なのでシステムのデジタル電源を供給して下さい。AGNDとDGNDは一点でアナロググラウンドに接続して下さい。システムのグラウンドはアナログとデジタルで分けて配線しPCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

4. アナログ出力

アナログ出力は完全差動出力になっており、出力レンジは内部のコモン電圧(約VA/2)を中心に $0.54 \times VREF$ Vpp (typ)になります。差動出力は外部で加算されます。AOUT+とAOUT-の加算電圧は $V_{out} = (AOUT+) - (AOUT-)$ です。加算ゲインが1の場合、出力レンジは5.4Vpp (typ@VREF=5V)です。外部加算回路のバイアス電圧は外部で供給されます。入力コードのフォーマットは2'sコンプリメントで、7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)でのAOUTの理想値は0Vが出力されます。

内蔵の $\Delta\Sigma$ 変調器が発生する帯域外ノイズ(シェーピングノイズ)は内蔵のスイッチトキャパシタフィルタ(SCF)と外部LPFで減衰されます。

差動出力のためコンデンサを使わずにAOUT+/-出力のDC成分を除去することが可能です。Figure 13からFigure 15は差動出力を加算する外部オペアンプ回路例です。

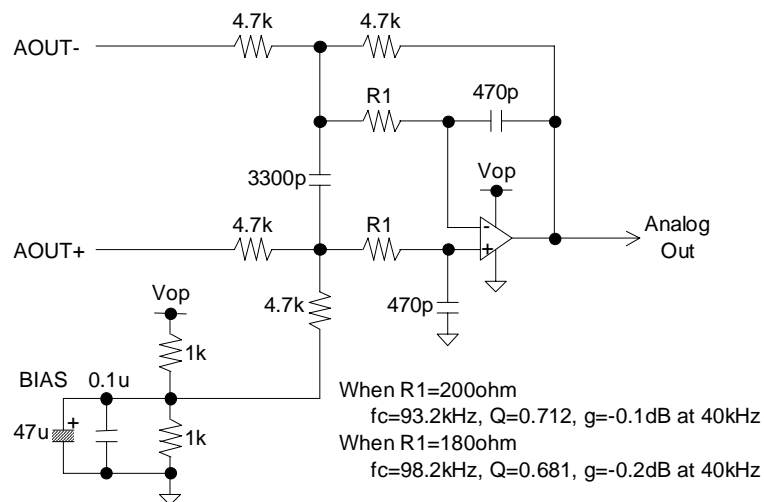


Figure 13. 2次LPF回路例(単電源オペアンプ使用)

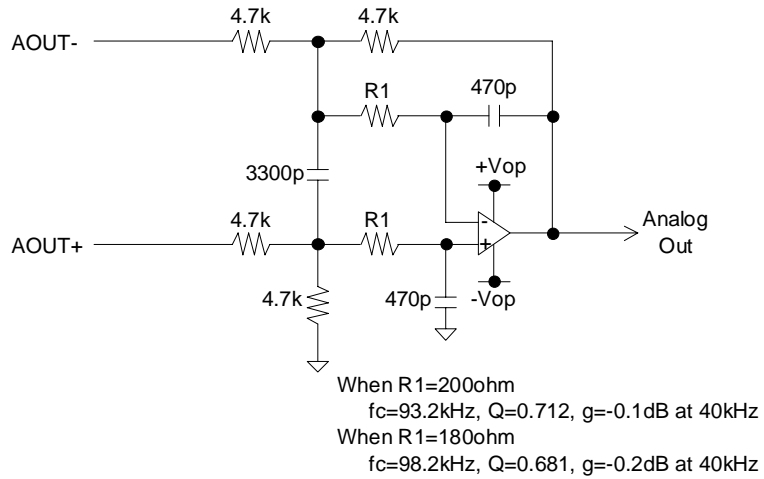


Figure 14. 2次LPF回路例(両電源オペアンプ使用)

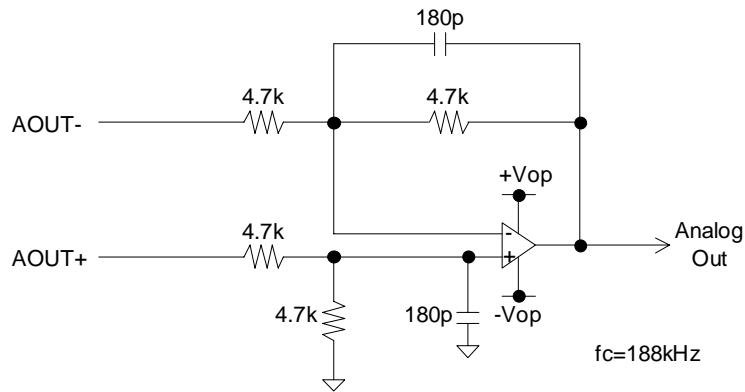


Figure 15. ローコスト1次LPF回路例(両電源オペアンプ使用)

■ 周辺I/F例

AK4528はTTL入力のため周辺の電源電圧3V(typ)デバイスの信号を受けることができます。さらに、デジタル出力はVT電源を3Vにすることにより、電源電圧3V(typ)の周辺デバイスとI/F可能です。

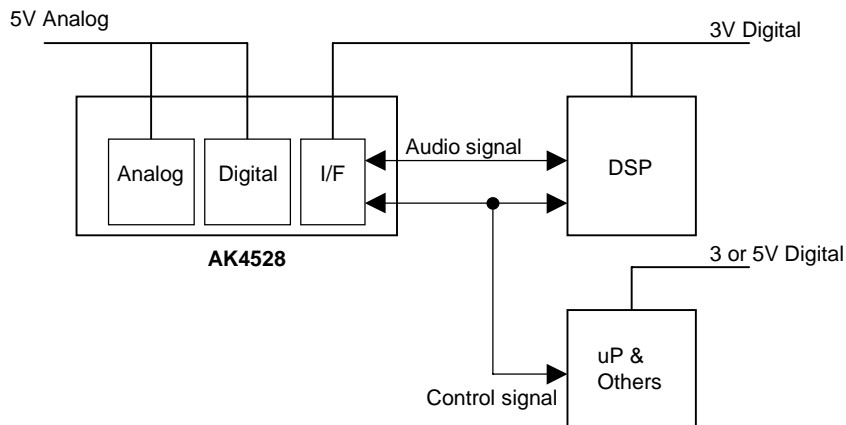
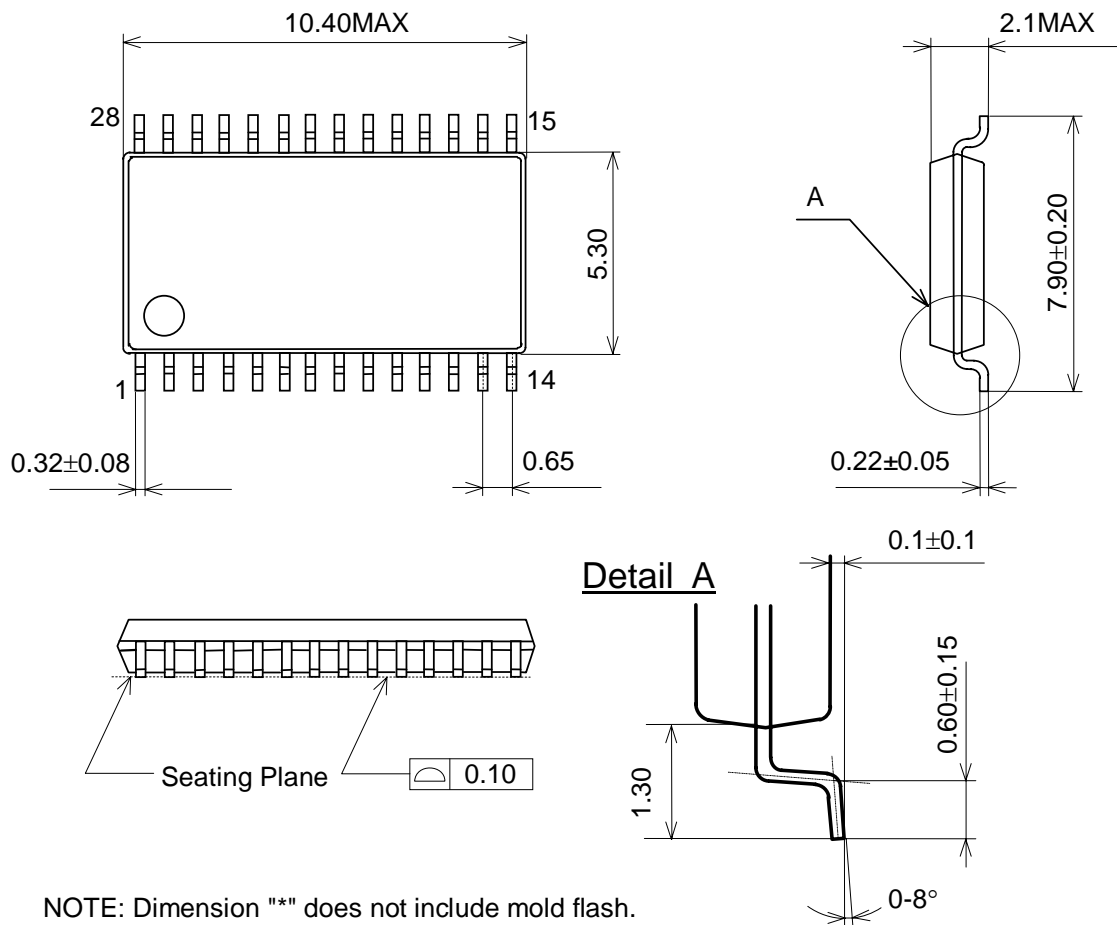


Figure 16. Power supply connection example

パッケージ

28pin SSOP (Unit: mm)

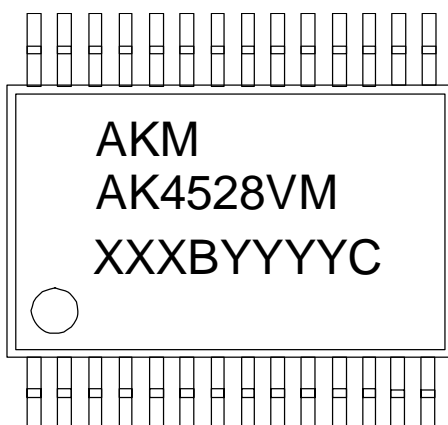


NOTE: Dimension "*" does not include mold flash.

■ Material & Lead finish

- Package molding compound: Epoxy
- Lead frame material: Cu
- Lead frame surface treatment: Solder plate

マーキング



XXXXYYYYC: Date code identifier

XXXXB: Lot number (X: Digit number, B: Alpha character)

YYYYC: Assembly date (Y: Digit number, C: Alpha character)

改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
00/01/24	00	初版		
03/01/07	01	誤記訂正	7	フィルタ特性 ADC Passband: 22.20 → 20.20
12/01/12	02	仕様変更	1, 3, 28, 29	AK4528VFを削除 (28pin VSOP) AK4528VMを追加 (28pin SSOP) オーダリングガイドを変更 パッケージ図を変更 マーキング図を変更
13/03/08	03	誤記訂正	29	マーキング図を変更

重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替及び外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。