

AKM

AK4556

3V 192kHz 24Bit $\Delta\Sigma$ CODEC

概要

AK4556はデジタルオーディオ機器用に開発された低電圧 24bit 192kHz対応のA/D, D/Aコンバータです。低電圧動作で、S/NはADC、DACそれぞれ103dB,106dBを達成しています。サンプリング周波数は216kHzまでサポートしています。スイッチト・キャパシタフィルタ(SCF)技術の採用によりクロックジッタによるS/Nの劣化は殆どありません。アナログ入出力はシングルエンドになっており、外付け部品をほとんど必要としません。また、AK4556は20-pin TSSOPパッケージを採用しており、機器の小型化には最適です。

特長

- シングルエンド ADC
 - DC-offset キャンセル用HPF内蔵 (fc = 1Hz @ fs=48kHz)
 - S/(N+D): 91dB@VA=3.0V
 - Dynamic Range, S/N: 103dB@VA=3.0V
- シングルエンド DAC
 - デジタルディエンファシスフィルタ内蔵(32kHz, 44.1kHz, 48kHz)
 - S/(N+D): 90dB@VA=3.0V
 - Dynamic Range, S/N: 106dB@VA=3.0V
- オーディオ I/F フォーマット: MSB First, 2's Complement
 - ADC: 24bit MSB justified or I²S compatible
 - DAC: 24bit MSB justified, 24bit LSB justified or I²S compatible
- 入出力レベル: ADC = 2.1Vpp @ VA=3.0V
DAC = 2.1Vpp @ VA=3.0V
- マスタ / スレーブモード
- サンプリングレート:
 - Normal Speed: 8kHz to 54kHz (256fs or 512fs)
8kHz to 48kHz (384fs or 768fs)
 - Double Speed: 54kHz to 108kHz (256fs)
48kHz to 96kHz (384fs)
 - Quad Speed: 108kHz to 216kHz (128fs)
96kHz to 192kHz 192fs)
- マスタクロック:
 - スレーブモード: 256fs, 384fs, 512fs or 768fs (Normal Speed)
256fs or 384fs (Double Speed)
128fs or 192fs (Quad Speed)
 - マスタモード: 256fs or 512fs (Normal Speed)
256fs (Double Speed)
128fs (Quad Speed)
- 電源電圧: 2.4 to 3.6V (Normal Speed, Double Speed)
2.7 to 3.6V (Quad Speed)
- 消費電流: 27.5mA
- Ta = -40 to 85°C
- 小型パッケージ: 20-pin TSSOP
- AK4552上位互換

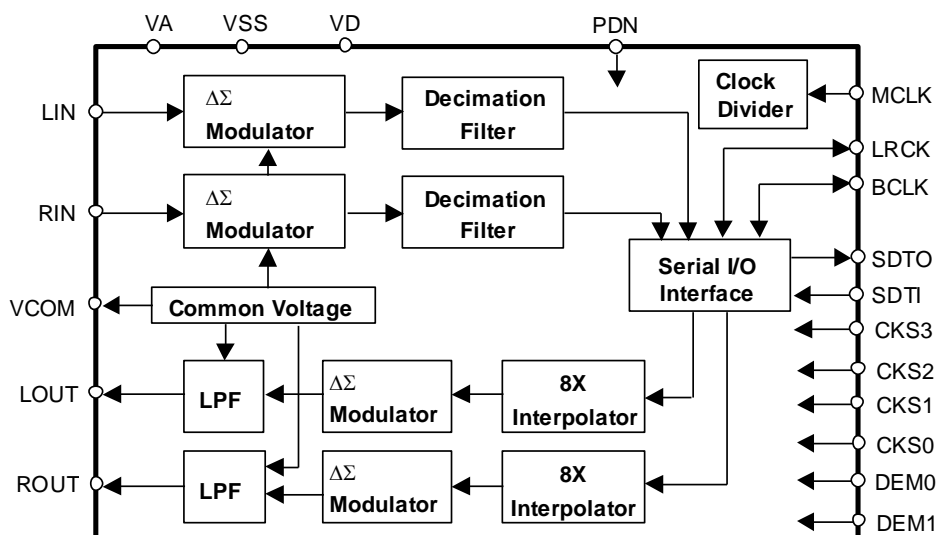


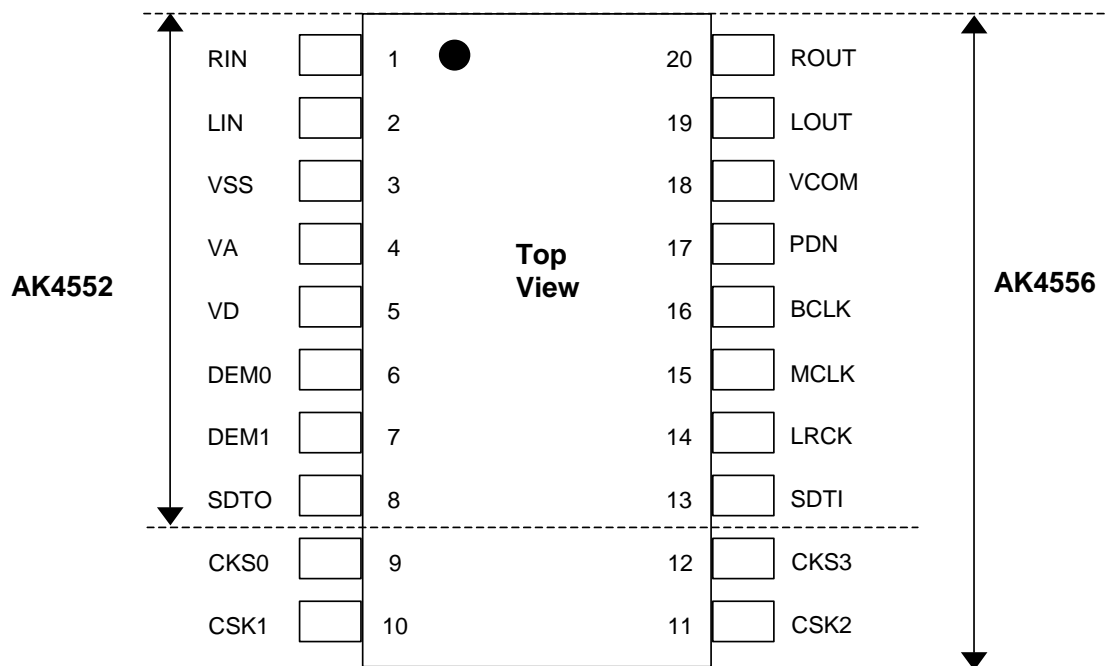
Figure 1. Block Diagram

■ AK4552との主な相違点

1. 機能

Function	AK4552	AK4556
fs (max)	100kHz	216kHz
HFP Cut-off	3.7Hz @ fs = 48kHz	1Hz @ fs = 48kHz
HPF Disable	No	Yes
ADC		
Input Level	0.617 x VA	0.7 x VA
Input Resistance	34kΩ @ fs = 44.1kHz, 24kΩ @ fs = 96kHz	8kΩ @ fs = 48kHz, 96kHz, 192kHz
Init Cycle	2081/fs	4134/fs @ Normal Speed, Slave mode
S/(N+D)	89dB	91dB
DR, S/N	97dB	103dB
DF	SA	65dB
	SB	29.4kHz
	GD	17/fs
DAC		
Output Level	0.583 x VA	0.7 x VA
Road Resistance	10kΩ	5kΩ
S/(N+D)	88dB	90dB
DR, S/N	100dB	106dB
DF	SA	43dB
	GD	15.4/fs
MCLK (Slave)	256/384/512/768fs @ Normal Speed	256/384/512/768fs @ Normal Speed
	256/384fs @ Double Speed	256/384fs @ Double Speed
	128/192fs @ Double Speed Monitor	128/192fs @ Double Speed
	64/96/128/192fs @ Quad Speed Monitor	128/192fs @ Quad Speed
Monitor Mode	Yes (Double / Quad)	No
M/S mode	Slave	Master / Slave
Audio I/F	ADC	24bit MSB justified / I ² S
	DAC	24bit MSB justified / 24bit LSB justified / I ² S
I _{dd} (V _{dd} =3V)	14mA	27.5mA
V _{DD}	2.4V to 4.0V	2.4V to 3.6V (Normal/Double Speed) 2.7V to 3.6V (Quad Speed)
Package	16TSSOP (5.0mm x 6.4mm, 0.65mm Pitch)	20TSSOP (6.5mm x 6.4mm, 0.65mm Pitch)

2. ピン配置

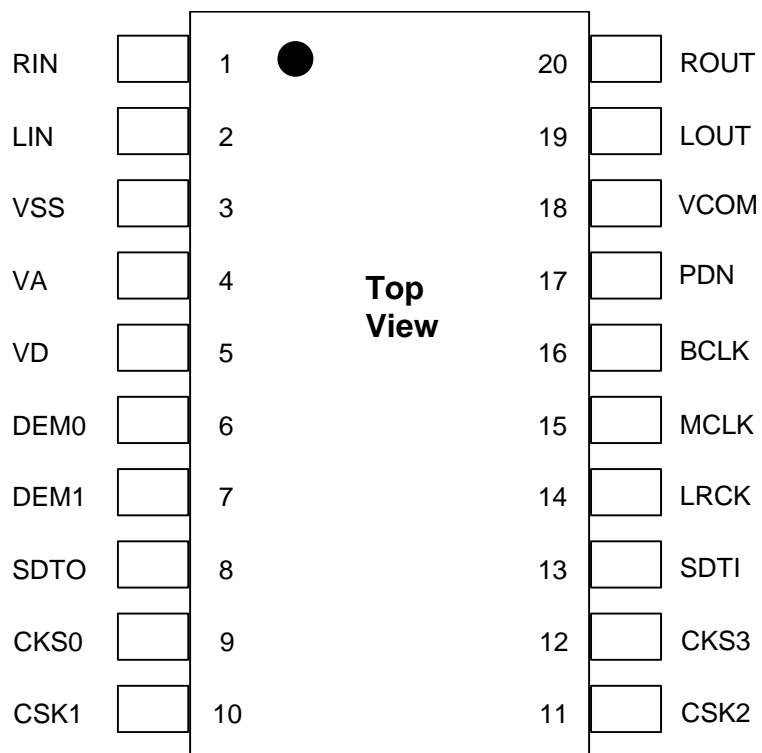


■ オーダリングガイド

AK4556VT
AKD4556-40 ~ +85°C
AK4556評価用ボード

20-pin TSSOP (0.65mm pitch)

■ ピン配置



ピン／機能

No.	ピン名	I/O	機能
1	RIN	I	Rch Analog Input Pin
2	LIN	I	Lch Analog Input Pin
3	VSS	-	Ground Pin
4	VA	-	Analog Power Supply Pin
5	VD	-	Digital Power Supply Pin
6	DEM0	I	De-emphasis Control Pin
7	DEM1	I	De-emphasis Control Pin
8	SDTO	O	Audio Serial Data Output Pin When PDN pin is "L", SDTO pin outputs "L".
9	CKS0	I	Mode Setting Pin #0
10	CSK1	I	Mode Setting Pin #1
11	CSK2	I	Mode Setting Pin #2
12	CSK3	I	Mode Setting Pin #3
13	SDTI	I	Audio Serial Data Input Pin
14	LRCK	I/O	Input/Output Channel Clock Pin When PDN pin is "L", LRCK outputs "L" in master mode.
15	MCLK	I	Master Clock Input Pin
16	BCLK	I/O	Audio Serial Data Clock Pin When PDN pin is "L", BCLK outputs "L" in master mode.
17	PDN	I	Power-Down & Reset Mode Pin "L": Power-down and Reset, "H": Normal operation The AK4556 should be reset once by bringing PDN pin = "L".
18	VCOM	O	Common Voltage Output Pin, 0.5 x VA
19	LOUT	O	Lch Analog Output Pin When PDN pin is "L", LOUT pin becomes Hi-Z.
20	ROUT	O	Rch Analog Output Pin When PDN pin is "L", ROUT pin becomes Hi-Z.

Note: アナログ入力ピン(LIN, RIN)以外の全てのデジタル入力ピンは、フローティングにしないで下さい。

■ 使用しないピンの処理

使用しない入力ピンは下記の設定を行い、適切に処理して下さい。

区分	ピン名	設定
Analog Input	LIN, RIN	オープン
Analog Output	LOUT, ROUT	オープン

絶対最大定格

(VSS=0V; Note 1)

Parameter		Symbol	Min.	Max.	Unit
Power Supplies	Analog	VA	-0.3	4.6	V
	Digital	VD	-0.3	4.6	V
Input Current (Any Pin Except Supplies)		IIN	-	±10	mA
Analog Input Voltage (LIN, RIN pin)		VINA	-0.3	VA+0.3	V
Digital Input Voltage (Note 2)		VIND	-0.3	VD+0.3	V
Ambient Temperature (power applied)		Ta	-40	85	°C
Storage Temperature		Tstg	-65	150	°C

Note 1. 電圧は全てグランドピンに対する値です。

Note 2. DEM1, DEM0, CKS3, CKS2, CKS1, CKS0, SDTI, LRCK, BCLK, MCLK, PDN pin

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また、通常の動作は保証されません。

推奨動作条件 (Normal/Double Speed)

(VSS=0V; Note 1)

Parameter		Symbol	Min.	Typ.	Max.	Unit
Power Supplies (Note 3)	Analog	VA	2.4	3.0	3.6	V
	Digital	VD	2.4	3.0	3.6	V
	Difference	VD - VA	-	-	0.3	V

推奨動作条件(Quad Speed)

(VSS=0V; Note 1)

Parameter		Symbol	Min.	Typ.	Max.	Unit
Power Supplies (Note 3)	Analog	VA	2.7	3.0	3.6	V
	Digital	VD	2.7	3.0	3.6	V
	Difference	VD - VA	-	-	0.3	V

Note 1. 電圧は全てグランドピンに対する値です。

Note 3. VAとVDの電源立ち上げシーケンスを考慮する必要はありません。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意下さい。

アナログ特性

(Ta=25°C; VA=VD=3.0V; VSS=0V; fs=48kHz, 96kHz, 192kHz; Signal Frequency=1kHz; BCLK=64fs; Data=24bit
Measurement frequency=20Hz ~ 20kHz at fs=48kHz, 40Hz ~ 40kHz at fs=96kHz, 40Hz ~ 40kHz at fs=192kHz; unless otherwise specified)

Parameter		Min.	Typ.	Max.	Unit	
ADC Analog Input Characteristics:						
Resolution		-	-	24	Bits	
Input Voltage	(Note 4)	1.9	2.1	2.3	Vpp	
S/(N+D)	fs=48kHz BW=20kHz	-1dBFS	82	91	-	dB
		-60dBFS	-	40	-	dB
	fs=96kHz BW=40kHz	-1dBFS	80	90	-	dB
		-60dBFS	-	37	-	dB
	fs=192kHz BW=40kHz	-1dBFS	-	90	-	dB
		-60dBFS	-	37	-	dB
DR	(-60dBFS with A-weighted)	95	103	-	dB	
S/N	(A-weighted)	95	103	-	dB	
Input Resistance		6	8	-	kΩ	
Interchannel Isolation		90	110	-	dB	
Interchannel Gain Mismatch		-	0.1	0.5	dB	
Gain Drift		-	100	-	ppm/°C	
Power Supply Rejection	(Note 8)	-	50	-	dB	
DAC Analog Output Characteristics:						
Resolution		-	-	24	Bits	
Output Voltage	(Note 5)	1.9	2.1	2.3	Vpp	
S/(N+D)	fs=48kHz BW=20kHz	0dBFS	80	90	-	dB
		-60dBFS	-	43	-	dB
	fs=96kHz BW=40kHz	0dBFS	78	88	-	dB
		-60dBFS	-	40	-	dB
	fs=192kHz BW=40kHz	0dBFS	-	88	-	dB
		-60dBFS	-	40	-	dB
DR	(-60dBFS with A-weighted)	98	106	-	dB	
S/N	(A-weighted)	98	106	-	dB	
Load Capacitance	(Note 6)	-	-	30	pF	
Load Resistance	(Note 7)	5	-	-	kΩ	
Interchannel Isolation		90	110	-	dB	
Interchannel Gain Mismatch		-	0.1	0.5	dB	
Gain Drift		-	100	-	ppm/°C	
Power Supply Rejection	(Note 8)	-	50	-	dB	

Note 4. アナログ入力電圧のフルスケール値 (0dB) です。VA電圧に比例します。

$$V_{in} = 0.7 \times V_A \text{ (Vpp)}$$

Note 5. アナログ出力電圧のフルスケール値 (0dB) です。VA電圧に比例します。

$$V_{out} = 0.7 \times V_A \text{ (Vpp)}$$

Note 6. LOUT/ROUTが容量性負荷を駆動する場合は、直列抵抗220Ωを挿入して下さい。この場合、400pFまで駆動可能です。

Note 7. AC負荷に対して。

Note 8. VCOM pin と VSS pinの間に、2.2μFと0.1μFを並列接続し、VA, VDに1kHz, 50mVppの正弦波を重畳した場合です。

Parameter	Min.	Typ.	Max.	Unit
Power Supplies				
Power Supply Current				
Normal Operation (PDN pin = "H")				
VA	-	19.5	29	mA
VD (Note 9)	fs=48kHz	-	8	mA
	fs=96kHz	-	11	mA
	fs=192kHz	-	14	mA
Power down mode (PDN pin = "L") (Note 10)				
VA+VD	-	10	100	μA

Note 9. スレーブモード時の値です。マスタモード時は、8.3mA (typ.) @ fs=48kHz, 11.6mA (typ.) @ fs=96kHz, 15.2mA (typ.) @ fs=192kHzです。

Note 10. 全てのデジタル入力ピンをVDまたはVSSに固定した時の値です。

フィルタ特性(fs=48kHz)

(Ta= -40 ~ +85°C; VA, VD=2.4~ 3.6V; DEM=OFF)

Parameter	Symbol	Min.	Typ.	Max.	Unit	
ADC Digital Filter (Decimation LPF):						
Passband (Note 11)	±0.1dB	PB	0	-	18.9	kHz
	-0.2dB		-	20.0	-	kHz
	-3.0dB		-	23.0	-	kHz
Stopband (Note 11)	SB	28	-	-	kHz	
Passband Ripple	PR	-	-	±0.04	dB	
Stopband Attenuation	SA	68	-	-	dB	
Group Delay Distortion	ΔGD	-	0	-	μs	
Group Delay (Note 12)	GD	-	18	-	1/fs	
ADC Digital Filter (HPF):						
Frequency Response (Note 11)	-3dB	FR	-	1.0	-	Hz
	-0.1dB		-	6.5	-	Hz
DAC Digital Filter (LPF):						
Passband (Note 11)	±0.06dB	PB	0	-	21.8	kHz
	-6.0dB		-	24.0	-	kHz
Stopband (Note 11)	SB	26.2	-	-	kHz	
Passband Ripple	PR	-	-	±0.02	dB	
Stopband Attenuation	SA	54	-	-	dB	
Group Delay Distortion	ΔGD	-	0	-	μs	
Group Delay (Note 12)	GD	-	21	-	1/fs	
DAC Digital Filter + Analog Filter:						
Frequency Response (Note 13)	20kHz	FR	-	-0.1	-	dB

フィルタ特性(fs=96kHz)

(Ta= -40 ~ +85°C; VA, VD=2.4~ 3.6V; DEM=OFF)

Parameter	Symbol	Min.	Typ.	Max.	Unit	
ADC Digital Filter (Decimation LPF):						
Passband (Note 11)	±0.1dB	PB	0	-	37.8	kHz
	-0.2dB		-	40.0	-	kHz
	-3.0dB		-	46.0	-	kHz
Stopband (Note 11)	SB	56	-	-	kHz	
Passband Ripple	PR	-	-	±0.04	dB	
Stopband Attenuation	SA	68	-	-	dB	
Group Delay Distortion	ΔGD	-	0	-	μs	
Group Delay (Note 12)	GD	-	18	-	1/fs	
ADC Digital Filter (HPF):						
Frequency Response (Note 11)	-3dB	FR	-	2.0	-	Hz
	-0.1dB		-	13.0	-	Hz
DAC Digital Filter (LPF):						
Passband (Note 11)	±0.06dB	PB	0	-	43.6	kHz
	-6.0dB		-	48.0	-	kHz
Stopband (Note 11)	SB	52.4	-	-	kHz	
Passband Ripple	PR	-	-	±0.02	dB	
Stopband Attenuation	SA	54	-	-	dB	
Group Delay Distortion	ΔGD	-	0	-	μs	
Group Delay (Note 12)	GD	-	21	-	1/fs	
DAC Digital Filter + Analog Filter:						
Frequency Response (Note 13)	40kHz	FR	-	-0.3	-	dB

フィルタ特性(fs=192kHz)

(Ta= -40 ~ +85°C; VA, VD=2.7~ 3.6V; DEM=OFF)

Parameter	Symbol	Min.	Typ.	Max.	Unit	
ADC Digital Filter (Decimation LPF):						
Passband (Note 11)	±0.1dB	PB	0	-	56.6	kHz
	-0.2dB		-	57.0	-	kHz
	-3.0dB		-	90.3	-	kHz
Stopband (Note 11)	SB	112	-	-	kHz	
Passband Ripple	PR	-	-	±0.02	dB	
Stopband Attenuation	SA	70	-	-	dB	
Group Delay Distortion	ΔGD	-	0	-	μs	
Group Delay (Note 12)	GD	-	18	-	1/fs	
ADC Digital Filter (HPF):						
Frequency Response (Note 11)	-3dB	FR	-	4.0	-	Hz
	-0.1dB		-	26.0	-	Hz
DAC Digital Filter (LPF):						
Passband (Note 11)	±0.06dB	PB	0	-	87.0	kHz
	-6.0dB		-	96.0	-	kHz
Stopband (Note 11)	SB	104.9	-	-	kHz	
Passband Ripple	PR	-	-	±0.02	dB	
Stopband Attenuation	SA	54	-	-	dB	
Group Delay Distortion	ΔGD	-	0	-	μs	
Group Delay (Note 12)	GD	-	21	-	1/fs	
DAC Digital Filter + Analog Filter:						
Frequency Response (Note 13)	40kHz	FR	-	-0.3	-	dB

Note 11. 各振幅特性の周波数は f_s (システムサンプリングレート)に比例します。例えば、 $f_s=48\text{kHz}$ 時の場合、ADCの $\pm 0.1\text{dB}$ におけるPassbandは $0.39375 \times f_s$ です。DACの $\pm 0.06\text{dB}$ におけるPassbandは $0.45412 \times f_s$ です。

Note 12. デジタルフィルタによる遅延演算で、アナログ信号が入力されてから両チャンネルの24ビットデータがADC出力レジスタにセットされるまでの時間です。DAC部は24bitデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

Note 13. 1kHzを基準にした値です。

DC 特性

($T_a=-40 \sim +85^\circ\text{C}$; $V_A, V_D=2.4 \sim 3.6\text{V}$)

Parameter	Symbol	Min.	Typ.	Max.	Unit
High-Level Input Voltage	V_{IH}	$70\%V_D$	-	-	V
Low-Level Input Voltage	V_{IL}	-	-	$30\%V_D$	V
High-Level Output Voltage ($I_{out} = -100\mu\text{A}$)	V_{OH}	$V_D-0.5$	-	-	V
Low-Level Output Voltage ($I_{out} = 100\mu\text{A}$)	V_{OL}	-	-	0.5	V
Input Leakage Current	I_{in}	-	-	± 10	μA

スイッチング特性

(Ta=-40 ~ +85°C; VA, VD=2.4 ~ 3.6V; CL=20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit	
Master Clock Timing (MCLK)						
Frequency: 128fs, 256fs, 512fs	fCLK	2.048	-	27.648	MHz	
192fs, 384fs, 768fs	fCLK	3.072	-	36.864	MHz	
Pulse Width Low	tCLKL	0.4/fCLK	-	-	ns	
Pulse Width High	tCLKH	0.4/fCLK	-	-	ns	
LRCK (VA, VD = 2.4V~3.6V)						
Frequency	Normal Speed: 256fs, 512fs	fs	8	-	54	kHz
		fs	8	-	48	kHz
	Double Speed: 256fs	fs	54	-	108	kHz
		fs	48	-	96	kHz
Duty Cycle	Slave mode	-	45	-	55	%
	Master mode	-	-	50	-	%
LRCK (VA, VD = 2.7V~3.6V)						
Frequency	Quad Speed: 128fs	fs	108	-	216	kHz
	192fs	fs	96	-	192	kHz
Duty Cycle	Slave mode	-	45	-	55	%
	Master mode	-	-	50	-	%
Audio Interface Timing						
Slave mode (VA, VD = 2.4V ~ 2.7V)						
BCLK Period: Normal Speed	tBCK	1/128fs	-	-	ns	
	tBCK	1/64fs	-	-	ns	
BCLK Pulse Width Low	tBCKL	60	-	-	ns	
	tBCKH	60	-	-	ns	
LRCK Edge to BCLK “↑” (Note 14)	tLRB	20	-	-	ns	
BCLK “↑” to LRCK Edge (Note 14)	tBLR	20	-	-	ns	
LRCK to SDTO (MSB) (Except I ² S mode)	tDLR	-	-	40	ns	
BCLK “↓” to SDTO	tBSD	-	-	40	ns	
SDTI Hold Time	tSDH	20	-	-	ns	
SDTI Setup Time	tSDS	20	-	-	ns	
Slave mode (VA, VD = 2.7V ~ 3.6V)						
BCLK Period: Normal Speed	tBCK	1/128fs	-	-	ns	
	tBCK	1/64fs	-	-	ns	
BCLK Pulse Width Low	tBCKL	33	-	-	ns	
	tBCKH	33	-	-	ns	
LRCK Edge to BCLK “↑” (Note 14)	tLRB	20	-	-	ns	
BCLK “↑” to LRCK Edge (Note 14)	tBLR	20	-	-	ns	
LRCK to SDTO (MSB) (Except I ² S mode)	tDLR	-	-	20	ns	
BCLK “↓” to SDTO	tBSD	-	-	20	ns	
SDTI Hold Time	tSDH	13	-	-	ns	
SDTI Setup Time	tSDS	13	-	-	ns	

Note 14. この規格値はLRCKのエッジとBCLKの“↑”が重ならないように規定しています。

スイッチング特性 (つづき)

(Ta=-40 ~ +85°C; VA, VD=2.4 ~ 3.6V; CL=20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit	
Master mode (VA, VD = 2.4V ~ 2.7V)						
BCLK Frequency	fBCK	-	64fs	-	Hz	
BCLK Duty	dBCK	-	50	-	%	
BCLK “↓” to LRCK	tMBLR	-20	-	40	ns	
BCLK “↓” to SDTO	tBSD	-20	-	40	ns	
SDTI Hold Time	tSDH	20	-	-	ns	
SDTI Setup Time	tSDS	20	-	-	ns	
Master mode (VA, VD = 2.7V ~ 3.6V)						
BCLK Frequency	fBCK	-	64fs	-	Hz	
BCLK Duty	dBCK	-	50	-	%	
BCLK “↓” to LRCK	tMBLR	-20	-	20	ns	
BCLK “↓” to SDTO	tBSD	-20	-	20	ns	
SDTI Hold Time	tSDH	13	-	-	ns	
SDTI Setup Time	tSDS	13	-	-	ns	
Reset Timing						
PDN Pulse Width (Note 15)	tPW	150	-	-	ns	
PDN “↑” to SDTO valid (Note 16)						
Slave Mode	Noraml Speed	tPWV	-	4134	-	1/fs
	Double Speed	tPWV	-	8262	-	1/fs
	Quad Speed	tPWV	-	16518	-	1/fs
Master Mode	Normal Speed	tPWV	-	4131	-	1/fs
	Double Speed	tPWV	-	8259	-	1/fs
	Quad Speed	tPWV	-	16515	-	1/fs

Note 15. AK4556はPDN pin = “L”でリセットされます。

Note 16. PDN pinを立ち上げてからのLRCKクロックの“↑”の回数です。

■ タイミング波形

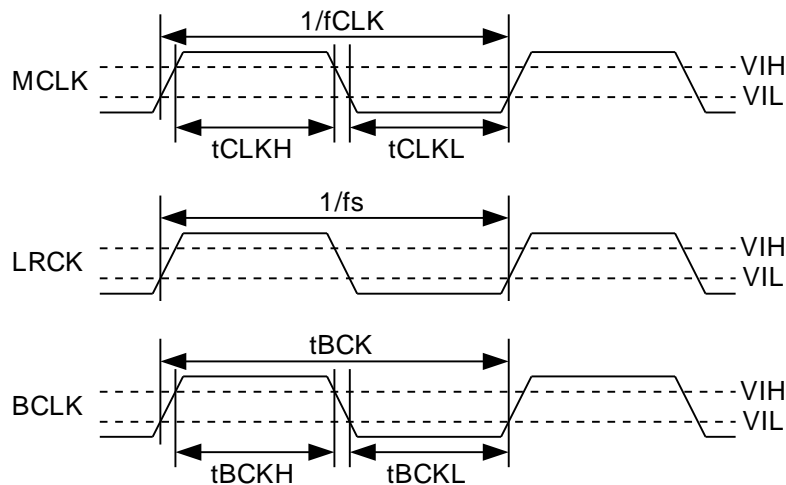


Figure 2. Clock Timing

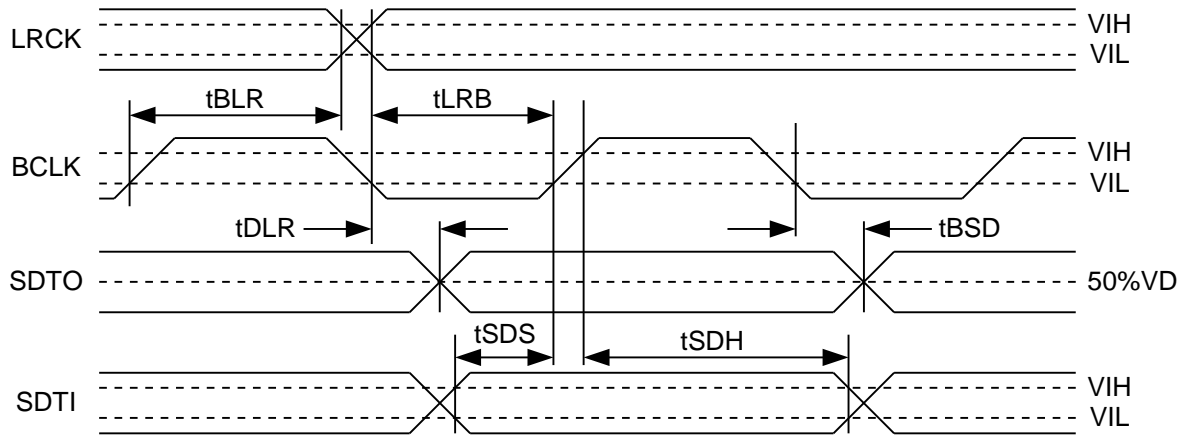


Figure 3. Audio Data Input/Output Timing (Slave mode)

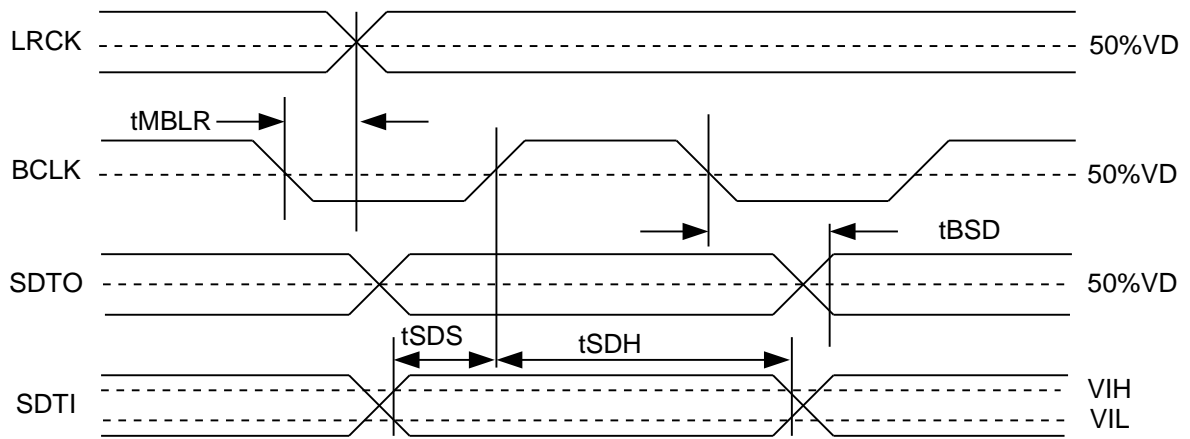


Figure 4. Audio Data Input/Output Timing (Master mode)

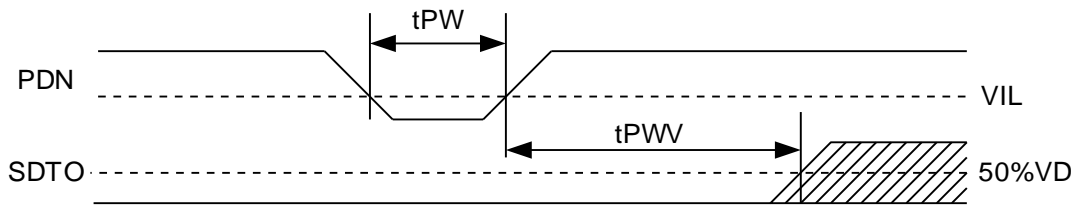


Figure 5. Reset Timing

動作説明

■ システムクロック

AK4556に必要とされるクロックは、MCLK, BCLK, LRCKです。MCLKとLRCKは同期する必要はありますが、位相を合わせる必要はありません。Table 1に標準のオーディオレートに対してAK4556に必要とされるMCLKの周波数を示します。CKS3-0 pin (Table 3)でMCLK周波数、BCLK周波数、HPFのON/OFF、及びマスタ/スレーブモードを設定します。MCLKが192fs, 384fs, 768fsの場合、サンプリング周波数はバリピッチに対応していません(Table 2)。

スレーブモードでの動作時(PDN pin = "H")は、各外部クロック(MCLK, BCLK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PDN pin = "L")にして下さい。マスタモードではパワーダウン時以外は、外部クロック(MCLK)を供給して下さい。

fs	MCLK					
	128fs	192fs	256fs	384fs	512fs	768fs
32kHz	N/A	N/A	8.192MHz	12.288MHz	16.384MHz	24.576MHz
44.1kHz	N/A	N/A	11.2896MHz	16.9344MHz	22.5792MHz	33.8688MHz
48kHz	N/A	N/A	12.288MHz	18.432MHz	24.576MHz	36.864MHz
96kHz	N/A	N/A	24.576MHz	36.864MHz	N/A	N/A
192kHz	24.576MHz	36.864MHz	N/A	N/A	N/A	N/A

Table 1. System Clock Example (N/A: Not Available)

Mode	Sampling Frequency	MCLK
Normal Speed	$8\text{kHz} \leq fs \leq 54\text{kHz}$	256fs/512fs
	$8\text{kHz} \leq fs \leq 48\text{kHz}$	384fs/768fs
Double Speed	$54\text{kHz} < fs \leq 108\text{kHz}$	256fs
	$48\text{kHz} < fs \leq 96\text{kHz}$	384fs
Quad Speed	$108\text{kHz} < fs \leq 216\text{kHz}$	128fs
	$96\text{kHz} < fs \leq 192\text{kHz}$	192fs

Table 2. Sampling Frequency Range

Mode	CKS3 pin	CKS2 pin	CKS1 pin	CKS0 pin	HPF	M/S	MCLK	Audio Interface Format (See Table 4)
0 (*)	L	L	L	L	ON	Slave	128/192fs (Quad Speed) 256/384fs (Double Speed) 512/768fs (Normal Speed)	LJ/RJ
1	L	L	L	H	ON	Slave	256/384/512/768fs (Normal Speed)	LJ/RJ
2	L	L	H	L	OFF	Slave	128/192fs (Quad Speed) 256/384fs (Double Speed) 512/768fs (Normal Speed)	LJ/RJ
3	L	L	H	H	OFF	Slave	256/384/512/768fs (Normal Speed)	LJ/RJ
4	L	H	L	L	ON	Slave	128/192fs (Quad Speed) 256/384fs (Double Speed) 512/768fs (Normal Speed)	I ² S
5	L	H	L	H	ON	Slave	256/384/512/768fs (Normal Speed)	I ² S
6	L	H	H	L	OFF	Slave	128/192fs (Quad Speed) 256/384fs (Double Speed) 512/768fs (Normal Speed)	I ² S
7	L	H	H	H	OFF	Slave	256/384/512/768fs (Normal Speed)	I ² S
8	H	L	L	L	ON	Slave	128/192fs (Quad Speed) 256/384fs (Double Speed) 512/768fs (Normal Speed)	LJ
9	H	L	L	H	ON	Slave	256/384/512/768fs (Normal Speed)	LJ
10	H	L	H	L	OFF	Slave	128/192fs (Quad Speed) 256/384fs (Double Speed) 512/768fs (Normal Speed)	LJ
11	H	L	H	H	OFF	Slave	256/384/512/768fs (Normal Speed)	LJ
12	H	H	L	L	ON	Master	256fs (Double Speed)	I ² S
13	H	H	L	H	ON	Master	512fs (Normal Speed)	I ² S
14	H	H	H	L	ON	Master	128fs (Quad Speed)	I ² S
15	H	H	H	H	ON	Master	256fs (Normal Speed)	I ² S

* AK4552 Compatible mode

Table 3. Mode Setting

■ オーディオインタフェースフォーマット

3種類のデータフォーマットがCKS3-0 pin (Table 3, Table 4)で選択できます。各モードともMSB first、2's complementのデータフォーマットでSDTOはBCLKの立ち下がりエッジで出力され、SDTIは立ち上がりエッジでラッチされます。オーディオインタフェースはマスタモードとスレーブモードに対応します。マスタモードではLRCKとBCLKは出力になり、スレーブモードでは入力になります。マスタモード時のLRCK周波数とBCLK周波数はそれぞれfsと64fsで、オーディオインタフェースフォーマットはI²S固定です。

Mode	SDTO	SDTI	LRCK	BCLK (Slave)	BCLK (Master)
LJ	24bit, MSB justified	24bit, MSB justified	H/L	≥ 48fs	-
I ² S	24bit, I ² S Compatible	24bit, I ² S Compatible	L/H	≥ 48fs or 32fs	64fs
LJ/RJ	24bit, MSB justified	24bit, LSB justified	H/L	≥ 48fs	-

Table 4. Audio Interface Format

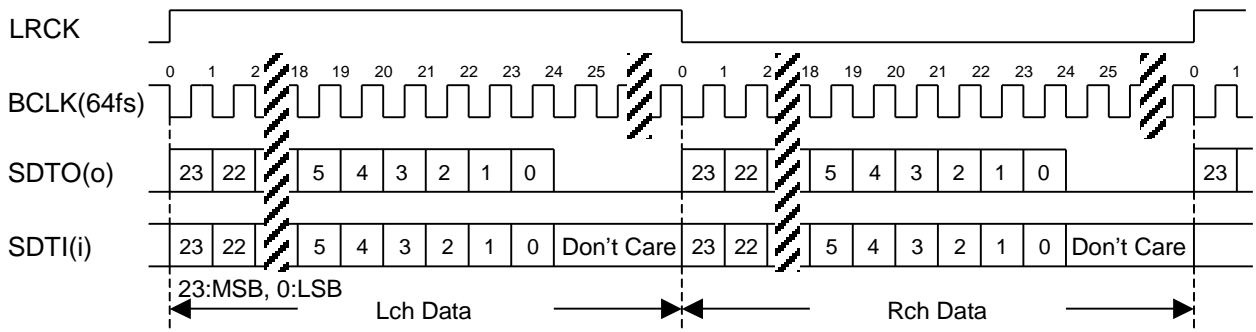


Figure 6. Mode LJ Timing

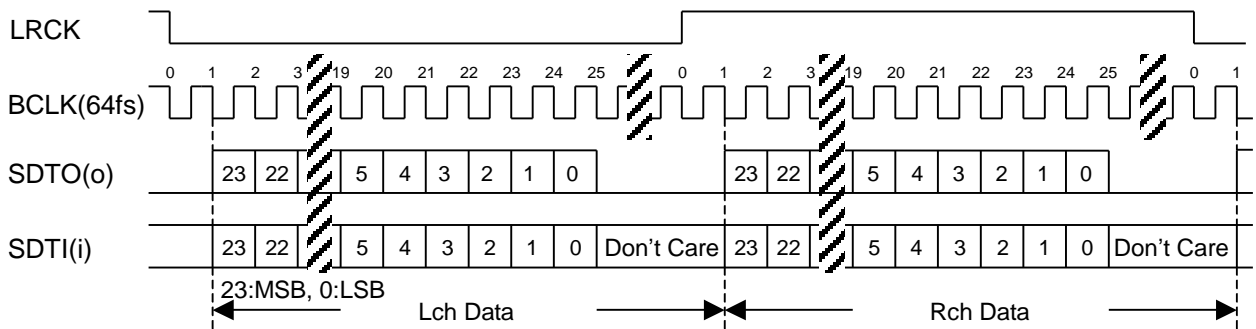


Figure 7. Mode I²S Timing

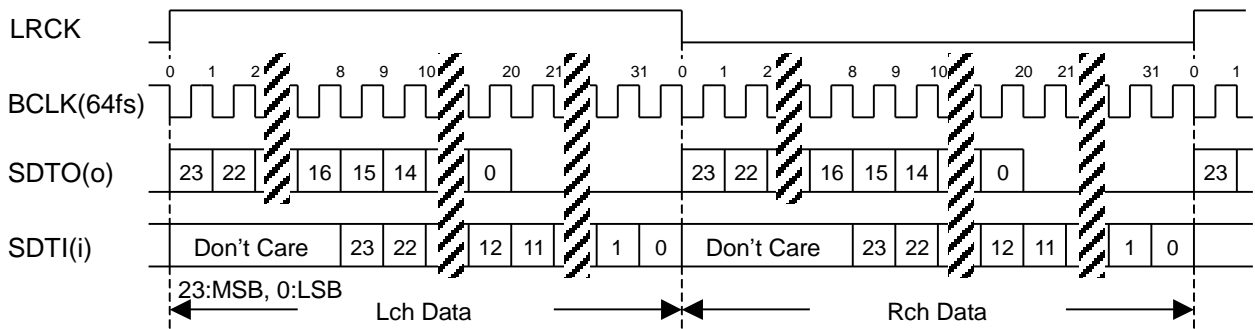


Figure 8. Mode LJ/RJ Timing

■ ディエンファシスフィルタ

DACはIIRフィルタによる3周波数（32kHz, 44.1kHz, 48kHz）対応のディエンファシスフィルタ(tc=50/15μs)を内蔵しています。入力データに対してDEM0 pin と DEM1 pin で設定された周波数のディエンファシスフィルタが有効になります。Double/Quad Speed Mode時は、このフィルタは常にOFFです。

DEM1	DEM0	Mode
0	0	44.1kHz
0	1	OFF
1	0	48kHz
1	1	32kHz

Table 5. De-emphasis filter control

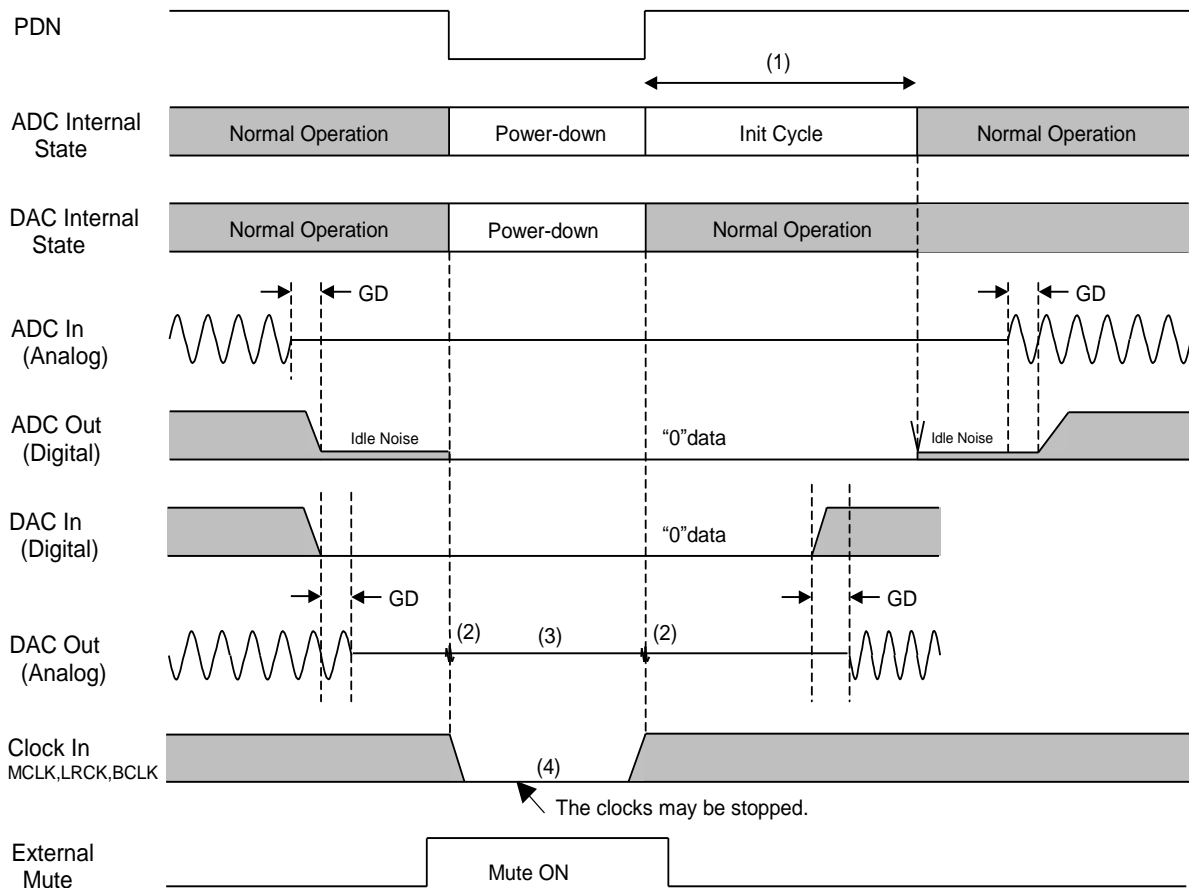
■ デジタル HPF

ADCはDCオフセットキャンセルのためにデジタルHPFを内蔵します。HPFのfcは、 $f_s=48\text{kHz}$ 時1.0Hzになっており、20Hzで-0.12dBです。周波数応答は f_s に比例します。

CKS3-0 pinの設定により、HPFのON/OFFを制御することができます(Table 3)。但し、動作中にHPFのON/OFF設定を変更すると、DCオフセット値の変化によるクリック音発生の原因となります。

■ パワーダウン & リセット

AK4556のADCとDACはPDN pinを“L”にすることでパワーダウンモードにできます。この時、同時にデジタルフィルタがリセットされます。このリセットは電源投入時に必ず一度行って下さい。ADCでは、パワーダウンモードが解除されると初期化サイクルが開始されます。そのため、出力データSDTOはスレーブモード時は4134 x LRCKサイクル(@ Normal Speed) 後、マスタモード時は4131 x LRCKサイクル(@ Normal Speed) 後確定します。初期化中は両チャンネルのADC出力データは2's complement の“0”で、初期化終了後、ADC出力はアナログ入力信号に相当するデータにセットリングします(セットリングは群遅延時間程度かかります)。DACにはこの初期化サイクルはありません。



Notes:

- (1) スレーブモード(typ.): $4134/f_s$ @ Normal Speed, $8262/f_s$ @ Double Speed, $16518/f_s$ @ Quad Speed
マスタモード(typ.): $4131/f_s$ @ Normal Speed, $8259/f_s$ @ Double Speed, $16515/f_s$ @ Quad Speed
- (2) PDN pinのエッジ("↑")でクリックノイズが発生します。ノイズが問題になる場合はアナログ出力を外部でミュートして下さい。
- (3) パワーダウン時、LOUT/ROUT pinは、Hi-Z になります。
- (4) マスタモードでは、パワーダウン時、LRCKとBCLKは“L”を出力します。

Figure 9. パワーアップ/ダウンシーケンス

■ システムリセット

電源投入時、一度PDN pinを“L”にしてリセットして下さい。スレーブモード時には、PDN pinを“H”にするとリセット及びパワーダウンはMCLKで解除され、Mode LJ, Mode LJ/RJの場合はLRCKの立ち上がりエッジ、Mode I²Sの場合はLRCK立ち下がり後のBCLKの一回目の立ち上がり後のBCLK立ち下がりエッジに同期して内部のタイミングが動作します。LRCKが入力されるまではパワーダウン状態です。マスタモード時には、PDN pinを“H”にするとリセット及びパワーダウンはMCLKが入力されると解除され、内部のタイミングが動作します。

システム設計

システム接続例をFigure 10 に示します。具体的な回路と測定例については評価ボード (AKD4556)を参照して下さい。

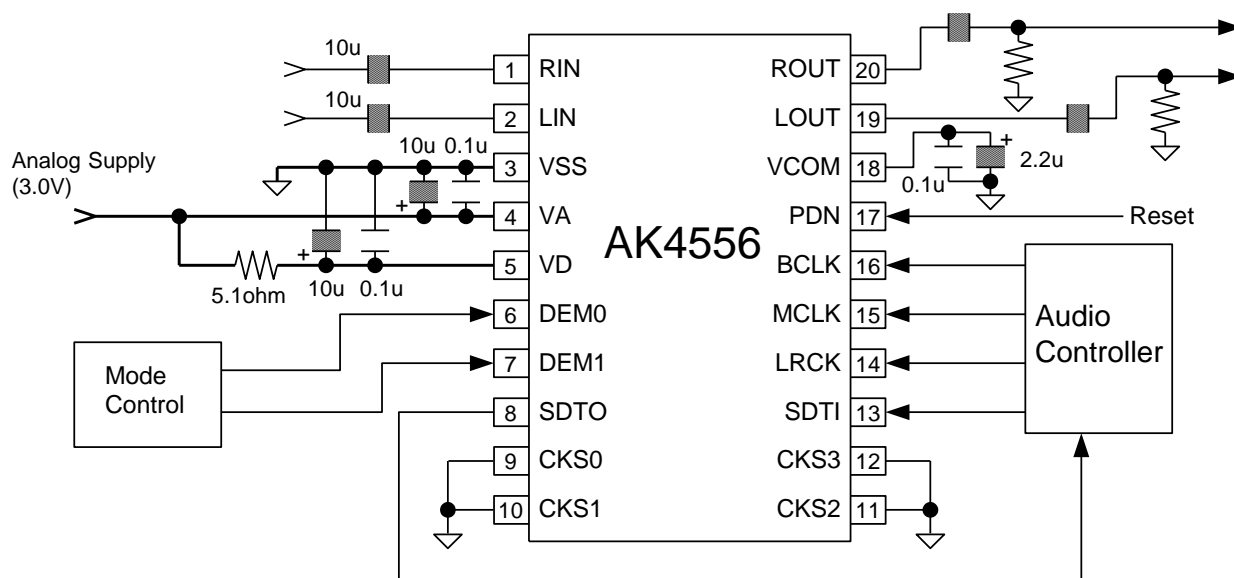


Figure 10. システム接続図 (Mode 0: AK4552 互換モード)

Notes:

- AK4556のVSSと周辺コントローラ等のグラウンドは分けて配線して下さい。
- 全てのデジタル入力ピンはオープンにしないで下さい。
- LOUT/ROUTが容量性負荷を駆動する場合は直列抵抗220Ωを挿入して下さい。このとき、400pFまで駆動可能です。

1. グランドと電源のデカップリング

電源とグランドの取り方については十分注意して下さい。通常、VAはシステムのアナログ電源を、VDにはVAから5.1Ωの抵抗を介した電源を供給します。もし、VAとVDが別電源で供給されても、電源立ち上げシーケンスを考慮する必要はありません。VSSはシステムのアナロググランドに接続して下さい。システムのグランドはアナログとデジタルで分けて配線し、PCボード上の電源に近い所で接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. 内蔵基準電圧

VA pin に入力される電圧がアナログ入出力レンジを設定します。通常、VA pin とVSS pin 間に0.1μFのセラミックコンデンサを接続します。VCOMはアナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するため2.2μF程度の電解コンデンサと並列に0.1μFのセラミックコンデンサをVSS pin との間に接続して下さい。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOM pin は当LSI専用のピンですので、他の回路へ接続しないで下さい。また、デジタル信号、特にクロックは変調器へのカップリングを避けるためVA, VD, VCOM pin からできるだけ離して下さい。

3. アナログ入力

ADC入力はシングルエンド入力になっており、内部では8kΩ (typ @ fs=48kHz, 96kHz, 192kHz)の抵抗でVCOM電圧 (typ. 0.5 x VA) にバイアスされています。入力レンジはVA電源に比例し、typ. 0.7 x VA Vppです。出力コードのフォーマットは2's complementです。DCオフセット (ADC自体のDCオフセットも含む)は内蔵のHPFでキャンセルすることができます。

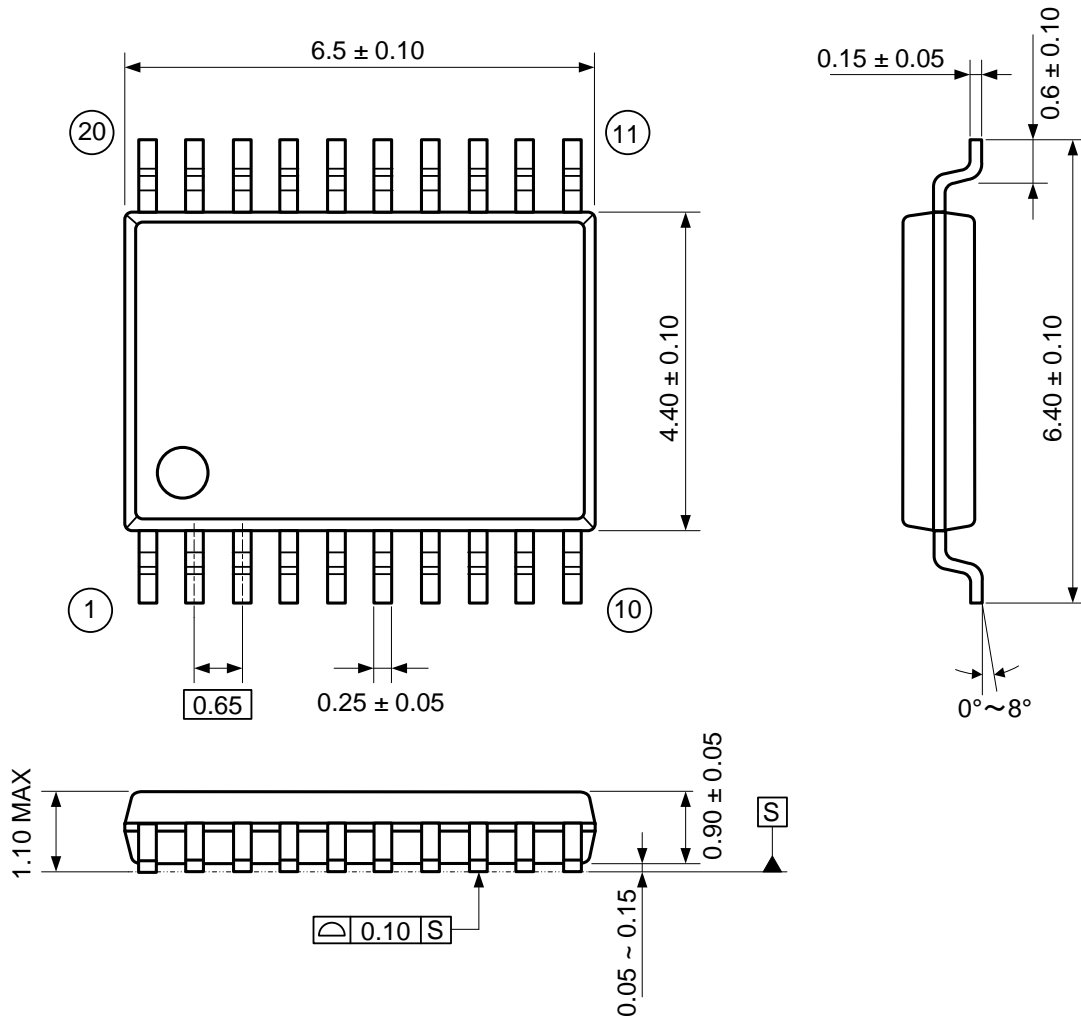
AK4556は128fs (@ fs=48kHz), 64fs (@ fs=96kHz) or 32fs (@ fs=192kHz)でアナログ入力をサンプリングします。デジタルフィルタは、アナログ入力のサンプリング周波数の整数倍付近の帯域を除く阻止域以上のノイズを全て除去します。AK4556はアナログ入力のサンプリング周波数付近のノイズを減衰させるためにアンチエイリアジングフィルタ(RCフィルタ)を内蔵しています。

4. アナログ出力

DAC出力はシングルエンドになっており、出力レンジはVCOM電圧を中心に0.7 x VA Vpp (typ)です。入力コードのフォーマットは2's complementで、7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)での理想値はVCOM電圧が出力されます。ΔΣ変調器が発生する帯域外ノイズ(シェーピングノイズ)が気になる場合は、外付けのフィルタで減衰させて下さい。

アナログ出力はVCOM+数mV程度のDCオフセットを持つため、通常の使用ではコンデンサでDC成分をカットします。

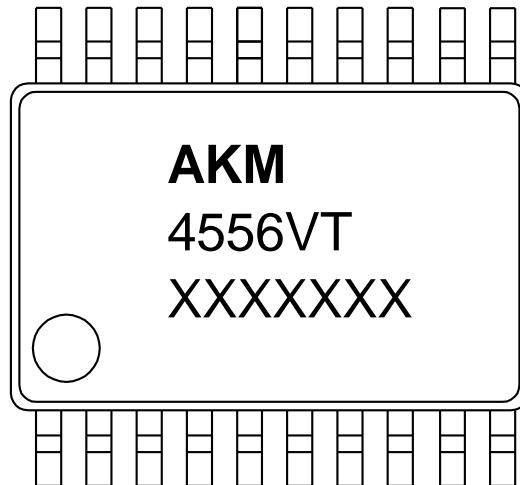
パッケージ



■ 材質・メッキ仕様

- パッケージ材質: エポキシ系樹脂
- リードフレーム材質: 銅
- リードフレーム処理: 半田(無鉛)メッキ

マーキング



- 1) Pin #1 indication
- 2) Date Code: XXXXXXXX (7 digits)
- 3) Marketing Code: 4556VT

改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
06/11/06	00	初版		
15/10/30	01	仕様変更	21, 22	パッケージ、マーキング パッケージ図の寸法、マーキング変更

重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替および外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。