



AK4627

## High Performance Multi-channel Audio CODEC

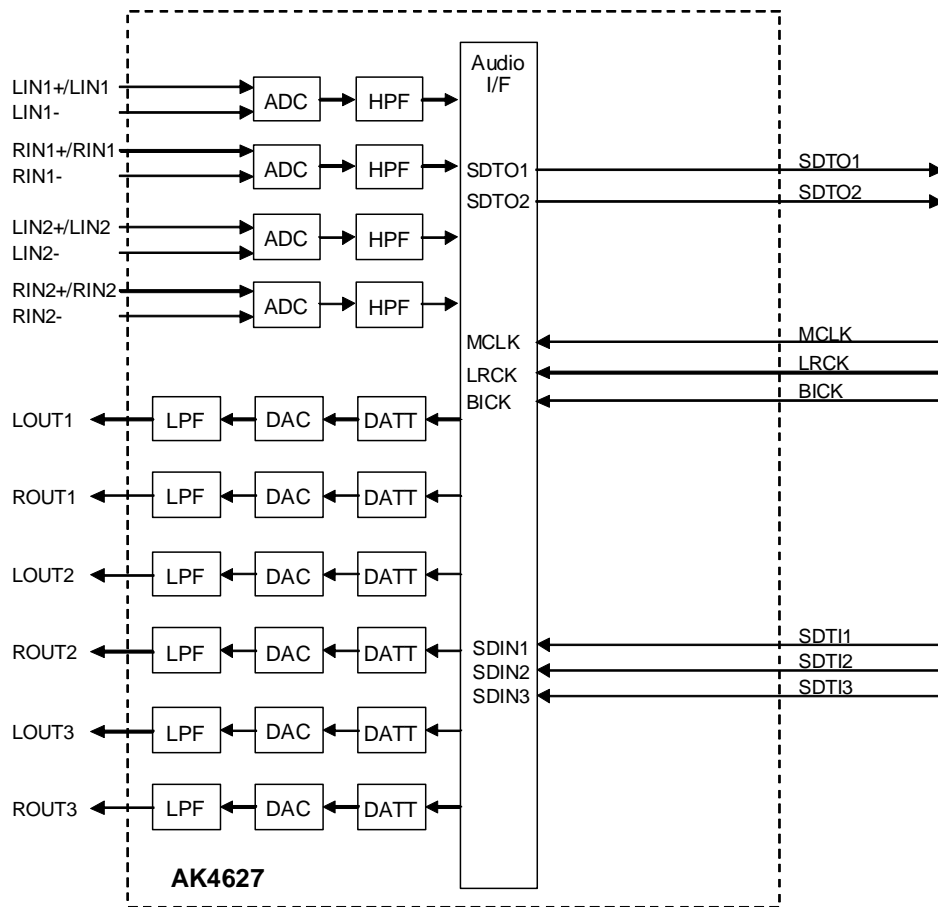
## 概 要

AK4627は4ch ADCと6ch DACを内蔵する24bit CODECです。ADCにはエンハンスド・デュアルビット方式を採用、DACにはアドバンスド・マルチビット方式を採用しています。AK4627のADCはシングルエンド入力、差動入力の両方に対応しており、ホームシアターシステムやカーオーディオサウンドシステムなど幅広いアプリケーションに適用できます。48ピンLQFPパッケージに実装され、基板スペースを削減します。

## 特 長

- 4ch 24bit ADC
  - 64倍オーバーサンプリング
  - サンプリング周波数: 最大96kHz
  - 直線位相デジタルフィルタ内蔵
  - シングルエンド/ 差動入力対応
  - S/(N+D): 92dB (シングルエンド入力、差動入力)
  - ダイナミックレンジ, S/N: 102dB (シングルエンド入力)、103dB (差動入力)
  - オフセットキャンセル用デジタルHPF
  - I/Fフォーマット: 前詰め, I<sup>2</sup>S, TDM
- 6ch 24bit DAC
  - 128倍オーバーサンプリング
  - サンプリング周波数: 最大192kHz
  - 24ビット8倍デジタルフィルタ
  - シングルエンド出力
  - S/(N+D): 90dB
  - ダイナミックレンジ, S/N: 106dB
  - I/Fフォーマット: 前詰め, 後詰め(20bit,24bit), I<sup>2</sup>S, TDM
  - チャンネル独立デジタルボリューム内蔵 (128レベル, 0.5dBステップ)
  - ソフトミュート
  - ディエンファシス内蔵 (32kHz, 44.1kHz, 48kHz対応)
  - ゼロ検出機能
- 強ジッタ耐力
- TTLレベルデジタルI/F
- シリアルμP I/F: 3線シリアル, I<sup>2</sup>Cバス
- マスタクロック: 256fs, 384fs, 512fs (fs=32kHz ~ 48kHz)  
128fs, 192fs, 256fs (fs=64kHz ~ 96kHz)  
128fs (fs=120kHz~ 192kHz)
- 電源電圧: 4.5 ~ 5.5V
- 出力バッファ用電源: 2.7 ~ 5.5V
- 小型パッケージ: 48ピンLQFP

■ ブロック図



ブロック図

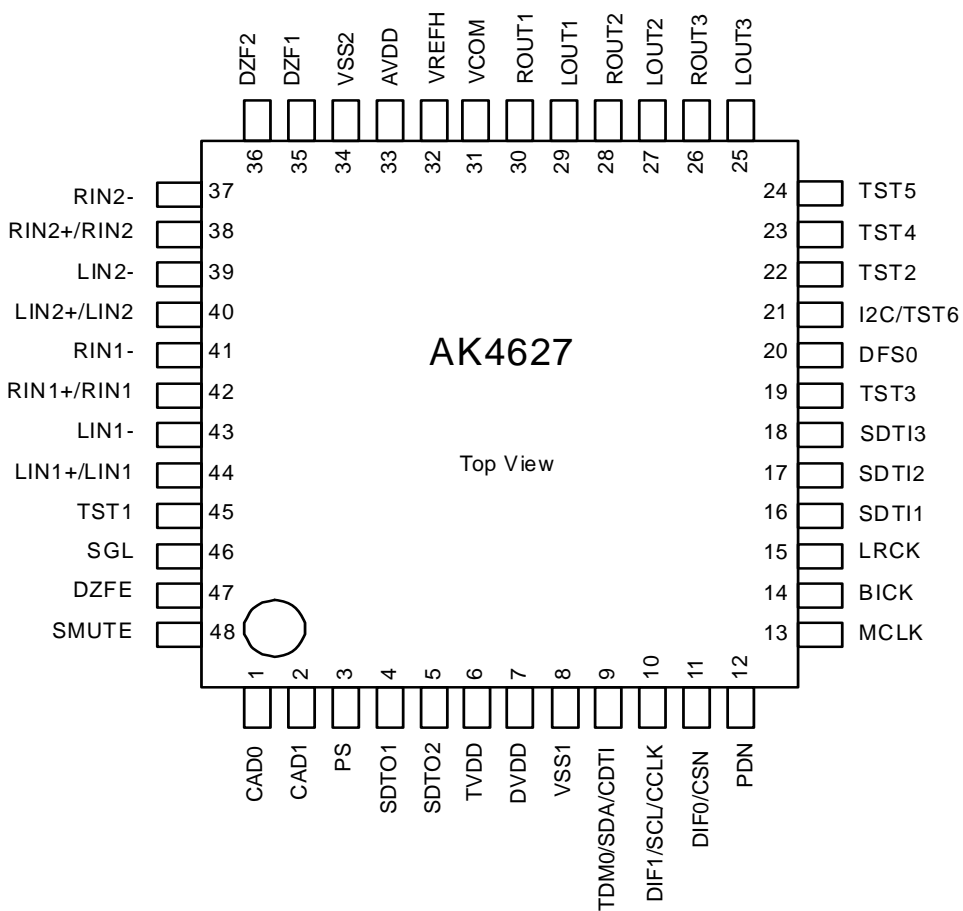
■ オーダリングガイド

AK4627VQ  
AKD4627

-40 ~ +105°C  
評価ボード

48pin LQFP(0.5mm pitch)

■ ピン配置



## ピン/機能

No.	Pin Name	I/O	Function
1	CAD0	I	Chip Address 0 Pin
2	CAD1	I	Chip Address 1 Pin
3	PS	I	Parallel/Serial Select Pin “L”: Serial control mode, “H”: Parallel control mode
4	SDTO1	O	ADC1 Audio Serial Data Output Pin
5	SDTO2	O	ADC2 Audio Serial Data Output Pin
6	TVDD	-	Output Buffer Power Supply Pin, 2.7V~5.5V
7	DVDD	-	Digital Power Supply Pin, 4.5V~5.5V
8	VSS1	-	Digital Ground Pin, 0V
9	TDM0	I	TDM I/F Format Mode Pin in parallel control mode “L”: Normal mode, “H”: TDM mode
	SDA/CDTI	I/O	Control Data Input Pin in serial control mode I2C pin= “L”: CDTI (3-wire Serial), I2C pin= “H”: SDA (I <sup>2</sup> C Bus)
10	DIF1	I	Audio Data Interface Format 1 Pin in parallel control mode
	SCL/CCLK	I	Control Data Clock Pin in serial control mode I2C pin= “L”: CCLK (3-wire Serial), I2C pin= “H”: SCL (I <sup>2</sup> C Bus)
11	DIF0	I	Audio Data Interface Format 0 Pin in parallel control mode
	CSN	I	Chip Select Pin in 3-wire serial control mode This pin should be connected to DVDD at I <sup>2</sup> C bus control mode
12	PDN	I	Power-Down & Reset Pin When “L”, the AK4627 is powered-down and the control registers are reset to default state. If the state of the PS pin or CAD1-0 pins change, then the AK4627 must be reset by the PDN pin.
13	MCLK	I	Master Clock Input Pin
14	BICK	I	Audio Serial Data Clock Pin
15	LRCK	I	Input Channel Clock Pin
16	SDTI1	I	DAC1 Audio Serial Data Input Pin
17	SDTI2	I	DAC2 Audio Serial Data Input Pin
18	SDTI3	I	DAC3 Audio Serial Data Input Pin
19	TST3	I	Test Pin This pin should be connected to VSS1
20	DFS0	I	Double Speed Sampling Mode Pin (Note 1) “L”: Normal Speed, “H”: Double Speed
21	I2C	I	Control Mode Select Pin (PS pin = “L”) “L”: 3-wire Serial, “H”: I <sup>2</sup> C Bus
	TST6	I	Test Pin (PS pin = “H”) This pin should be connected to VSS1
22	TST2		Test Pin This pin should be connected to VSS1.
23	TST4		Test Pin This pin should be open.
24	TST5		Test Pin This pin should be open.
25	LOUT3	O	DAC3 Lch Analog Output Pin
26	ROUT3	O	DAC3 Rch Analog Output Pin
27	LOUT2	O	DAC2 Lch Analog Output Pin
28	ROUT2	O	DAC2 Rch Analog Output Pin
29	LOUT1	O	DAC1 Lch Analog Output Pin
30	ROUT1	O	DAC1 Rch Analog Output Pin

No.	Pin Name	I/O	Function
31	VCOM	O	Common Voltage Output Pin, AVDD/2 Large external capacitor around 2.2μF is used to reduce power-supply noise.
32	VREFH	I	Positive Voltage Reference Input Pin, AVDD
33	AVDD	-	Analog Power Supply Pin, 4.5V~5.5V
34	VSS2	-	Analog Ground Pin, 0V
35	DZF1	O	Zero Input Detect 1 Pin (Note 2) When the input data of the group 1 follow total 8192 LRCK cycles with “0” input data, this pin goes to “H”. And when RSTN bit is “0”, PWDAN pin is “L”, this pin goes to “H”. It always is in “L” when the PS pin is “H”.
36	DZF2	O	Zero Input Detect 2 Pin (Note 2) When the input data of the group 1 follow total 8192 LRCK cycles with “0” input data, this pin goes to “H”. And when RSTN bit is “0”, PWDAN pin is “L”, this pin goes to “H”. It always is in “L” when the PS pin is “H”.
37	RIN2-	I	ADC2 Rch Analog Negative Input Pin (SGL pin = “L”)
38	RIN2+	I	ADC2 Rch Analog Positive Input Pin (SGL pin = “L”)
	RIN2	I	ADC2 Rch Analog Input Pin (SGL pin = “H”)
39	LIN2-	I	ADC2 Lch Analog Negative Input Pin (SGL pin = “L”)
40	LIN2+	I	ADC2 Lch Analog Positive Input Pin (SGL pin = “L”)
	LIN2	I	ADC2 Lch Analog Input Pin (SGL pin = “H”)
41	RIN1-	I	ADC1 Rch Analog Negative Input Pin (SGL pin = “L”)
42	RIN1+	I	ADC1 Rch Analog Positive Input Pin (SGL pin = “L”)
	RIN1	I	ADC1 Rch Analog Input Pin (SGL pin = “H”)
43	LIN1-	I	ADC1 Lch Analog Negative Input Pin (SGL pin = “L”)
44	LIN1+	I	ADC1 Lch Analog Positive Input Pin (SGL pin = “L”)
	LIN1	I	ADC1 Lch Analog Input Pin (SGL pin = “H”)
45	TST1	I	Test Pin This pin should be connected to VSS1.
46	SGL	I	Single-ended Input Mode Select Pin. “L”: ADC Differential Input Mode “H”: ADC Single-ended Input Mode
47	DZFE	I	Zero Input Detect Enable Pin “L”: mode 7 (disable) at parallel mode, zero detect mode is selectable by DZFM3-0 bits at serial mode “H”: mode 0 (DZF1 is AND of all six channels)
48	SMUTE	I	Soft Mute Pin (Note 1) When this pin goes to “H”, soft mute cycle is initialized. When returning to “L”, the output mute releases.

Note 1. PS pin= “L”の時、 SMUTE, DFS0 pinはレジスタとORが取られます。

Note 2. PS pin= “L”かつDZFE = “L”の時、各ラインアウトのゼロ検出結果を反映する出力ピン(DZF1/2 pin)はDZFM3-0 bitで選択できます。(Table 11)

Note 3. プルダウンピン以外の全てのデジタル入力ピンはフローティングにしないで下さい。

## 絶対最大定格

(VSS1=VSS2=0V; Note 4)

Parameter		Symbol	min	max	Unit
Power Supplies	Analog	AVDD	-0.3	6.0	V
	Digital	DVDD	-0.3	6.0	V
	Output buffer	TVDD	-0.3	6.0	V
Input Current (any pins except for supplies)		IIN	-	±10	mA
Analog Input Voltage		VINA	-0.3	AVDD+0.3	V
Digital Input Voltage		VIND	-0.3	DVDD+0.3	V
Ambient Temperature (power applied) (Note 6)		Ta	-40	105	°C
Storage Temperature		Tstg	-65	150	°C

Note 4. 電圧はすべてグラウンドに対する値です。

Note 5. VSS1とVSS2はアナロググラウンドに接続して下さい。

Note 6. 実装されるプリント基板の配線密度100%以上の場合です。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。  
また通常の動作は保証されません。

## 推奨動作条件

(VSS1=VSS2=0V; Note 4)

Parameter		Symbol	min	typ	max	Unit
Power Supplies (Note 7)	Analog	AVDD	4.5	5.0	5.5	V
	Digital	DVDD	4.5	5.0	5.5	V
	Output buffer	TVDD	2.7	5.0	5.5	V

Note 4. 電圧はすべてグラウンドに対する値です。

Note 7. AVDD, DVDD, TVDDの立ち上げシーケンスを考える必要はありません。I2Cバスと接続して使う場合、周辺デバイスが電源ONの状態ではAK4627のみをOFFにしないでください。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

## アナログ特性

(Ta=25°C; AVDD=DVDD=TVDD=5V; VSS2=VSS1=0V; VREFH=AVDD; fs=48kHz; BICK=64fs;  
Signal Frequency=1kHz; 24bit Data; Measurement Frequency=20Hz~20kHz at 48kHz, 20Hz~40kHz at fs=96kHz,  
20Hz~40kHz at fs=192kHz; unless otherwise specified)

Parameter		min	typ	max	Unit
<b>ADC Analog Input Characteristics (Single-ended Inputs)</b>					
Resolution				24	Bits
S/(N+D) (-0.5dBFS)	fs=48kHz	84	96		dB
	fs=96kHz	-	92		dB
DR (-60dBFS)	fs=48kHz, A-weighted	94	102		dB
	fs=96kHz	88	99		dB
	fs=96kHz, A-weighted	93	105		dB
S/N (Note 11)	fs=48kHz, A-weighted	94	102		dB
	fs=96kHz	88	99		dB
	fs=96kHz, A-weighted	93	105		dB
Interchannel Isolation		90	110		dB
<b>DC Accuracy (Single-ended Inputs)</b>					
Interchannel Gain Mismatch			0.2	0.3	dB
Gain Drift			20	-	ppm/°C
Input Voltage	A <sub>IN</sub> =0.68xVREFH	3.2	3.4	3.6	V <sub>pp</sub>
Input Resistance	fs=48kHz	10	14		kΩ
	fs=96kHz		11		kΩ
Power Supply Rejection	(Note 9)		50		dB
<b>ADC Analog Input Characteristics (Differential inputs)</b>					
S/(N+D) (-0.5dBFS)	fs=48kHz	84	96		dB
	fs=96kHz	-	94		dB
DR (-60dBFS)	fs=48kHz, A-weighted	95	103		dB
	fs=96kHz	89	100		dB
	fs=96kHz, A-weighted	94	106		dB
S/N (Note 11)	fs=48kHz, A-weighted	95	103		dB
	fs=96kHz	89	100		dB
	fs=96kHz, A-weighted	94	106		dB
Interchannel Isolation		90	110		dB
<b>DC Accuracy (Differential inputs)</b>					
Interchannel Gain Mismatch			0.2	0.3	dB
Gain Drift			20	-	ppm/°C
Input Voltage	A <sub>IN</sub> =0.68xVREFH (Note 8)	±3.2	±3.4	±3.6	V <sub>pp</sub>
Input Resistance	fs=48kHz	22	32		kΩ
	fs=96kHz		19		kΩ
Power Supply Rejection	(Note 9)		50	-	dB
Common Mode Rejection Ratio (CMRR)	(Note 10)	60			dB

DAC Analog Output Characteristics					
Resolution				24	Bits
S/(N+D) (0dBFS)	fs=48kHz	80	98		dB
	fs=96kHz	78	98		dB
	fs=192kHz	-	98		dB
DR (-60dBFS)	fs=48kHz, A-weighted	95	106		dB
	fs=96kHz	88	100		dB
	fs=96kHz, A-weighted	94	106		dB
	fs=192kHz	-	100		dB
	fs=192kHz, A-weighted	-	106		dB
S/N (Note 12)	fs=48kHz, A-weighted	95	106		dB
	fs=96kHz	88	100		dB
	fs=96kHz, A-weighted	94	106		dB
	fs=192kHz	-	100		dB
	fs=192kHz, A-weighted	-	106		dB
Interchannel Isolation		90	110		dB
DC Accuracy					
Interchannel Gain Mismatch			0.2	0.5	dB
Gain Drift			20	-	ppm/°C
Output Voltage	AOUT=0.6xVREFH	2.75	3.0	3.25	Vpp
Load Resistance		5			kΩ
Load Capacitance				25	pF
Power Supply Rejection	(Note 10)		50		dB

Note 8. (LIN+) – (LIN-) 及び(RIN+) – (RIN-)の値です。VREFHの電圧に比例します。

Note 9. VREFHを+5Vに固定して、AVDD, DVDD, TVDDに1kHz, 50mVppの正弦波を重畳した場合。

Note 10. VREFHを+5Vに固定して、LIN+(RIN+)とLIN-(RIN-)に同相でAVDD1, 2 x 1/2中心1.52Vpp, 1kHzの正弦波を入力した場合。CMRRの測定は1.52Vpp=-7dBFSを基準としたときの減衰レベルを測定します。

Note 11. CCIR-ARMで測定した場合は98dB(@fs=48kHz)です。

Note 12. CCIR-ARMで測定した場合は102dB(@fs=48kHz)です。

Parameter	min	typ	max	Unit
Power Supplies				
Power Supply Current (AVDD+DVDD+TVDD)				
Normal Operation (PDN = "H")				
AVDD	fs=48kHz, 96kHz	57	86	mA
	fs=192kHz	34	51	mA
DVDD+TVDD	fs=48kHz (Note 13)	19	29	mA
	fs=96kHz	27	40	mA
	fs=192kHz	27	40	mA
Power-down mode (PDN = "L") (Note 14)		80	200	μA

Note 13. TVDD=0.1mA(typ).

Note 14. 静止時。クロックを含む全てのデジタル入力ピンをVSS1に固定した場合の値です。



## フィルタ特性

(Ta=25°C; AVDD=DVDD=4.5~5.5V; TVDD=2.7~5.5V; fs=48kHz)

Parameter	Symbol	min	typ	max	Unit
<b>ADC Digital Filter (Decimation LPF):</b>					
Passband (Note 15)	PB	±0.1dB	0	18.9	kHz
		-0.2dB	-	20.0	kHz
		-3.0dB	-	23.0	kHz
Stopband	SB	28			kHz
Passband Ripple	PR			±0.04	dB
Stopband Attenuation	SA	68			dB
Group Delay (Note 16)	GD		16		1/fs
Group Delay Distortion	ΔGD		0		μs
<b>ADC Digital Filter (HPF):</b>					
Frequency Response (Note 15)	FR	-3dB		1.0	Hz
		-0.1dB		6.5	Hz
<b>DAC Digital Filter:</b>					
Passband (Note 15)	PB	-0.1dB	0	21.8	kHz
		-6.0dB	-	24.0	kHz
Stopband	SB	26.2			kHz
Passband Ripple	PR			±0.02	dB
Stopband Attenuation	SA	54			dB
Group Delay (Note 16)	GD		19.2		1/fs
<b>DAC Digital Filter + Analog Filter:</b>					
Frequency Response: 0 ~ 20.0kHz	FR			±0.2	dB
		40.0kHz (Note 17)		±0.3	dB
		80.0kHz (Note 17)		±1.0	dB

Note 15. 通過域と阻止域はfsに比例します。例えば、-0.1dBでの21.8kHzは0.454 x fsです。

Note 16. デジタルフィルタによる演算遅延で、アナログ信号が入力されてから両チャンネルの24ビットデータがADCの出力レジスタにセットされるまでの時間です。DACについては、両チャンネルの20/24ビットデータがDACの入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

Note 17. 40.0kHz; fs=96kHz, 80.0kHz; fs=192kHz.

## DC特性

(Ta=25°C; AVDD=DVDD=4.5~5.5V; TVDD=2.7~5.5V)

Parameter	Symbol	min	typ	max	Unit
High-Level Input Voltage	VIH	2.2	-	-	V
Low-Level Input Voltage	VIL	-	-	0.8	V
High-Level Output Voltage (SDTO1-2 pins: Iout=-100μA) (DZF1, DZF2 pins: Iout=-100μA)	VOH	TVDD-0.5	-	-	V
	VOH	AVDD-0.5	-	-	V
Low-Level Output Voltage (SDTO1-2, DZF1, DZF2 pins: Iout= 100μA) (SDA pin: Iout= 3mA)	VOL	-	-	0.5	V
	VOL	-	-	0.4	V
Input Leakage Current	Iin	-	-	±10	μA

## スイッチング特性

(Ta=25 ; AVDD= DVDD=4.5~5.5V; TVDD=2.7~5.5V; CL=20pF)

Parameter	Symbol	min	typ	max	Unit
<b>Master Clock Timing</b>					
256fsn, 128fsd:	fCLK	8.192		12.288	MHz
Pulse Width Low	tCLKL	27			ns
Pulse Width High	tCLKH	27			ns
384fsn, 192fsd:	fCLK	12.288		18.432	MHz
Pulse Width Low	tCLKL	20			ns
Pulse Width High	tCLKH	20			ns
512fsn, 256fsd, 128fsq:	fCLK	16.384		24.576	MHz
Pulse Width Low	tCLKL	15			ns
Pulse Width High	tCLKH	15			ns
<b>LRCK Timing</b>					
<b>Normal mode (TDM0= "0", TDM1= "0")</b>					
Normal Speed Mode	fsn	32		48	kHz
Double Speed Mode	fsd	64		96	kHz
Quad Speed Mode	fsq	128		192	kHz
Duty Cycle	Duty	45		55	%
<b>TDM256 mode (TDM0= "1", TDM1= "0")</b>					
LRCK frequency	fsn	32		48	kHz
"H" time	tLRH	1/256fs			ns
"L" time	tLRL	1/256fs			ns
<b>TDM128 mode (TDM0= "1", TDM1= "1")</b>					
LRCK frequency	fsd	64		96	kHz
"H" time	tLRH	1/128fs			ns
"L" time	tLRL	1/128fs			ns
<b>Audio Interface Timing</b>					
<b>Normal mode (TDM0= "0", TDM1= "0")</b>					
BICK Period	tBCK	81			ns
BICK Pulse Width Low	tBCKL	32			ns
Pulse Width High	tBCKH	32			ns
LRCK Edge to BICK "↑" (Note 18)	tLRB	20			ns
BICK "↑" to LRCK Edge (Note 18)	tBLR	20			ns
LRCK to SDTO1-2 (MSB)	tLRS			40	ns
BICK "↓" to SDTO1-2	tBSD			40	ns
SDTI1-3 Hold Time	tSDH	20			ns
SDTI1-3 Setup Time	tSDS	20			ns
<b>TDM256 mode (TDM0= "1", TDM1= "0")</b>					
BICK Period	tBCK	81			ns
BICK Pulse Width Low	tBCKL	32			ns
Pulse Width High	tBCKH	32			ns
LRCK Edge to BICK "↑" (Note 18)	tLRB	20			ns
BICK "↑" to LRCK Edge (Note 18)	tBLR	20			ns
BICK "↓" to SDTO1	tBSD			20	ns
SDTI1 Hold Time	tSDH	10			ns
SDTI1 Setup Time	tSDS	10			ns
<b>TDM128 mode (TDM0= "1", TDM1= "1")</b>					
BICK Period	tBCK	81			ns
BICK Pulse Width Low	tBCKL	32			ns
Pulse Width High	tBCKH	32			ns
LRCK Edge to BICK "↑" (Note 18)	tLRB	20			ns
BICK "↑" to LRCK Edge (Note 18)	tBLR	20			ns
BICK "↓" to SDTO1	tBSD			20	ns
SDTI1-2 Hold Time	tSDH	10			ns
SDTI1-2 Setup Time	tSDS	10			ns

Note 18. この規格値はLRCKのエッジとBICKの立ち上がりエッジが重ならないように規定しています。

Parameter	Symbol	min	typ	max	Unit
<b>Control Interface Timing (3-wire Serial mode):</b>					
CCLK Period	tCCK	200			ns
CCLK Pulse Width Low	tCCKL	80			ns
Pulse Width High	tCCKH	80			ns
CDTI Setup Time	tCDS	40			ns
CDTI Hold Time	tCDH	40			ns
CSN “H” Time	tCSW	150			ns
CSN “↓” to CCLK “↑”	tCSS	50			ns
CCLK “↑” to CSN “↑”	tCSH	50			ns
<b>Control Interface Timing (I<sup>2</sup>C Bus mode):</b>					
SCL Clock Frequency	fSCL	-		400	kHz
Bus Free Time Between Transmissions	tBUF	1.3		-	μs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6		-	μs
Clock Low Time	tLOW	1.3		-	μs
Clock High Time	tHIGH	0.6		-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.6		-	μs
SDA Hold Time from SCL Falling (Note 19)	tHD:DAT	0		-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1		-	μs
Rise Time of Both SDA and SCL Lines	tR	-		1.0	μs
Fall Time of Both SDA and SCL Lines	tF	-		0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6		-	μs
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0		50	ns
Capacitive load on bus	Cb	-		400	pF
<b>Power-down &amp; Reset Timing</b>					
PDN Pulse Width (Note 20)	tPD	150			ns
PDN “↑” to SDTO1-2 valid (Note 21)	tPDV		522		1/fs

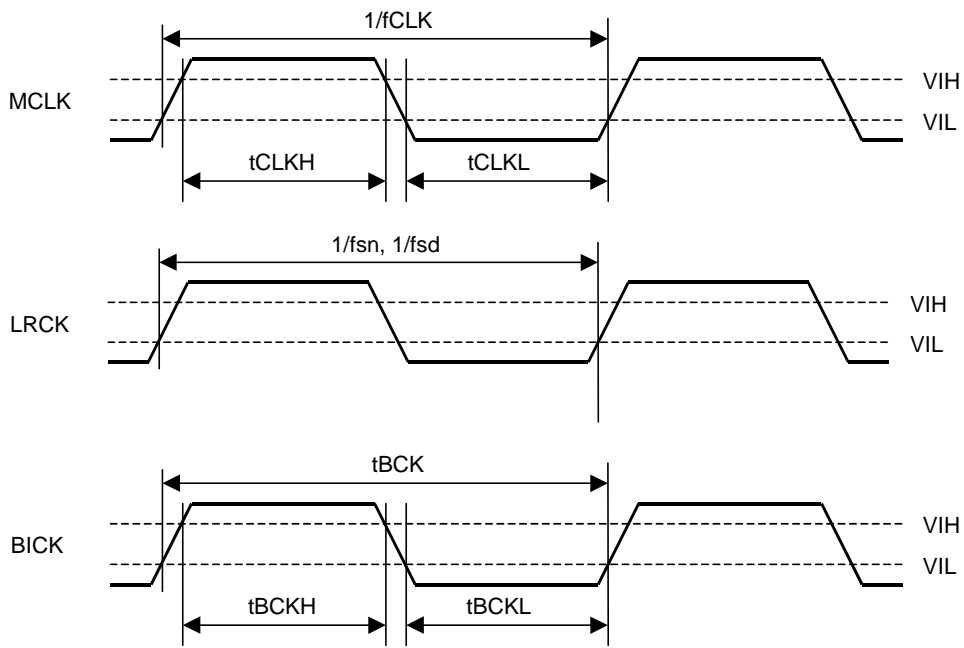
Note 19. データは最低300ns(SCLの立ち下がり時間)の間保持されなければなりません。

Note 20. 電源投入時はPDN pinを“L”から“H”にすることでリセットがかかります。

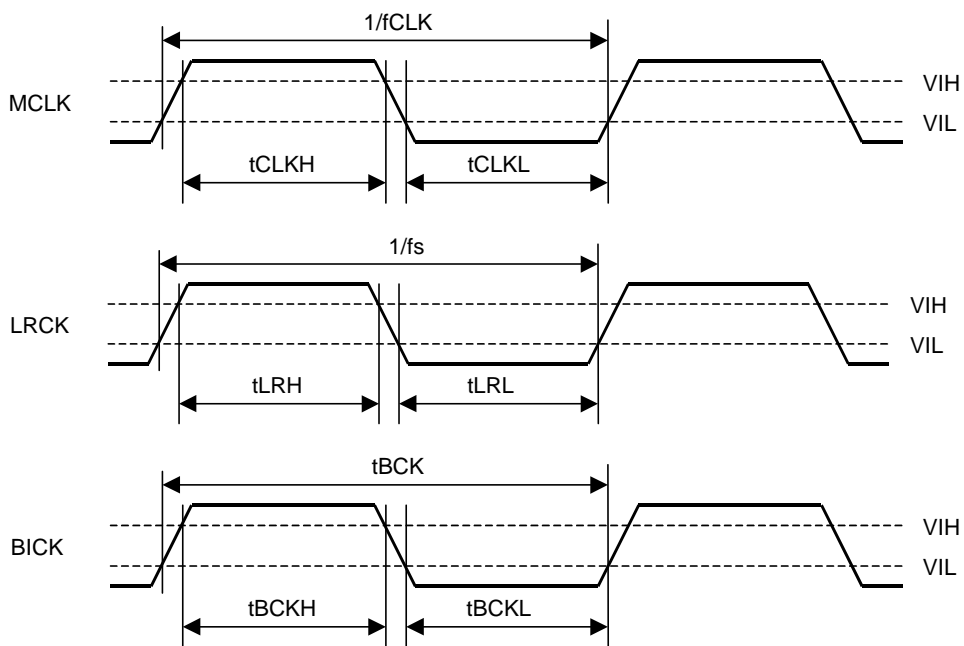
Note 21. PDN pinを立ち下げたからのLRCKの立ち上がりの回数です。

Note 22. I<sup>2</sup>C-busはNXP B.V.の商標です。

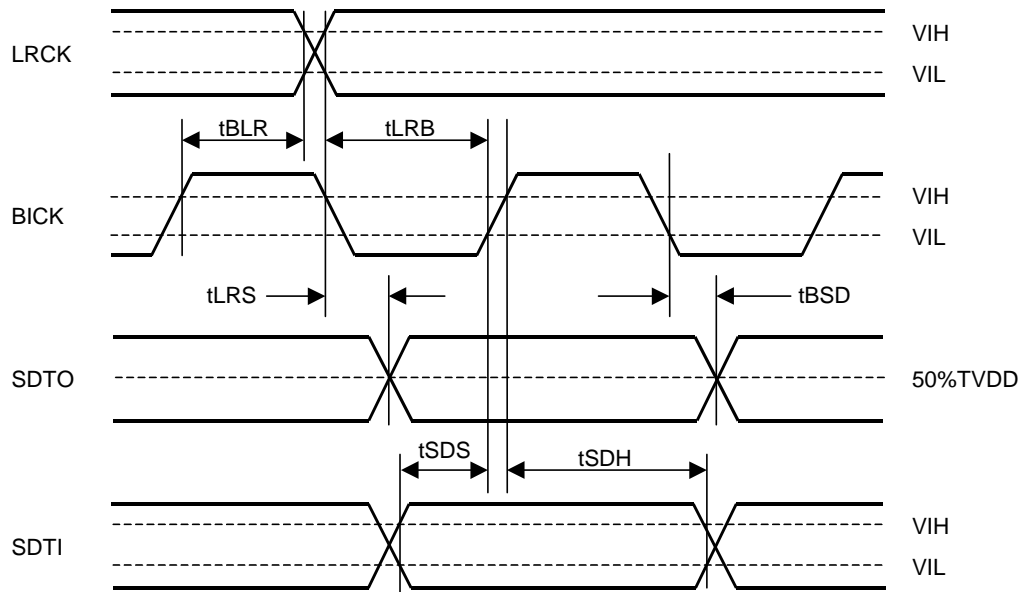
■ タイミング波形



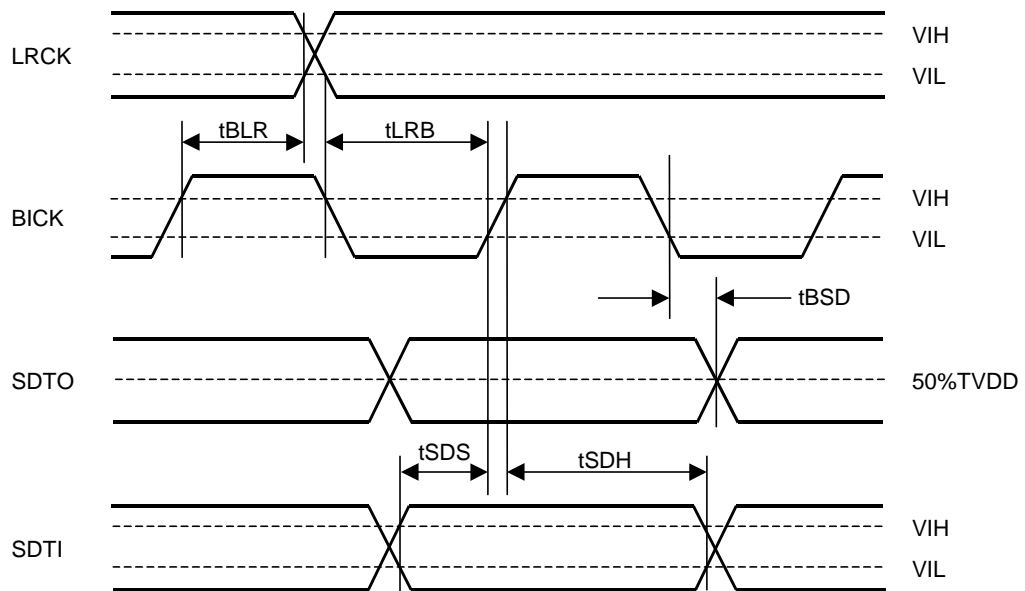
クロックタイミング (TDM0 bit="0")



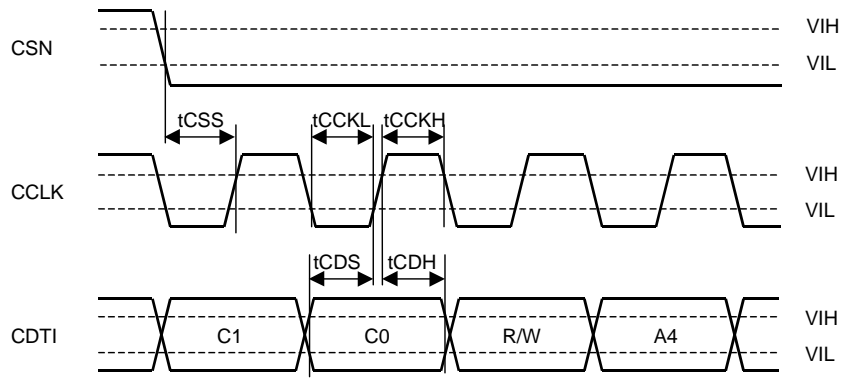
クロックタイミング (TDM0 bit="1")



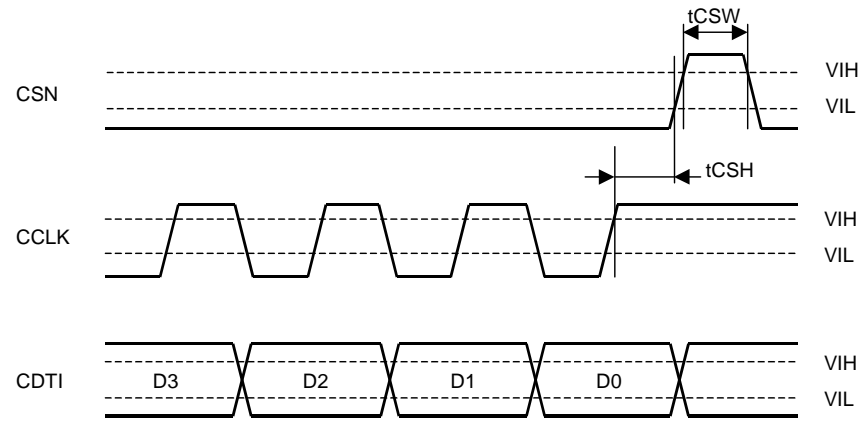
オーディオインタフェースタイミング (TDM0 bit="0")



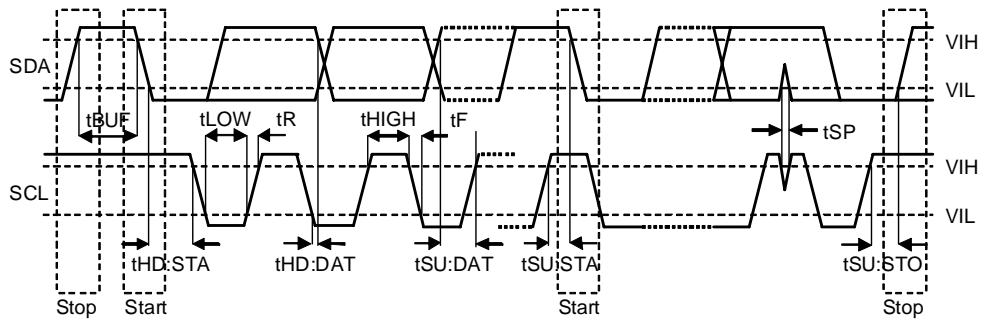
オーディオインタフェースタイミング (TDM0 bit="1")



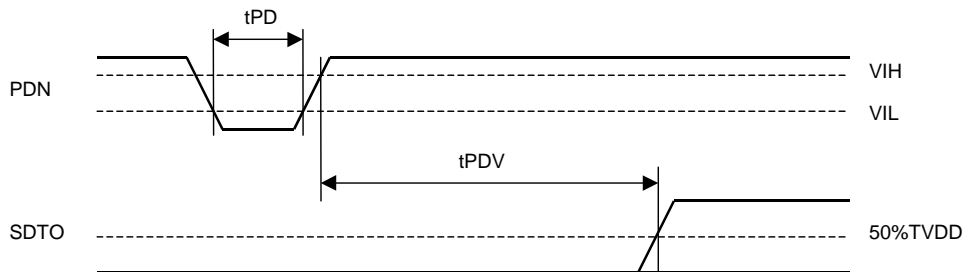
WRITEコマンド入力タイミング(3線シリアルモード)



WRITEデータ入力タイミング(3線シリアルモード)



I<sup>2</sup>Cバスモードタイミング



パワーダウン&リセットタイミング

<b>動作説明</b>
-------------

## ■ システムクロック

必要なクロックは、MCLK, LRCK, BICK です。MCLKとLRCKは同期する必要はありますが位相を合わせる必要はありません。MCLK周波数を設定する方法は、DFS0 pinまたはDFS0, DFS1 bitで設定する方法 (Manual Setting Mode) とデバイス内部で自動設定する方法 (Auto Setting Mode) の2つがあります。Manual Setting Mode (ACKS bit="0": Default)では、DFS0, DFS1 bitでサンプリングスピードが設定され(Table 1)、各スピードでのMCLK周波数は自動検出され、内部クロックは適切な周波数に自動設定されます(Table 2, Table 3, Table 4)。Auto Setting Mode (ACKS bit="1")では、MCLK周波数は自動検出され(Table 5)、内部クロックは適切な周波数に自動設定される(Table 6)ため、DFS bitの設定は不要です。

動作中にMCLKまたはLRCKが止まった場合は、AK4627は自動的にリセット状態になり、アナログ出力はVCOM電圧(typ)を出力します。MCLKとLRCKを再入力後、リセット状態が解除され動作を再開します。電源ON時はMCLKとLRCKが入力されるまでパワーダウン状態です。

DFS1	DFS0	Sampling Speed (fs)	
0	0	Normal Speed Mode	32kHz~48kHz
0	1	Double Speed Mode	64kHz~96kHz
1	0	Quad Speed Mode	120kHz~192kHz

(default)

Table 1. サンプリングスピード (Manual Setting Mode)

LRCK	MCLK (MHz)			BICK (MHz)
fs	256fs	384fs	512fs	64fs
32.0kHz	8.1920	12.2880	16.3840	2.0480
44.1kHz	11.2896	16.9344	22.5792	2.8224
48.0kHz	12.2880	18.4320	24.5760	3.0720

Table 2. システムクロック例 (Normal Speed Mode @Manual Setting Mode)

LRCK	MCLK (MHz)			BICK (MHz)
fs	128fs	192fs	256fs	64fs
88.2kHz	11.2896	16.9344	22.5792	5.6448
96.0kHz	12.2880	18.4320	24.5760	6.1440

Table 3. システムクロック例 (Double Speed Mode @Manual Setting Mode)

(注: Double Speed Mode時 (DFS1 bit="0", DFS0 bit="1")の128fsと192fsでは、ADCは自動パワーダウンします。)

LRCK	MCLK (MHz)			BICK (MHz)
fs	128fs	192fs	256fs	64fs
176.4kHz	22.5792	-	-	11.2896
192.0kHz	24.5760	-	-	12.2880

Table 4. システムクロック例 (Quad Speed Mode @Manual Setting Mode)

(注: Quad Speed Mode時 (DFS1 bit="1", DFS0 bit="0")では、ADCは自動パワーダウンします。)

MCLK	Sampling Speed
512fs	Normal
256fs	Double
128fs	Quad

Table 5. サンプリングスピード (Auto Setting Mode)

LRCK fs	MCLK (MHz)			Sampling Speed
	128fs	256fs	512fs	
32.0kHz	-	-	16.3840	Normal
44.1kHz	-	-	22.5792	
48.0kHz	-	-	24.5760	
88.2kHz	-	22.5792	-	Double
96.0kHz	-	24.5760	-	
176.4kHz	22.5792	-	-	Quad
192.0kHz	24.5760	-	-	

Table 6. システムクロック例 (Auto Setting Mode)

### ■ シングルエンド / 差動入力切り替え

AK4627はSGL pin = “L”にすると差動入力(Figure 1)、“H”にするとシングルエンド入力(Figure 2)を選択できます。シングルエンド入力選択時は、L/RIN1-2 pin にはL/RIN1-2 pin に入力された信号の反転が出力されるためシングルエンド入力選択時はL/RIN1-2 pin をOpenにしてください。また、AK4627は差動入力選択時、シングルエンド入力選択時共にアンチエリアジングフィルタを内蔵しています。

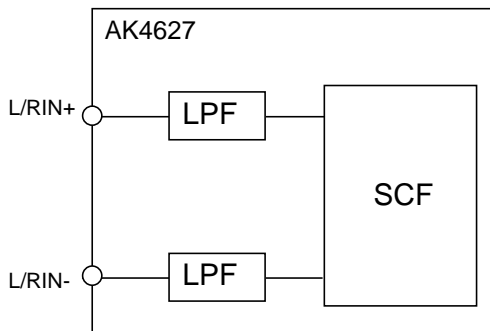


Figure 1. 差動入力 (SGL pin = “L”)

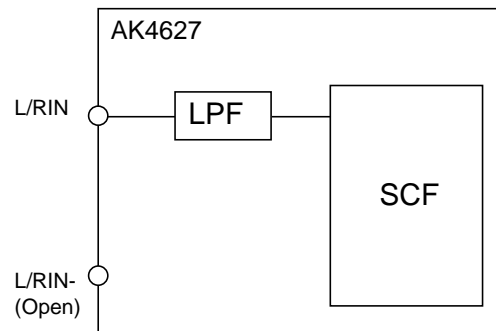


Figure 2. シングルエンド入力 (SGL pin = “H”)



## ■ ディエンファシスフィルタ

IIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(50/15 $\mu$ s特性)を内蔵しています。Double Speed Mode、Quad Speed Mode 時ディエンファシスフィルタは常にOFFです。設定はレジスタから行い、DAC1(SDTI1), DAC2(SDTI2), DAC3(SDTI3)に対して独立に設定できます。

Mode	Sampling Speed	DEM1	DEM0	DEM
0	Normal Speed	0	0	44.1kHz
1	Normal Speed	0	1	OFF
2	Normal Speed	1	0	48kHz
3	Normal Speed	1	1	32kHz

(default)

Table 7. ディエンファシスコントロール

## ■ デジタルHPF

ADCはDCオフセットキャンセルのためにデジタルHPFを内蔵します。HPFのfcは、 $f_s=48\text{kHz}$ 時1.0Hzになっており、周波数応答は $f_s$ に比例します。

## ■ オーディオインタフェースフォーマット

TDM1 bit = “0” でTDM0 pin = “L” またはTDM1-0 bits = “00” のとき、4種類のデータフォーマット(Table 8)がDIF1-0 bitで選択できます。全モードともMSBファースト、2’sコンプリメントのデータフォーマットで、SDTO1-2はBICKの立ち下がりで出力され、SDTI1-3はBICKの立ち上がりでラッチされます。

SDTIの入力フォーマットのうち、mode2, 3, 6, 7, 10, 11を16~20ビットで使った場合はデータのないLSBには“0”を入力して下さい。

Mode	TDM 1	TDM0	DIF1	DIF0	SDTO1-2	SDTI1-3	LRCK		BICK	
0	0	0	0	0	24bit, Left justified	20bit, Right justified	H/L	I	≥ 48fs	I
1	0	0	0	1	24bit, Left justified	24bit, Right justified	H/L	I	≥ 48fs	I
2	0	0	1	0	24bit, Left justified	24bit, Left justified	H/L	I	≥ 48fs	I
3	0	0	1	1	24bit, I <sup>2</sup> S	24bit, I <sup>2</sup> S	L/H	I	≥ 48fs	I

(default)

Table 8. オーディオデータフォーマット (通常モード)

TDM0 pinを“H”に設定すると、TDM I/Fフォーマットとなります。SDTO1 pinには全ADC(4ch)のデータが出力されます。SDTO2 pin = “L”です。TDM256 ModeではSDTI1 pinに全DAC(6ch)のデータを入力します。SDTI2-3への入力データは無視されます。BICKは256fs固定、LRCKの“H”幅、“L”幅は1/256fs(min)です。4種類のデータフォーマット(Table 9)がDIF1-0 bitで選択できます。全モードともMSBファースト、2’sコンプリメントのデータフォーマットで、SDTO1はBICKの立ち下がりで出力され、SDTI1はBICKの立ち上がりでラッチされません。TDMモードのとき、LOOP1-0 bitは“0”に設定して下さい。TDM128 Mode (96kHz)はTDM1で選択できません(Table 10)。SDTI1 pinにDAC(4ch; L1, R1, L2, R2)、SDTI2 pinにDAC(2ch; L3, R3)の全6chのデータを入力します。TDM256モードを使用する場合はTDM0 pinまたはTDM0レジスタを“H”にして下さい。2倍速で使用する場合はTDM0レジスタとTDM1レジスタを“1”にして下さい。

Mode	TDM 1	TDM0	DIF1	DIF0	SDTO1	SDTI1	LRCK		BICK	
4	0	1	0	0	24bit, Left justified	20bit, Right justified	↑	I	256fs	I
5	0	1	0	1	24bit, Left justified	24bit, Right justified	↑	I	256fs	I
6	0	1	1	0	24bit, Left justified	24bit, Left justified	↑	I	256fs	I
7	0	1	1	1	24bit, I <sup>2</sup> S	24bit, I <sup>2</sup> S	↓	I	256fs	I

Table 9. オーディオデータフォーマット (TDM256モード)

Mode	TDM 1	TDM0	DIF1	DIF0	SDTO1	SDTI1, SDTI2	LRCK		BICK	
8	1	1	0	0	24bit, Left justified	20bit, Right justified	↑	I	128fs	I
9	1	1	0	1	24bit, Left justified	24bit, Right justified	↑	I	128fs	I
10	1	1	1	0	24bit, Left justified	24bit, Left justified	↑	I	128fs	I
11	1	1	1	1	24bit, I <sup>2</sup> S	24bit, I <sup>2</sup> S	↓	I	128fs	I

Table 10. オーディオデータフォーマット (TDM128モード)

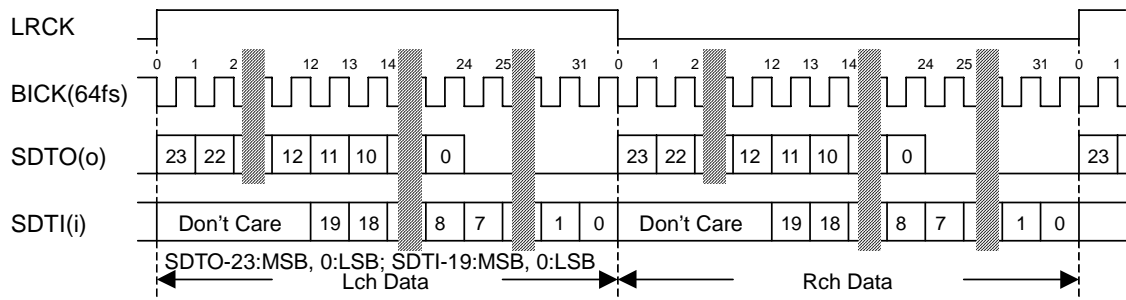


Figure 3. Mode 0 タイミング

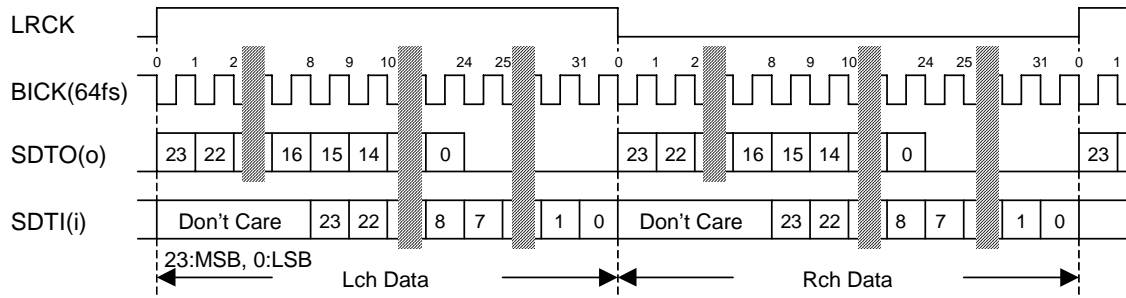


Figure 4. Mode 1 タイミング

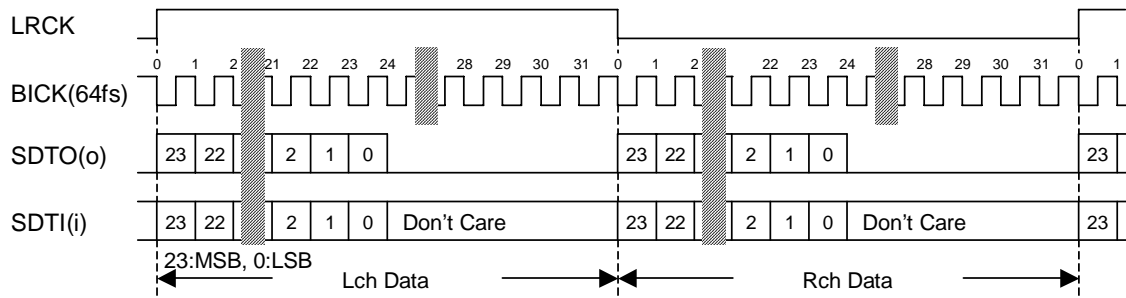


Figure 5. Mode 2 タイミング

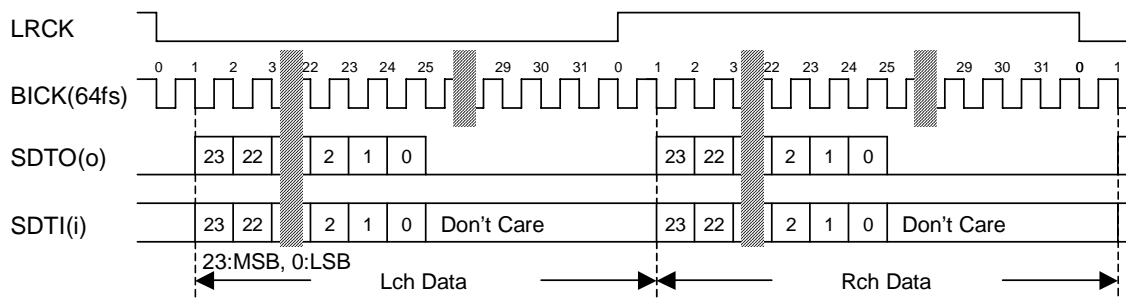


Figure 6. Mode 3 タイミング

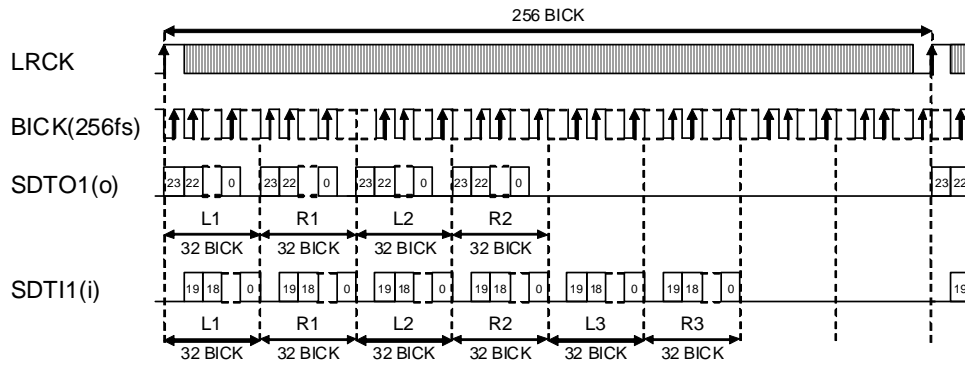


Figure 7. Mode 4 タイミング

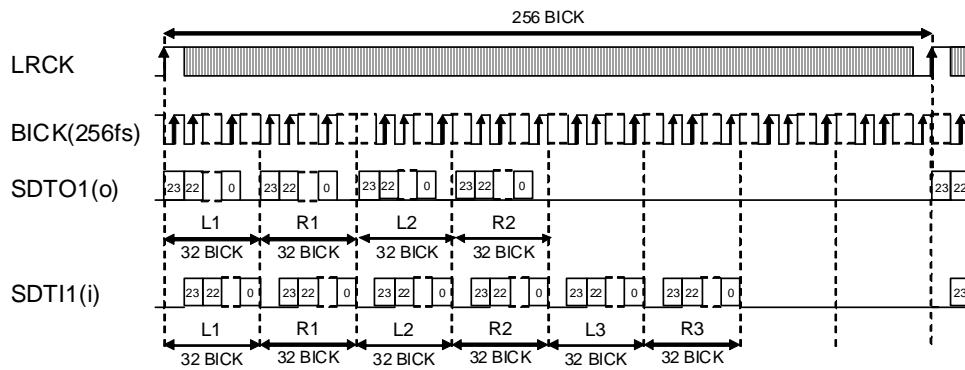


Figure 8. Mode 5 タイミング

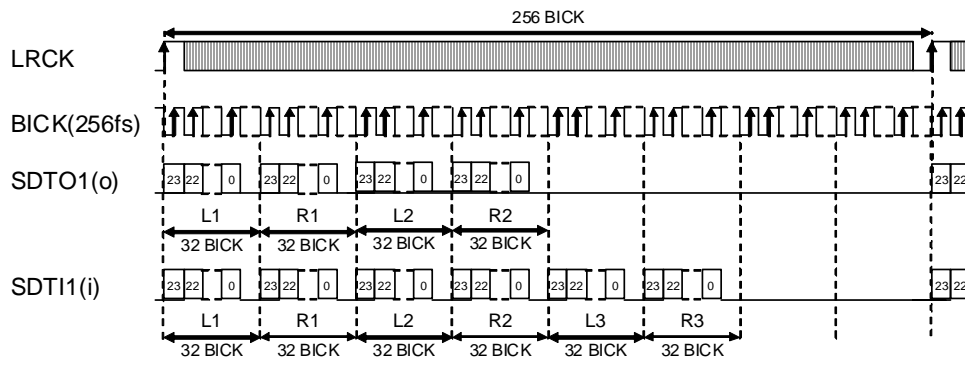


Figure 9. Mode 6 タイミング

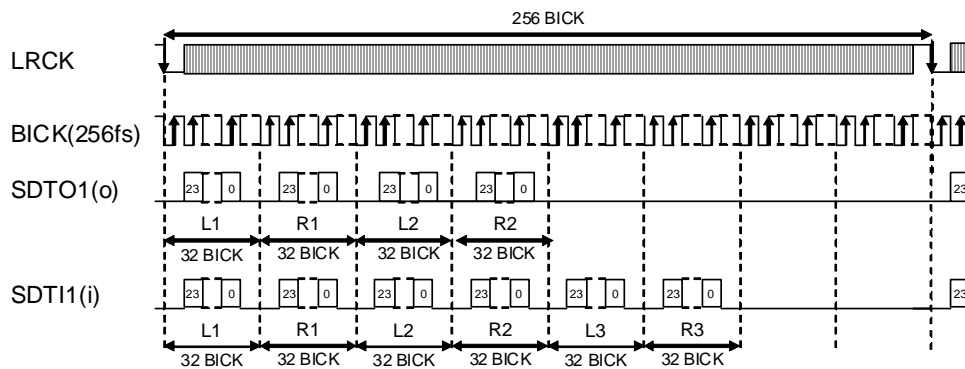


Figure 10. Mode 7 タイミング

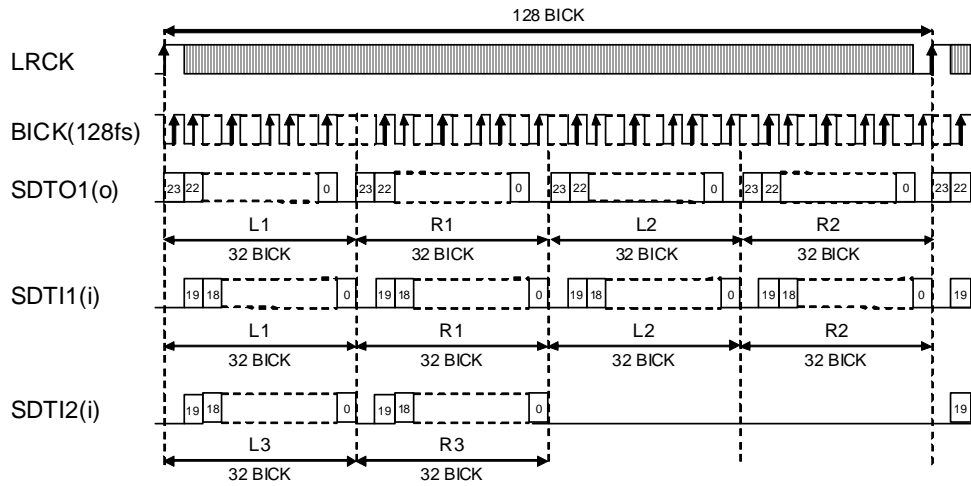


Figure 11. Mode 8 タイミング

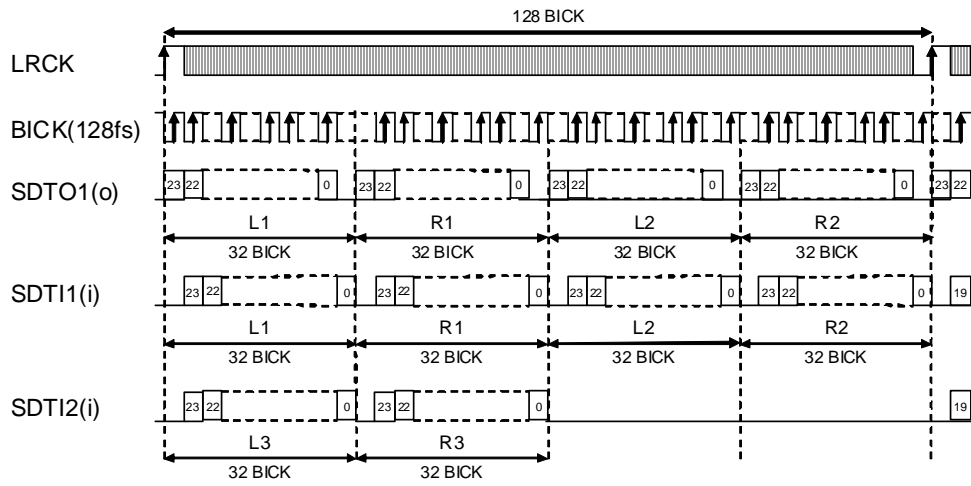


Figure 12. Mode 9 タイミング

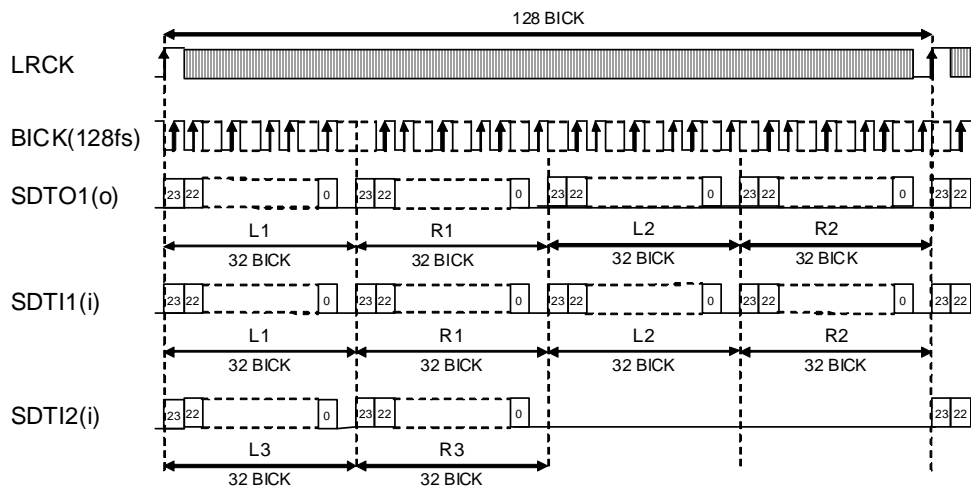


Figure 13. Mode 10 タイミング

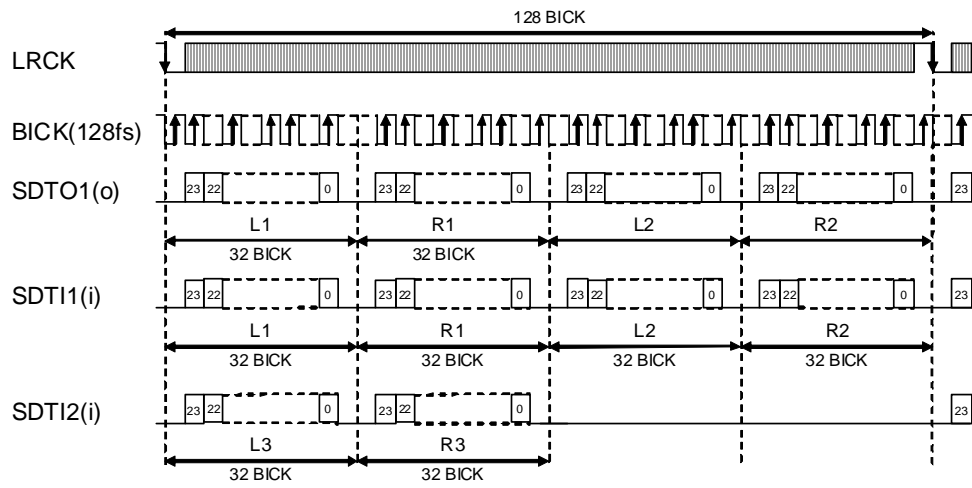


Figure 14. Mode 11 タイミング

## ■ ゼロ検出機能

AK4627は2系統のゼロ検出機能を持ちます。PS pin=“L”かつDZFE pin=“L”の場合、各ラインアウトのゼロ検出結果を反映する出力ピン(DZF1/2 pin)はDZFM3-0 bitで選択できます(Table 11)。PS pinの設定にかかわらず、DZFE pinを“H”にするとmode 0に設定されます。mode 0では、DZF1は全8chのANDを取り、DZF2は無効(“L”)です。

DZF1 pin (DZF2 pin)に割り当てられた全ラインアウトチャンネルが8192回連続して“0”の場合、DZF1(DZF2) pinは“H”になります。その後DZF1 pin (DZF2 pin)のいずれかのチャンネルの入力データが“0”でなくなると“L”になります。

Mode	DZFM				AOUT						
	3	2	1	0	L1	R1	L2	R2	L3	R3	
0	0	0	0	0	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	
1	0	0	0	1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF2	
2	0	0	1	0	DZF1	DZF1	DZF1	DZF1	DZF2	DZF2	
3	0	0	1	1	DZF1	DZF1	DZF1	DZF2	DZF2	DZF2	
4	0	1	0	0	DZF1	DZF1	DZF2	DZF2	DZF2	DZF2	
5	0	1	0	1	DZF1	DZF2	DZF2	DZF2	DZF2	DZF2	
6	0	1	1	0	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2	
7	0	1	1	1	disable (DZF1=DZF2 = “L”)						(default)
8	1	0	0	0	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	
9	1	0	0	1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	
10	1	0	1	0	disable (DZF1=DZF2 = “L”)						
11	1	0	1	1							
12	1	1	0	0							
13	1	1	0	1							
14	1	1	1	0							
15	1	1	1	1							

Table 11. ゼロ検出コントロール

## ■ デジタルボリューム機能

AK4627はチャンネル独立デジタルボリューム(128レベル, 0.5dBステップ)を内蔵しています。減衰量はレジスタのATT7-0 bitでそれぞれ設定します(Table 12)。

ATT7-0	Attenuation Level	(default)
00H	0dB	
01H	-0.5dB	
02H	-1.0dB	
:	:	
7DH	-62.5dB	
7EH	-63dB	
7FH	MUTE (-∞)	
:	:	
FEH	MUTE (-∞)	
FFH	MUTE (-∞)	

Table 12. デジタルボリュームの減衰量

ATT7-0設定値間の遷移時間はATS1-0 bitで設定します(Table 13)。Mode0とMode1では設定値間の遷移はソフト遷移です。したがって、遷移中にスイッチングノイズは発生しません。

Mode	ATS1	ATS0	ATT speed	(default)
0	0	0	1792/fs	
1	0	1	896/fs	
2	1	0	256/fs	
3	1	1	256/fs	

Table 13. デジタルボリュームのATT7-0設定値間の遷移時間

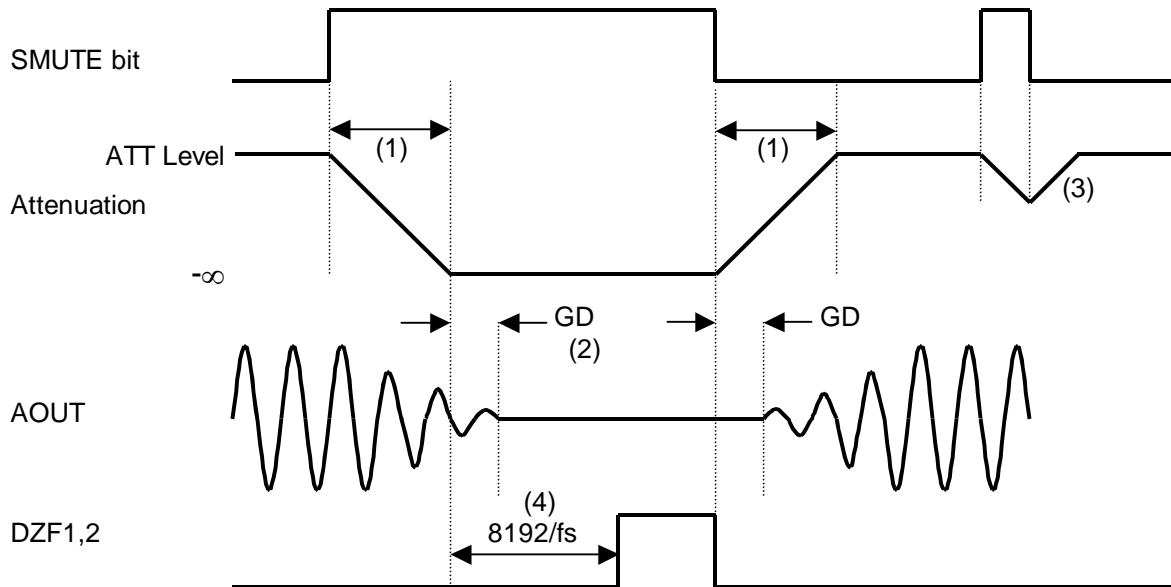
Mode0の場合、ATT設定間の遷移は1742レベルでソフト遷移します。00H(0dB)から7FH(MUTE)までには1792/fs (37.3ms@fs=48kHz)がかかります。PDN pinを“L”にすると、ATT7-0は00Hに初期化されます。ATT7-0はRSTN bitを“0”にすると一旦00Hになり、RSTN bitを“1”に戻すと設定値に戻っていきます。

Note: ATT Level は11bit 精度で計算されます。



## ■ ソフトミュート機能

ソフトミュートはデジタル的に実行されます。SMUTE pinを“H”にするとその時点のATT設定値からATT設定値×ATT遷移時間 (Table 13)で入力データが $-\infty$  (“0”)までアテネーションされます。SMUTE pinを“L”にすると、 $-\infty$ からATT設定値×ATT遷移時間でATT設定値まで復帰します。ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。



注:

- (1) ATT設定値×ATT遷移時間 (Table 13)。例えば、Mode 0時、ATT設定値が“00H”の場合は1792/fsサイクルです。ソフトミュートで遷移するATT値は00H～7FHです。
- (2) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (3) ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。
- (4) グループの全チャンネルの入力データが8192回連続して“0”の場合、DZF1-2 pinは“H”になります。その後グループのいずれかのチャンネルの入力データが“0”でなくなると、DZF1-2 pinは“L”になります。

Figure 15. ソフトミュート機能とゼロ検出機能

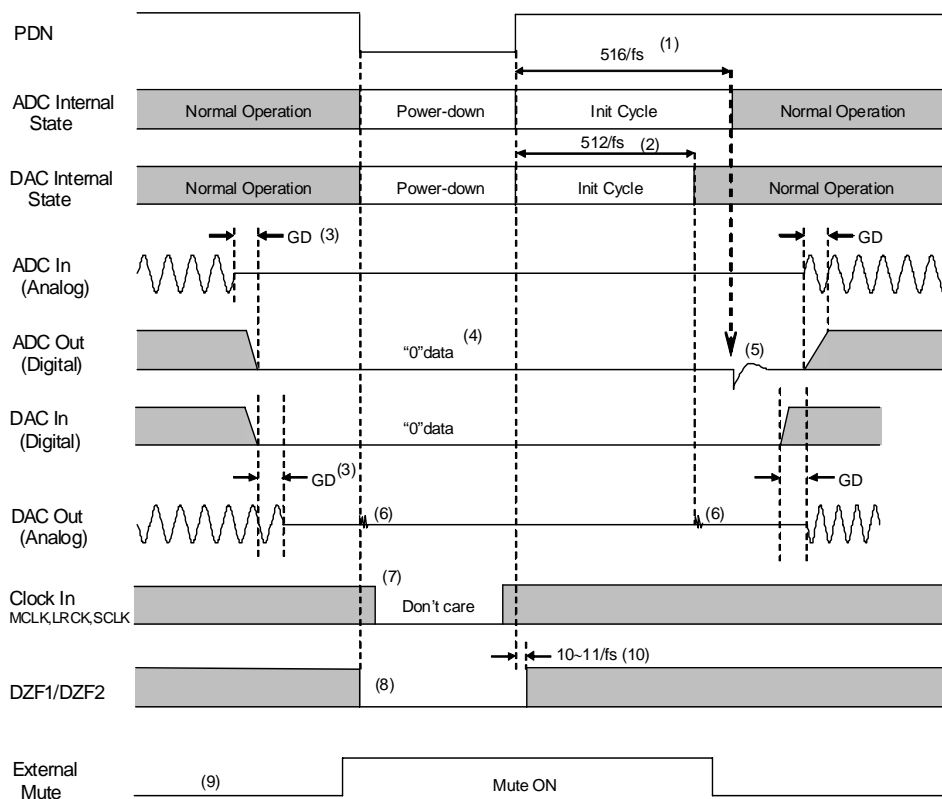
## ■ システムリセット

電源 ON 時には、PDN pinに一度“L”を入力してリセットして下さい。リセット及びパワーダウンはMCLKで解除され、その後LRCKの“↑”に同期して内部回路がパワーアップし、内部のタイミングが動作します。LRCKが入力されるまでパワーダウン状態です。

## ■ パワーダウン機能

AK4627のADCとDACはパワーダウンピン (PDN)を“L”にすることでパワーダウンでき、このとき同時に各デジタルフィルタがリセットされます。PDN pin=“L”で内部レジスタ値は初期化されます。パワーダウンモード時、アナログ出力はVCOM電圧、SDTO1-2, DZF1-2 pinは“L”になります。このリセットは電源投入時に必ず一度行って下さい。ADCの場合、パワーダウンモードが解除されると初期化サイクルが開始されます。そのため、出力データ、SDTO1-2は516 x LRCKサイクル後確定します。DACの場合、パワーダウンモードが解除されると初期化サイクルが開始されます。初期化中はアナログ出力はVCOM電圧です。Figure 16にパワーダウン及びパワーアップ時のシーケンス例を示します。

全ADCと全DACはPWADN bitとPWDAN bitでそれぞれ独立にパワーダウンできます。また、DAC1-3はPDDA1-3 bit、ADC1-2はPDAD1-2 bitでそれぞれ独立にパワーダウンができます。このときレジスタ値は初期化されません。PWADN bit=“0”及びPDAD1-2 bit=“0”のときSDTO1-2は“L”になります。PWDAN bit=“0”及びPDDA1-3 bit=“0”のとき、アナログ出力はVCOM電圧、DZF1-2 pinは“H”になります。このとき異音が生じるので、問題になる場合は外部でミュートして下さい。



注：

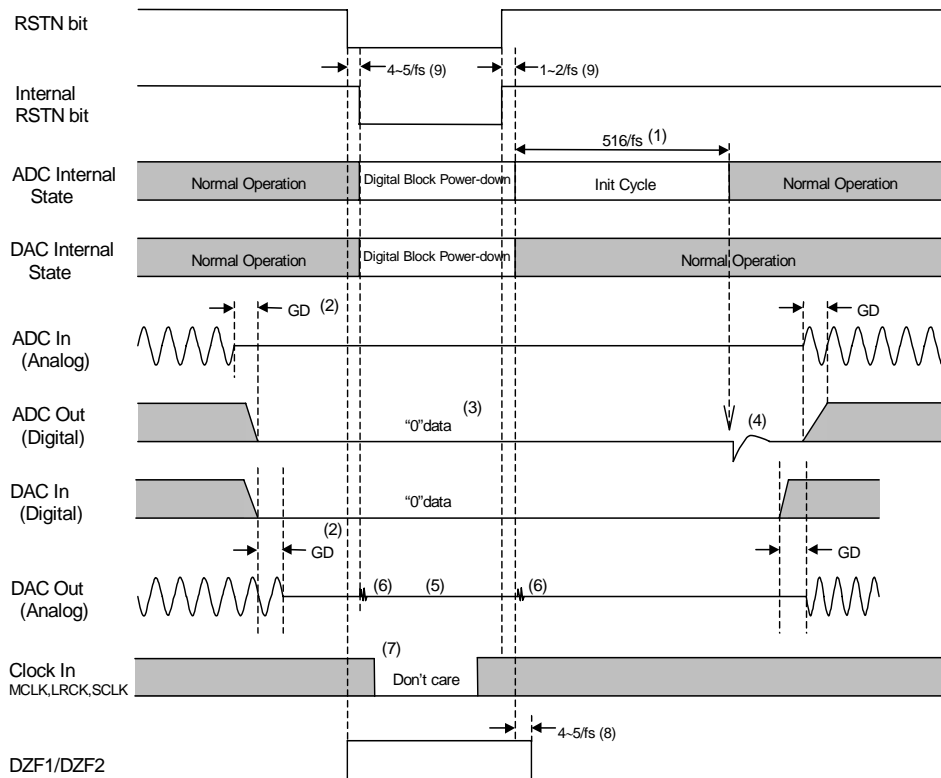
- (1) ADCはパワーダウン解除後、アナログ部が初期化されます。
- (2) DACはパワーダウン解除後、アナログ部が初期化されます。
- (3) アナログ入力に対するデジタル出力、デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (4) パワーダウン時ADC出力は“0”データです。
- (5) アナログ部の初期化終了時ADC出力に異音が出力されます。異音が問題になる場合はデジタル出力をミュートして下さい。
- (6) PDNの立ち下がりエッジ、及びPDNの立ち上がりエッジの512/fs後で異音が出力されます。
- (7) パワーダウン状態(PDN =“L”)では各クロック入力(MCLK, BICK, LRCK)を止めることができます。
- (8) パワーダウン状態(PDN pin =“L”)では、DZF1-2 pinは“L”になります。
- (9) 異音(6)が問題になる場合はアナログ出力を外部でミュートして下さい。
- (10) PDNの“↑”から10~11/fsの間はDZF1-2 pin =“L”です。

Figure 16. パワーダウン / アップシーケンス例

## ■ リセット機能

### (1) RSTN bit によるリセット

RSTN bit = “0” のとき ADC と DAC はパワーダウンしますがレジスタ値は初期化されません。このときアナログ出力は VCOM 電圧、DZF1-2 pin は “H”、SDTO1-2 pin は “L” になります。この時異音が生じるので、問題になる場合は外部でミュートして下さい。Figure 17 に RSTN bit によるリセットシーケンスを示します。



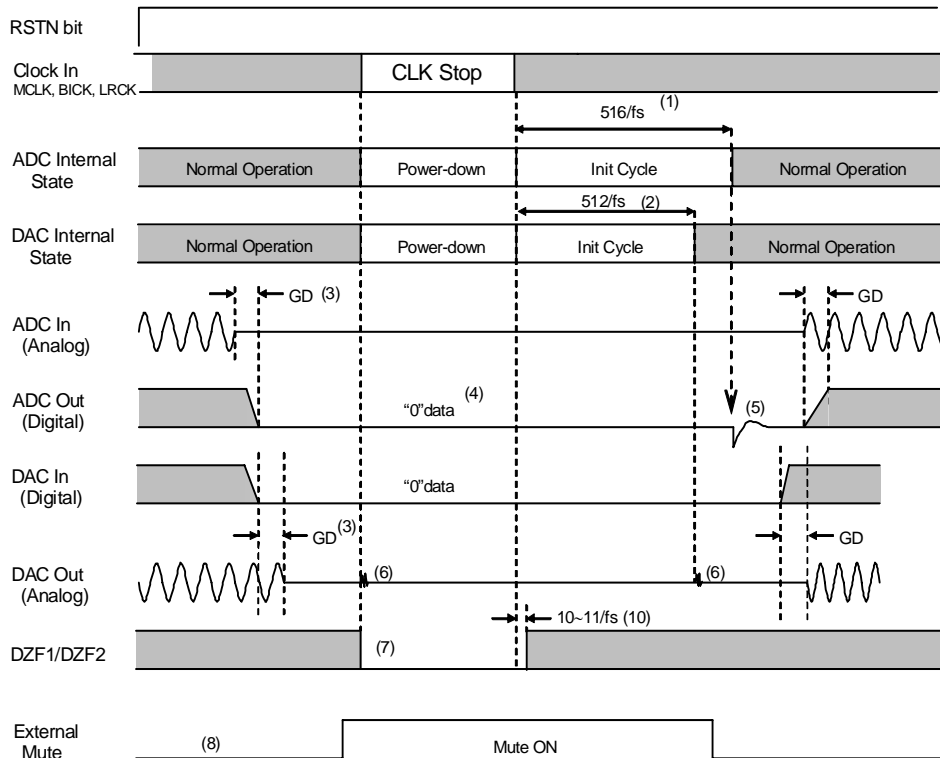
注：

- (1) ADCはパワーダウン解除後、アナログ部が初期化されます。
- (2) アナログ入力に対するデジタル出力、デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (3) パワーダウン時ADC出力は“0”データです。
- (4) アナログ部の初期化終了時ADC出力に異音が出力されます。異音が問題になる場合はデジタル出力をミュートして下さい。
- (5) RSTN bit = “0”の時、アナログ出力はVCOM電圧です。
- (6) RSTN bitが“0”になってから4~5/fs後、及びRSTN bitが“1”になってから1~2/fs後に異音が出力されます。
- (7) リセット状態(RSTN = “0”)では各クロック入力(MCLK, BICK, LRCK)を止めることができます。リセット解除する場合は、各クロック(MCLK, BICK, LRCK)が入力された後でRSTN = “1”を書き込んで下さい。
- (8) DZF1-2 pinはRSTN bitが“0”になると“H”になり、RSTN bitが“1”になってから6~7/fs後“L”になります。
- (9) RSTN bitに“0”を書き込んでからLSI内部のRSTN bitが変化するまで4~5/fs かかります。

Figure 17. リセットシーケンス例

## (2) MCLK 停止またはLRCK/BICKによるリセット

動作中 (RSTN pin = “H”) にMCLKまたはLRCK、BICKが止まった場合は、AK4627は自動的にリセット状態になり、アナログ出力はVCOM電圧、SDTO1-2、DZF1-2 pinは“L”になります。このときレジスタ値は初期化されません。MCLKまたはLRCK、BICKを再入力後、リセット状態が解除され動作を再開します。ADCの場合、リセットモードが解除されると初期化サイクルが開始されます。そのため、出力データ SDTO1-2は516 x LRCKサイクル後確定します。DACの場合、リセットモードが解除されると初期化サイクルが開始されます。初期化中はアナログ出力はVCOM電圧です。Figure 18にクロック停止によるリセットシーケンス例を示します。



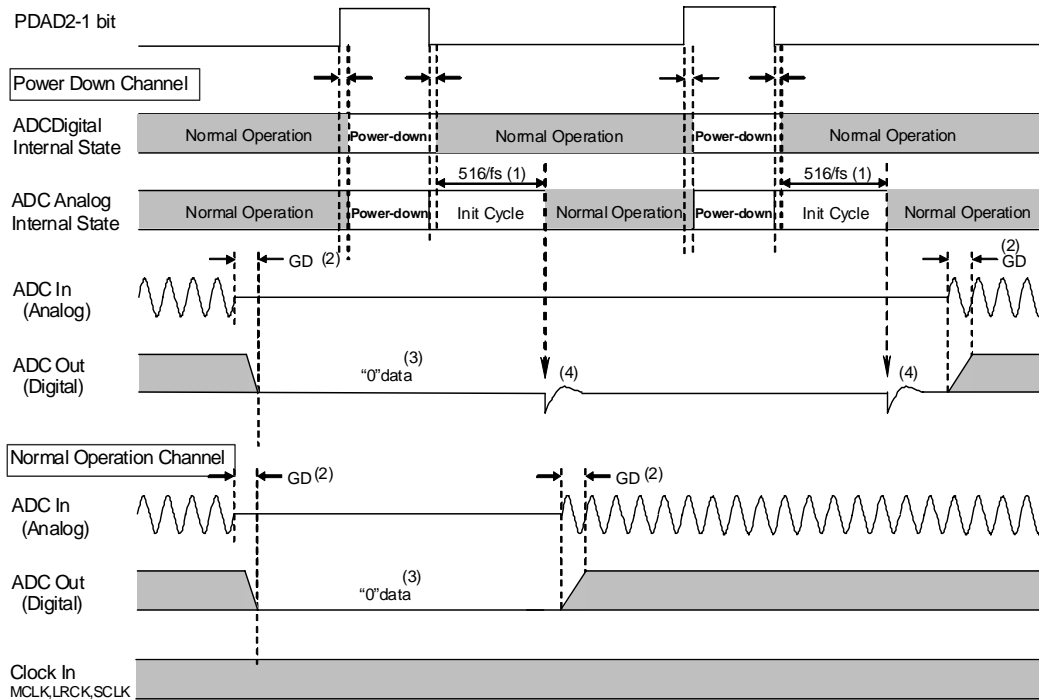
注：

- (1) ADCはリセット解除後、アナログ部が初期化されます。
- (2) DACはリセット解除後、アナログ部が初期化されます。
- (3) アナログ入力に対するデジタル出力、デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (4) リセット時ADC出力は“0” データです。
- (5) アナログ部の初期化終了時ADC出力に異音が出力されます。異音が問題になる場合はデジタル出力をミュートして下さい。
- (6) MCLKまたはLRCK、BICKの停止時及び、MCLKまたはLRCK、BICKの動作再開から20usec以内にクリックノイズが出力されます。
- (7) リセット状態では、DZF1-2 pinは“L” になります。
- (8) 異音(6)が問題になる場合はアナログ出力を外部でミュートして下さい。

Figure 18. リセット2シーケンス例

## ■ ADC個別パワーダウン機能

AK4627ではADCパワーマネジメントビットPDAD2-1 bitにより個別にパワーダウンをすることができます。パワーマネジメントビットPDAD2-1 bitが“1”のとき、該当するADCのアナログ部、デジタル部は共にパワーダウンされます。各ADCはパワーダウン解除後、アナログ部が初期化されます。アナログ入力に対するデジタル出力は群遅延(GD)をもちます。パワーダウン時ADC出力は“0”データです。アナログ部の初期化終了時ADC出力に異音が出力されます。異音が問題になる場合はデジタル出力をミュートして下さい。



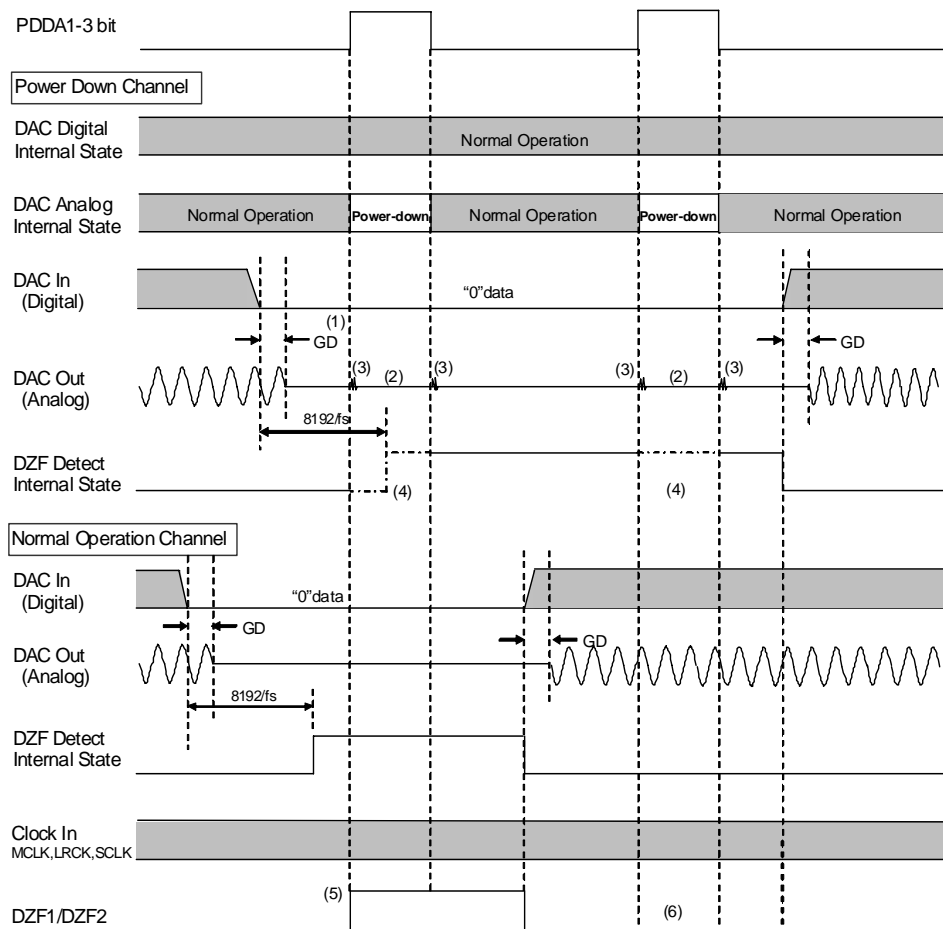
注：

- (1) ADCはパワーダウン解除後、アナログ部が初期化されます。
- (2) アナログ入力に対するデジタル出力は群遅延(GD)をもちます。
- (3) パワーダウン時ADC出力は“0”データです。
- (4) アナログ部の初期化終了時ADC出力に異音が出力されます。異音が問題になる場合はデジタル出力をミュートして下さい。

Figure 19. ADC個別パワーダウン例

## ■ DAC個別パワーダウン機能

AK4627ではDACパワーダウンビットPDDA1-3 bitにより個別にパワーダウンをすることができます。パワーダウンビットが“1”のとき、該当するDACのアナログ部はパワーダウンしますが、デジタル部はパワーダウンされません。個別パワーダウンビットにより全パワーダウンを設定しても、デジタル部は動作しつづけます。PDDA1-3 bitによりパワーダウンされたDACのアナログ出力はVCOM電圧になり、DZF検出は行っていますが、DZF検出結果はDZF1-2 pinに反映されなくなります。パワーダウンの設定・解除の両方で異音が生じるため、問題になる場合は外部でミュート、もしくはPWDAN bit = “0”またはRSTN bit = “0”の時にPDDA1-3 bitの設定を行ってください。Figure 20にPDDA1-3bitによるパワーダウン及びパワーアップ時のシーケンスを示します。



注：

- (1) デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (2) PDDA1-3 bitでパワーダウンされたDACのアナログ出力はVCOM電圧です。
- (3) PDDA1-3 bitを変化させた直後、PDDA bitを変化させたDACの出力には異音が出力されます。
- (4) パワーダウンされたDACの中ではDZF検出は行っていますが、検出結果はDZF1-2 pinには反映されません。
- (5) パワーダウン設定により、パワーダウンされたDACのDZF検出結果が無視され、DZF1-2 pinが“H”になります。
- (6) パワーダウンを行わないDACに入力がある場合に、個別パワーダウンを行ってもDZF1-2 pinは“H”にはなりません。異音が問題になる場合にはアナログ出力を外部でミュートしてください。

Figure 20. DAC個別パワーダウン例

## ■ シリアルコントロールインタフェース

AK4627の各機能はピンまたはレジスタで設定できます。シリアルコントロールインタフェースはPS pinを“L”にすることで有効になります。レジスタへの書き込み方式は2種類(3線シリアル、I<sup>2</sup>Cバス)あります。チップアドレスはCAD0, CAD1 pinの設定で決定されます。PDN pinを“L”にすると内部レジスタ値は初期化されます。RSTN bitに“0”を書き込むと内部タイミング回路がリセットされます。但し、この時レジスタの内容は初期化されません。PS pinを切り替えた場合はPDN pinでリセットして下さい。

\* PDN = “L”時はコントロールレジスタへの書き込みはできません。

### (1) 3線シリアルコントロールモード (I2C = “L”)

レジスタ設定は3線式シリアルI/F pin: CSN, CCLK, CDTIで書き込みを行います。I/F上のデータはChip address(2bits, CAD0/1), Read/Write(1bit, Fixed to “1”, Write only), Register address(MSB first, 5bits), Control data(MSB first, 8bits)で構成されます。データはCCLKの立ち上がりエッジで取り込みます。データの書き込みはCSNの立ち上がりエッジで有効になります。CCLKのクロックスピードは5MHz(max)です。

\* AK4627の3線シリアルコントロールモードはデータ読み込みをサポートしません。

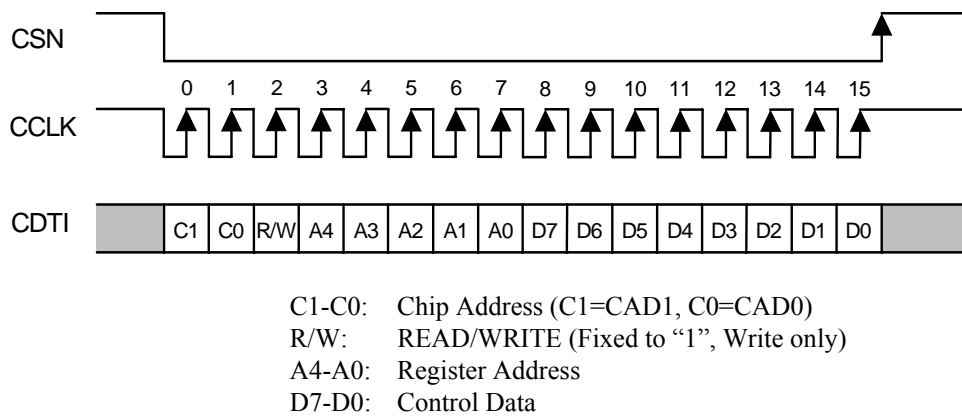


Figure 21. 3線シリアルコントロールI/Fタイミング

(2) I<sup>2</sup>Cバスコントロールモード(I2C=“H”)

AK4627のI<sup>2</sup>Cバスモードのフォーマットは、高速モード(max:400kHz)に対応しています。

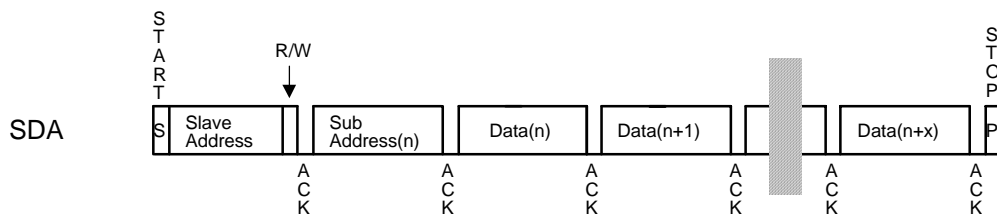
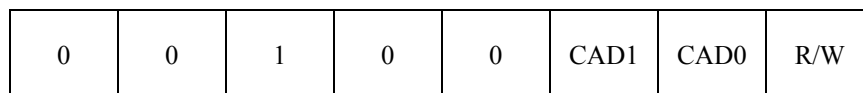
## 1. WRITE命令

I<sup>2</sup>Cバスモードにおけるデータ転送シーケンスはFigure 22に示されます。バス上のICへのアクセスには、最初に開始条件(Start Condition)を入力します。SCLラインが“H”の時にSDAラインを“H”から“L”にすると、開始条件が作られます(Figure 28)。開始条件の後、スレーブアドレスが送信されます。このアドレスは7ビットから構成され、8ビット目にはデータ方向ビット(R/W)が続きます(Figure 23)。上位5ビットは“00100”固定、次の2ビットはアクセスするICを選ぶためのアドレスビットで、CAD1-0 pinにより設定されます。アドレスが一致した場合、AK4627は確認応答(Acknowledge)を生成し、その後命令が実行されます。R/W bitが“0”の場合はデータ書き込み、R/W bitが“1”の場合はデータ読み出しを行います。

第2バイトはサブアドレス(レジスタアドレス)です。サブアドレスは8ビット、MSB firstで構成され、上位3ビットは“0”固定です(Figure 24)。第3バイト以降はコントロールデータです。コントロールデータは8ビット、MSB firstで構成されます(Figure 25)。AK4627は、各バイトの受信を完了するたびに確認応答を生成します。データ転送は、必ずマスタが生成する停止条件(Stop Condition)によって終了します。SCLラインが“H”の時にSDAラインを“L”から“H”にすると、停止条件が作られます(Figure 28)。

AK4627は複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後、停止条件を送らず更にデータを送ると、サブアドレスが自動的にインクリメントされ、次のデータは次のサブアドレスに格納されます。アドレス“0DH”を越えるデータを送ると、内部レジスタに対応するアドレスカウンタはロールオーバーし、アドレス“00H”から順に格納されます。

クロックが“H”の間は、SDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのは、SCLラインのクロック信号が“L”の時に限られます(Figure 30)。SCLラインが“H”の時にSDAラインを変更するのは、開始条件、停止条件を入力するときのみです。

Figure 22. I<sup>2</sup>Cバスモードのデータ転送シーケンス

(CAD1, CAD0は pinにより設定)

Figure 23. 第1バイトの構成

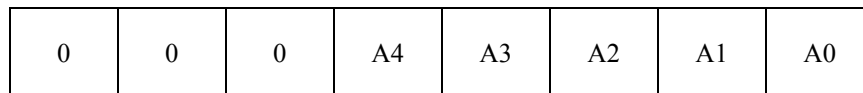


Figure 24. 第2バイトの構成

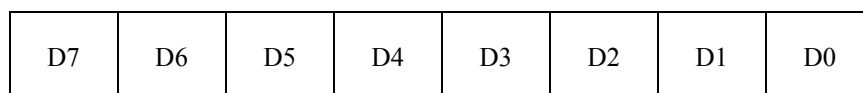


Figure 25. 第3バイト以降の構成



## 2. READ命令

R/W bitが“1”の場合、AK4627はREAD動作を行います。指定されたアドレスのデータが出力された後、マスタが停止条件を送らず確認応答を生成すると、サブアドレスが自動的にインクリメントされ、次のアドレスのデータを読み出すことができます。アドレス“0DH”のデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス“00H”のデータが読み出されます。

AK4627はカレントアドレスリードとランダムリードの2つのREAD命令を持っています。

### 2-1. カレントアドレスリード

AK4627は内部にアドレスカウンタを持っており、カレントアドレスリードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレスカウンタは最後にアクセスしたアドレスの次のアドレス値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスが“n”であり、その後カレントアドレスリードを行った場合、アドレス“n+1”のデータが読み出されます。カレントアドレスリードでは、AK4627はREAD命令のスレーブアドレス(R/W bit=“1”)の入力に対して確認応答を生成し、次のクロックから内部のアドレスカウンタで指定されたデータを読み出したのち内部カウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

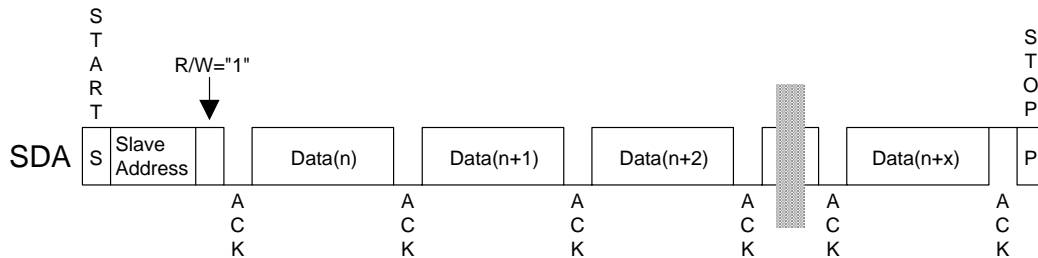


Figure 26. カレントアドレスリード

### 2-2. ランダムアドレスリード

ランダムアドレスリードにより任意のアドレスのデータを読み出すことができます。ランダムアドレスリードはREAD命令のスレーブアドレス(R/W bit=“1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。ランダムアドレスリードでは最初に開始条件を入力し、次にWRITE命令のスレーブアドレス(R/W bit=“0”)、読み出すアドレスを順次入力します。AK4627がこのアドレス入力に対して確認応答を生成した後、再送条件、READ命令のスレーブアドレス(R/W bit=“1”)を入力します。AK4627はこのスレーブアドレスの入力に対して確認応答を生成し、指定されたアドレスのデータを読み出し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

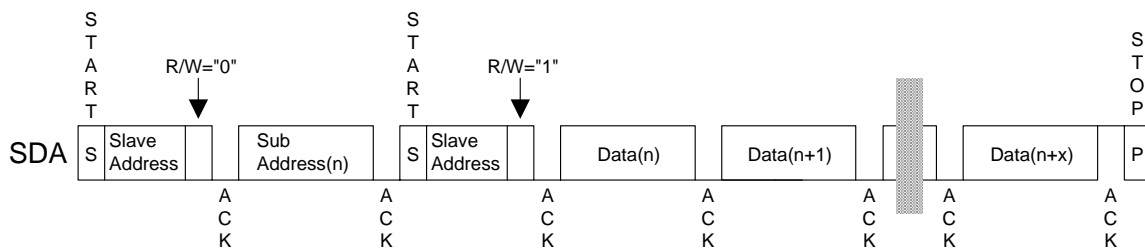


Figure 27. ランダムアドレスリード

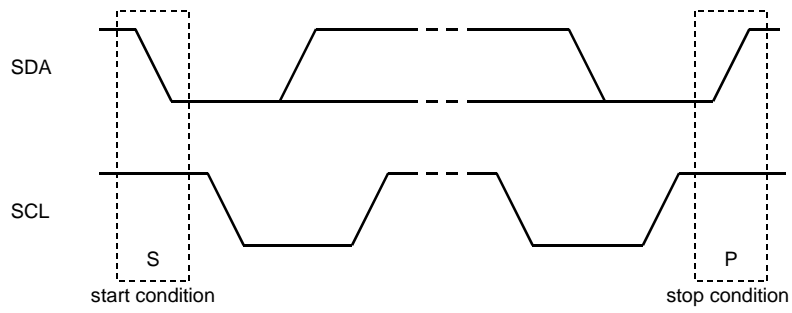


Figure 28. 開始条件と停止条件

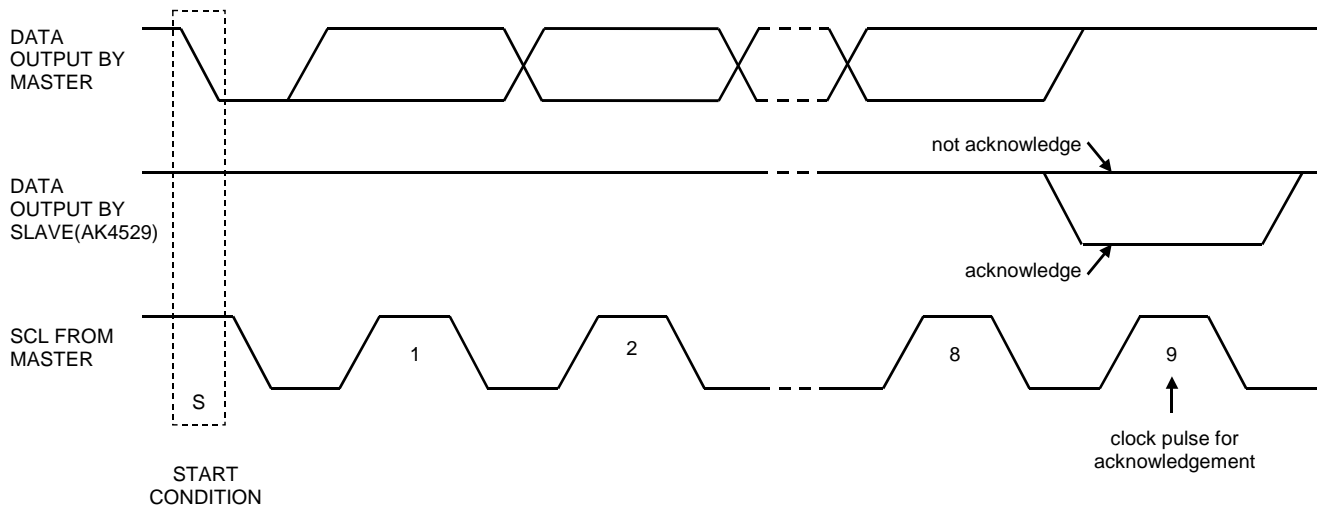


Figure 29. I<sup>2</sup>Cバスでの確認応答

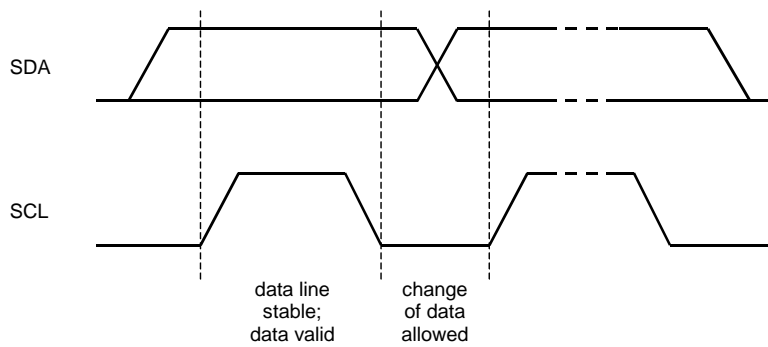


Figure 30. I<sup>2</sup>Cバスでのビット転送

## ■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	0	0	TDM1	TDM0	DIF1	DIF0	0	SMUTE
01H	Control 2	0	DFS1	LOOP1	LOOP0	0	DFS0	ACKS	0
02H	LOUT1 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
03H	ROUT1 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	LOUT2 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
05H	ROUT2 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
06H	LOUT3 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
07H	ROUT3 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
08H	De-emphasis	0	1	DEMA1	DEMA0	DEMB1	DEMB0	DEMC1	DEMC0
09H	ATT speed & Power Down Control	0	0	ATS1	ATS0	PDDA3	PDDA2	PDDA1	RSTN
0AH	Zero detect	0	DZFM3	DZFM2	DZFM1	DZFM0	PWVRN	PWADN	PWDAN
0DH	Power Down Control	0	0	0	0	0	0	PDAD2	PDAD1

注: アドレス0BH, 0CH, 0EH, 0FHは書き込み不可です。

PDN pinを“L”にすると、レジスタ値は初期化されます。

RSTN bitを“0”にすると、内部のタイミングがリセットされ、DZF1-2 pinが“H”になります。但し、レジスタ値は初期化されません。

SMUTE, DFS0の各ビットについては、ピン設定と内部でORが取られます。

## ■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	0	0	TDM1	TDM0	DIF1	DIF0	0	SMUTE
	Default	0	0	0	0	1	0	0	0

SMUTE: ソフトミュート機能有効

0: 通常動作

1: 全DAC出力がソフトミュートされます。

PS pin=“L”のとき、SMUTE bitの設定は、ピン設定と内部でORが取られます。

DIF1-0: オーディオデータインタフェースモード選択([Table 8](#), [Table 9](#), [Table 10](#))

初期値: “10”, mode 2

TDM1-0: TDMフォーマット選択([Table 8](#), [Table 9](#), [Table 10](#))

Mode	TDM1	TDM0	Data Output Pins	Data Input Pins	Sampling Speed
0	0	0	SDTO1-2	SDTI1-3	Normal, Double, Quad Speed
1	0	1	SDTO1	SDTI1	Normal Speed
2	1	0	-	-	N/A
3	1	1	SDTO1	SDTI1-2	Normal, Double Speed

(N/A: Not Available)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Control 2	0	DFS1	LOOP1	LOOP0	0	DFS0	ACKS	0
	Default	0	0	0	0	0	0	0	0

ACKS: クロック自動認識モード有効

0: 無効, Manual Setting Mode

1: 有効, Auto Setting Mode

ACKS=“1”のとき、MCLK周波数は自動検出されます。この場合DFSの設定は無視されます。  
ACKS=“0”のとき、サンプリングスピードモードはDFS0/1で設定し、各モードでのMCLK周波数は自動検出されます。

DFS1-0: サンプリングスピードコントロール([Table 1](#))

PS pin=“L”のとき、DFS0 bitの設定は、ピン設定と内部でORが取られます。

ACKS bit=“1”のとき、DFSの設定は無視されます。

LOOP1-0: ループバックモード有効

00: 通常動作 (ループバックなし)

01: LIN1 → LOUT1, LOU2, LOU3

RIN1 → ROUT1, ROUT2, ROUT3

ADCのデジタル出力をDACのデジタル入力に接続します。このモードではDAC入力のSDTI1-3は無視されます。ループバックモード時SDTO1-2のフォーマットは、オーディオフォーマットの設定がmode0/1/2の場合は強制的にmode2、mode3の場合はmode3になります。  
([Table 8](#))

10: SDTI1(L) → SDTI2(L), SDTI3(L)

SDTI1(R) → SDTI2(R), SDTI3(R)

このモードではDAC入力のSDTI2-3は無視されます。

11: LIN2 → LOUT1, LOU2, LOU3

RIN2 → ROUT1, ROUT2, ROUT3

ADCのデジタル出力をDACのデジタル入力に接続します。このモードではDAC入力のSDTI1-3は無視されます。ループバックモード時SDTO1-2のフォーマットは、オーディオフォーマットの設定がmode0/1/2の場合は強制的にmode2、mode3の場合はmode3になります。  
([Table 8](#))

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	LOUT1 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
03H	ROUT1 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	LOUT2 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
05H	ROUT2 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
06H	LOUT3 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
07H	ROUT3 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
Default		0	0	0	0	0	0	0	0

ATT7-0: アテネーションレベル([Table 12](#))

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	De-emphasis	0	1	DEMA1	DEMA0	DEMB1	DEMB0	DEMC1	DEMC0
Default		0	1	0	1	0	1	0	1

DEMA1-0: DAC1のディエンファシス応答コントロール([Table 7](#))

初期値: “01”, OFF

DEMB1-0: DAC2のディエンファシス応答コントロール([Table 7](#))

初期値: “01”, OFF

DEMC1-0: DAC3のディエンファシス応答コントロール([Table 7](#))

初期値: “01”, OFF

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
09H	ATT speed & Power Down Control	0	0	ATS1	ATS0	PDDA3	PDDA2	PDDA1	RSTN
	Default	0	0	0	0	0	0	0	1

RSTN: 内部タイミングリセット

0: リセット。DZF1-2 pinは“H”になりますが、レジスタ値は初期化されません。

1: 通常動作。

ATS1-0: デジタルアテネータ遷移時間設定([Table 13](#))

初期値: “00”, mode 0

PDDA3-1: Power-down control (0: Power-up, 1: Power-down)

PDDA1: Power down control of DAC1

PDDA2: Power down control of DAC2

PDDA3: Power down control of DAC3

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0AH	Zero detect	0	DZFM3	DZFM2	DZFM1	DZFM0	PWVRN	PWADN	PWDAN
	Default	0	0	1	1	1	1	1	1

PWDAN: DAC1-3のパワーダウンコントロール

0: パワーダウン

1: 通常動作

PWADN: ADCのパワーダウンコントロール

0: パワーダウン

1: 通常動作

PWVRN: 基準電圧のパワーダウンコントロール

0: パワーダウン

1: 通常動作

DZFM3-0: ゼロ検出モード選択 ([Table 11](#))

初期値: “0111”, 無効

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0DH	Power Down Control	0	0	0	0	0	0	PDAD2	PDAD1
	Default	0	0	0	0	0	0	0	0

PDAD2-1: Power-down control (0: Power-up, 1: Power-down)

PDAD1: Power down control of ADC1

PDAD2: Power down control of ADC2

システム設計

Figure 31はシステム接続例です。具体的な回路と測定例については評価用ボード(AKD4627)を参照して下さい。

条件: TVDD=5V, 3線式シリアルコントロールモード, CAD1-0 = "00"

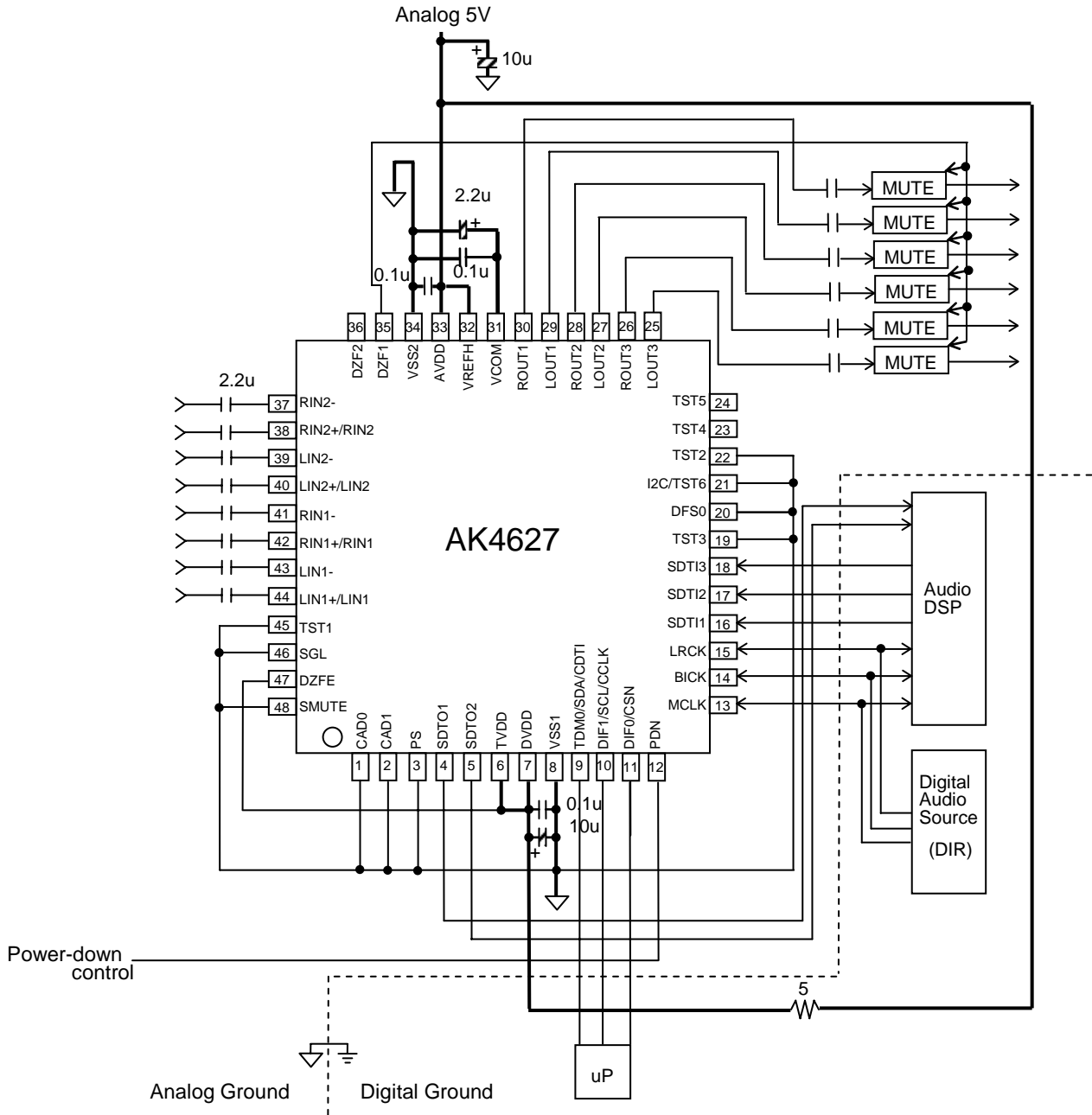


Figure 31. システム接続例



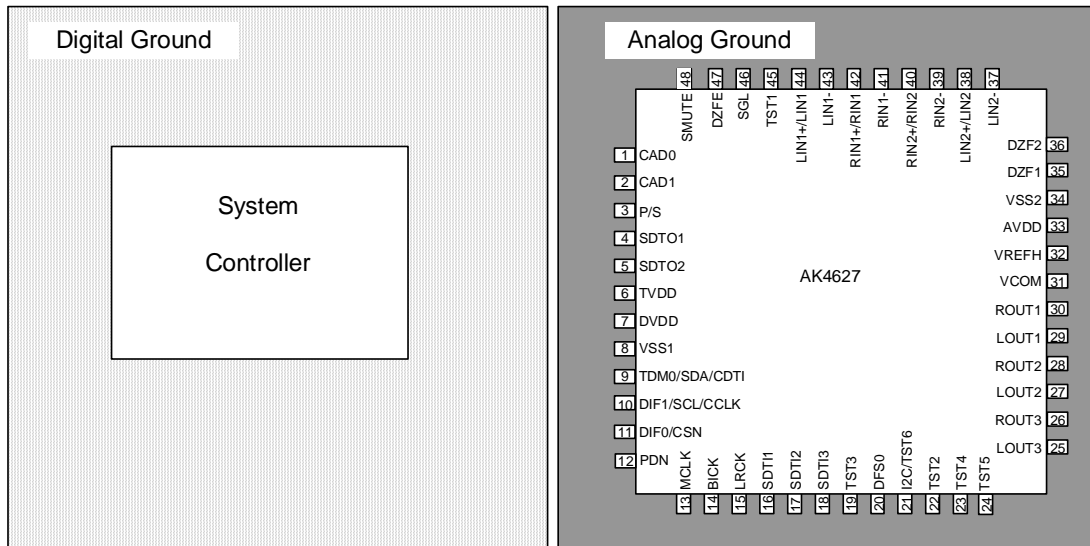


Figure 32. グラウンドレイアウト

注: VSS2とVSS1はアナロググラウンドに接続して下さい。

## 1. グラウンドと電源のデカップリング

電源とグラウンドの取り方には十分注意して下さい。通常AVDDとDVDDにはシステムのアナログ電源を供給します。AVDDとDVDDが別電源で供給される場合は、電源立ち上げシーケンスを考える必要はありません。VSS1とVSS2はアナロググラウンドに接続して下さい。システムのグラウンドはアナログとデジタルで分けて配線し、PCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

## 2. 基準電圧入力

VREFH pinに入力される電圧がアナログ入出力レンジを設定します。通常VREFH pinはAVDD pinに接続し、VSS2 pinとの間に0.1 $\mu$ Fのセラミックコンデンサを接続します。VCOM pinはAVDD/2電圧を出力しており、アナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために2.2 $\mu$ F程度の電解コンデンサと並列に0.1 $\mu$ FのセラミックコンデンサをVSS2 pinとの間に接続して下さい。特にセラミックコンデンサはピンに出来るだけ近づけて接続して下さい。VCOM pinから電流を取ってはいけません。また、デジタル信号、特にクロック信号は変調器へのカップリングを避けるためVREFH, VCOM pinからできるだけ離して下さい。

## 3. アナログ入力

ADC入力はシングルエンド入力、差動入力の両方に対応しており、SGL pinで選択できます。シングルエンド入力時は内部で14k (typ)でVCOM(AVDD1x1/2)電圧にバイアスされています。入力レンジは0.68 x VREFH Vpp (typ)@fs=48kHzです。差動入力時は内部で32k (typ)でVCOMにバイアスされています。LIN(RIN)+とLIN(RIN)-間の入力信号範囲は、 $\pm 0.68 \times VREFH Vpp$  (typ)@fs=48kHzです。AK4627はVSS1からAVDD1までの電圧を入力することができます。出力コードのフォーマットは2'sコンプリメント(2の補数)です。DCオフセットは内蔵のHPFでキャンセルされます。

AK4627は64fsでアナログ入力をサンプリングします。デジタルフィルタは、64fsの整数倍付近の帯域を除く阻止域以上のノイズを全て除去します。AK4627は64fs付近のノイズを減衰させるためにアンチエイリアシングフィルタ(RCフィルタ)を内蔵しています。

#### 4. アナログ出力

DAC出力はシングルエンド出力になっており、出力レンジはVCOM電圧を中心に $0.6 \times VREFH$  Vpp(typ)です。入力コードのフォーマットは2'sコンプリメント(2の補数)で、7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)での理想値はVCOM電圧が出力されます。

変調器が発生する帯域外ノイズ(シェーピングノイズ)は内蔵のスイッチトキャパシタフィルタ(SCF)と連続フィルタ(CTF)で除去されます。

本LSIのアナログ出力はVCOM電圧に対して数mV程度のオフセットを持つため通常の使用ではコンデンサでDC成分をカットします。

#### 5. 外部アナログ入力回路

この回路の入力レベルは $\pm 3.4$ Vppです。

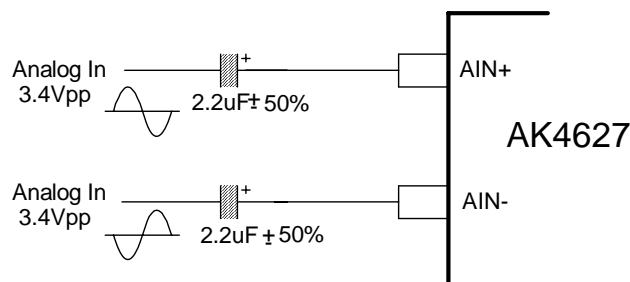


Figure 33. Input buffer circuit example 1 (AC coupled 差動入力)

この回路の入力レベルは3.4Vppです。

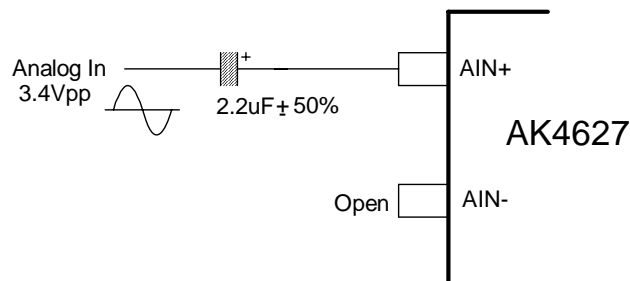


Figure 34. Input buffer circuit example 2 (AC coupled シングルエンド入力)

## 6. 周辺I/F例

AK4627はTTL入力のため周辺の電源電圧3.3V(typ)デバイスの信号も受けることができます。また、周辺デバイスが電源電圧3.3V(typ)の場合は出力バッファ用電源(TVDD)を3.3Vにしてください。3.3Vと5Vが混在するシステムではFigure 35のようなI/Fになります。

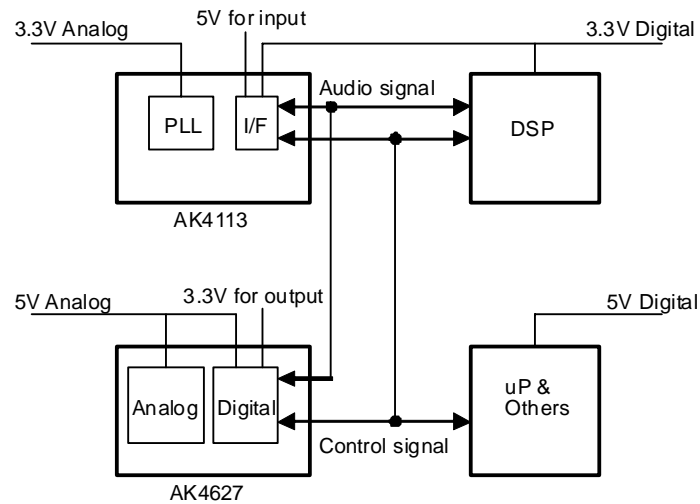
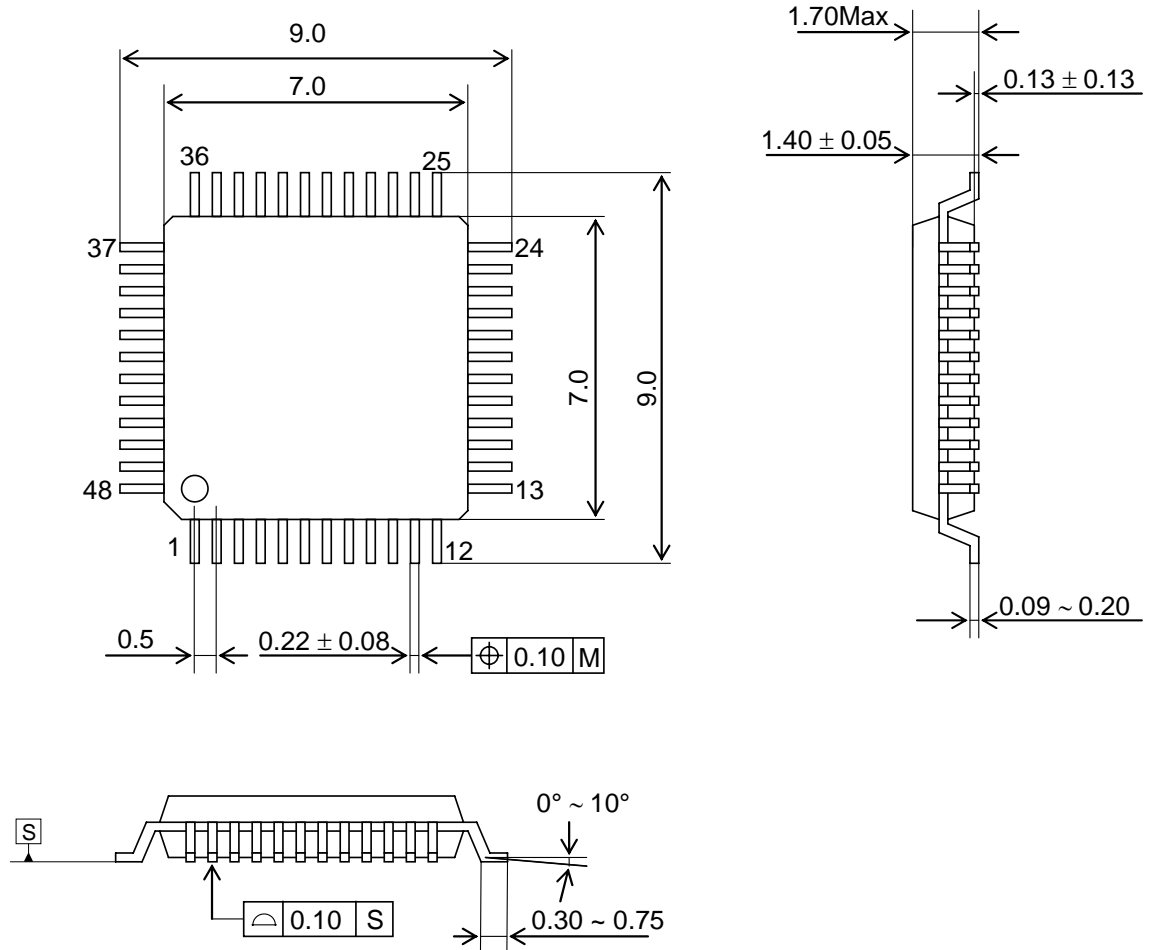


Figure 35. 電源供給接続例

パッケージ

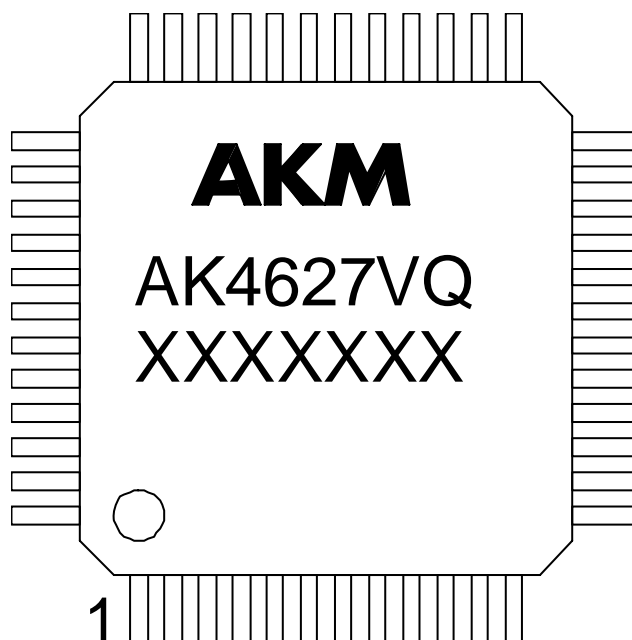
## 48pin LQFP(Unit: mm)



## ■ 材質・メッキ仕様

パッケージ材質:	エポキシ系樹脂
リードフレーム材質:	銅
リードフレーム処理:	半田(無鉛)メッキ

## マーキング



- 1) Pin #1 indication
- 2) Date Code: XXXXXXXX(7 digits)
- 3) Marking Code:
- 4) Asahi Kasei Logo

## 改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
11/01/26	00	初版		
11/08/29	01	仕様変更	7	<b>アナログ特性</b> ADC Analog Input Characteristics (Single-ended Inputs) S/(N+D), fs=48kHz: 92 → 96dB (typ) fs=96kHz: 86 → 92dB (typ) DR, fs=96kHz: 96 → 99dB (typ) fs=96kHz, A-weighted: 102 → 105dB (typ) S/N: fs=96kHz: 96 → 99dB (typ) fs=96kHz, A-weighted: 102 → 105dB (typ) ADC Analog Input Characteristics (Differential Inputs) S/(N+D), fs=48kHz: 92 → 96dB (typ) fs=96kHz: 86 → 94dB (typ) DR, fs=96kHz: 97 → 100dB (typ) fs=96kHz, A-weighted: 103 → 106dB (typ) S/N: fs=96kHz: 97 → 100dB (typ) fs=96kHz, A-weighted: 103 → 106dB (typ)
			8	<b>DAC Analog Output Characteristics</b> S/(N+D), fs=48kHz: 90 → 98dB (typ) fs=96kHz: 88 → 98dB (typ) fs=192kHz: 88 → 98dB (typ)

Date (Y/M/D)	Revision	Reason	Page	Contents
12/03/07	02	誤記訂正	3	■ オーダリングガイド AK4627 → AK4627VQ
			9	DC特性 High-level Output Voltage の条件: SDTO1-2, LRCK, BICK pins → SDTO1-2 pins Low-level Output Voltage の条件: SDTO1-2, LRCK, BICK, DZF1, DZF2 pins → SDTO1-2, DZF1, DZF2 pins

#### 重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
- 本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器設計において本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報を使用される場合は、お客様の責任において行ってください。本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。また、当該使用に起因する、工業所有権その他の第三者の所有する権利に対する侵害につきましても同様です。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取りください。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。