



# AK4628A

## High Performance Multi-channel Audio CODEC

### 概 要

AK4628Aは2ch ADCと8ch DACを内蔵する1チップ24bit CODECです。ADCにはワイドダイナミックレンジを実現するエンハンスド・デュアルビット方式を採用、DACには新開発のアドバンスト・マルチビット方式を採用、更に広いダイナミックレンジと低帯域外ノイズを実現しています。補助デジタルオーディオ入力はADC出力の代わりに外部オーディオデータをデータ出力に出力することができます。コントロールはピンから直接設定されるか、または独立したシリアル $\mu$ P I/Fを通して設定されます。

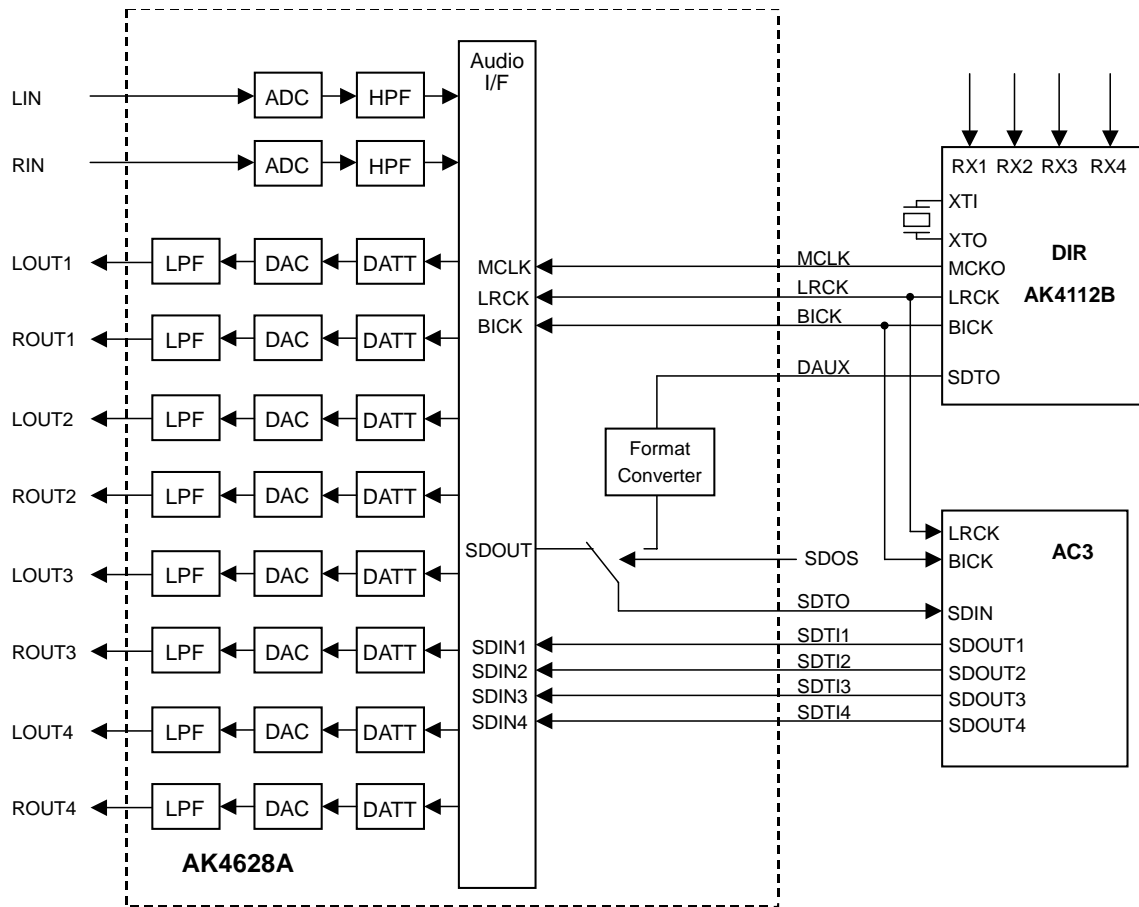
AK4628AはADCに102dB、DACに106dBのダイナミックレンジを持ち、ホームシアターシステムやカーオーディオサラウンドシステムに最適です。さらにAC-3対応のバランスボリュームを内蔵するため、IEC60958 レシーバ(AK4112B)と組み合わせて容易にAC-3システムが実現できます。小型44ピンLQFPパッケージに実装され、基板スペースを削減します。

\*AC-3はDolby Laboratoriesの登録商標です。

### 特 長

- 2ch 24bit ADC
  - 64倍オーバーサンプリング
  - サンプリング周波数: 最大96kHz
  - 直線位相デジタルフィルタ内蔵
  - シングルエンド入力
  - S/(N+D): 92dB
  - ダイナミックレンジ, S/N: 102dB
  - オフセットキャンセル用デジタルHPF
  - I/Fフォーマット: 前詰め, I<sup>2</sup>S, TDM
  - オーバフローフラグ
- 8ch 24bit DAC
  - 128倍オーバーサンプリング
  - サンプリング周波数: 最大192kHz
  - 24ビット8倍デジタルフィルタ
  - シングルエンド出力
  - S/(N+D): 90dB
  - ダイナミックレンジ, S/N: 106dB
  - I/Fフォーマット: 前詰め, 後詰め(20bit,24bit), I<sup>2</sup>S, TDM
  - チャンネル独立デジタルボリューム内蔵 (128レベル, 0.5dBステップ)
  - ソフトミュート
  - ディエンファシス内蔵 (32kHz, 44.1kHz, 48kHz対応)
  - ゼロ検出機能
- 強ジッタ耐力
- TTLレベルデジタルI/F
- シリアル $\mu$ P I/F: 3線シリアル, I<sup>2</sup>Cバス
- マスタクロック: 256fs, 384fs, 512fs (fs=32kHz ~ 48kHz)  
128fs, 192fs, 256fs (fs=64kHz ~ 96kHz)  
128fs (fs=120kHz~ 192kHz)
- 電源電圧: 4.5 ~ 5.5V
- 出力バッファ用電源: 2.7 ~ 5.5V
- 小型パッケージ: 44ピンLQFP
- AK4529 ピン互換

■ ブロック図



ブロック図 (DIRとAC-3 DSPは外部)

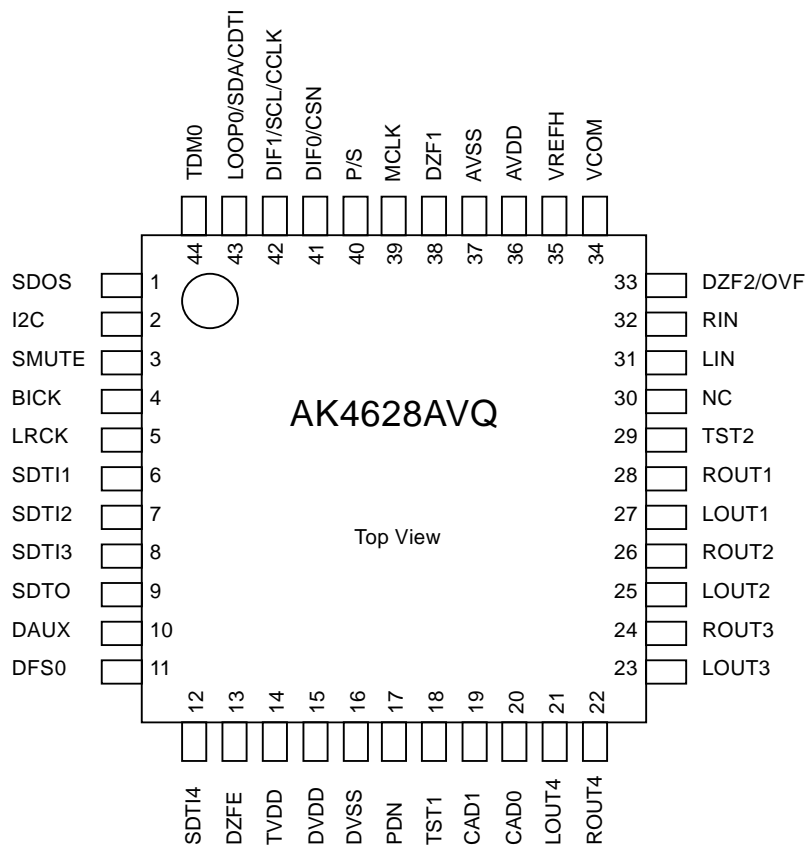
■ オーダリングガイド

AK4628AVQ  
AKD4628A

-40 ~ +85°C  
評価ボード

44pin LQFP(0.8mm pitch)

■ ピン配置



## ■ AK4529との互換性

## 1. 機能

機能、性能	AK4529	AK4628A
DAC サンプルング周波数	最大 96kHz	最大 192kHz
TDM128 (96kHz)	なし	あり
デジタルボリューム	256レベル	128レベル
ソフトミュート	デジタルボリュームとは独立	デジタルボリュームに従属
DAC チャンネル・パワー ダウン	なし	あり

## 2. ピン

pin#	AK4529	AK4628A
11	DFS	DFS0
18	TST	TST1
29	NC	TST2
44	TDM	TDM0

## 3. レジスタ

Addr	AK4529	AK4628A
00H	TDM	TDM0
00H	Not available	TDM1
01H	DFS	DFS0
01H	Not available	DFS1
09H	Not available	PD4, PD3, PD2, PD1

## ピン／機能

No.	ピン名称	I/O	機 能
1	SDOS	I	SDTOソース選択ピン (Note 1) “L”: 内部ADC出力, “H”: DAUX入力 TDM0=“1”のとき、SDOSピンは“L”にして下さい。
2	I2C	I	シリアルコントロールモード選択ピン “L”: 3線シリアル, “H”: I <sup>2</sup> Cバス
3	SMUTE	I	ソフトミュートピン (Note 1) “H”でソフトミュート開始。“L”で解除されます。
4	BICK	I	オーディオシリアルデータクロックピン
5	LRCK	I	入力チャンネルクロックピン
6	SDTI1	I	DAC1オーディオシリアルデータ入力ピン
7	SDTI2	I	DAC2オーディオシリアルデータ入力ピン
8	SDTI3	I	DAC3オーディオシリアルデータ入力ピン
9	SDTO	O	オーディオシリアルデータ出力ピン
10	DAUX	I	補助オーディオシリアルデータ入力ピン
11	DFS0	I	倍速サンプリングモードピン (Note 1) “L”: 通常速, “H”: 2倍速
12	SDTI4	I	DAC4オーディオシリアルデータ入力ピン
13	DZFE	I	ゼロ入力検出機能有効ピン “L”: Parallel mode時はmode 7(disable), Serial mode時はDZFM3-0ビットで選択可, “H”: mode 0 (8chのANDでDZF1から出力)
14	TVDD	-	出力バッファ用電源ピン, 2.7V~5.5V
15	DVDD	-	デジタル電源ピン, 4.5V~5.5V
16	DVSS	-	デジタルグランドピン, 0V
17	PDN	I	パワーダウン&リセットピン このピンを“L”にするとパワーダウン状態になり、レジスタは初期化されます。P/S, CAD1-0を切り替えた場合はPDNピンでリセットして下さい。
18	TST1	I	テストピン DVSSに接続して下さい。
19	CAD1	I	チップアドレス1ピン
20	CAD0	I	チップアドレス0ピン
21	LOUT4	O	DAC4 Lチャンネルアナログ出力ピン
22	ROUT4	O	DAC4 Rチャンネルアナログ出力ピン

No.	Pin Name	I/O	Function
23	LOUT3	O	DAC3 Lチャンネルアナログ出力ピン
24	ROUT3	O	DAC3 Rチャンネルアナログ出力ピン
25	LOUT2	O	DAC2 Lチャンネルアナログ出力ピン
26	ROUT2	O	DAC2 Rチャンネルアナログ出力ピン
27	LOUT1	O	DAC1 Lチャンネルアナログ出力ピン
28	ROUT1	O	DAC1 Rチャンネルアナログ出力ピン
29	TST2	I	テストピン (Internal pull-down pin) オープン または、AVSSに接続して下さい。
30	NC	-	No Connect No internal bonding.
31	LIN	I	Lチャンネルアナログ入力ピン
32	RIN	I	Rチャンネルアナログ入力ピン
33	DZF2	O	ゼロ入力検出2ピン (Note 2) グループ2の入力データが8192回連続して“0”の時、またはRSTNビットが“0”の時、またはPWDANビットが“0”の時、“H”になります。 P/S=“H”の時は常に“L”です。
	OVF	O	アナログ入力オーバフロー検出ピン (Note 3) LchまたはRchのアナログ入力が入力オーバーフローした時、“H”になります。
34	VCOM	O	コモン電圧出力ピン, AVDD/2 電源ノイズを除去するために容量の大きい(2.2μF程度)コンデンサを付けて下さい。
35	VREFH	I	基準電圧入力ピン, AVDD
36	AVDD	-	アナログ電源ピン, 4.5V~5.5V
37	AVSS	-	アナロググランドピン, 0V
38	DZF1	O	ゼロ入力検出1ピン (Note 2) グループ1の入力データが8192回連続して“0”の時、またはRSTNビットが“0”の時、またはPWDANビットが“0”の時、“H”になります。 P/S=“H”の時にはDZFEピンにより出力が選択できます。
39	MCLK	I	マスタクロック入力ピン
40	P/S	I	パラレル/シリアル選択ピン “L”: シリアルコントロールモード, “H”: パラレルコントロールモード
41	DIF0	I	オーディオデータインタフェースフォーマット0ピン (パラレルコントロールモード時)
	CSN	I	チップセレクトピン (3線シリアルコントロールモード時) I <sup>2</sup> Cバスコントロールモード時はDVDDに接続して下さい。
42	DIF1	I	オーディオデータインタフェースフォーマット1ピン (パラレルコントロールモード時)
	SCL/CCLK	I	コントロールデータクロックピン (シリアルコントロールモード時) I2C = “L”: CCLK (3線シリアル), I2C = “H”: SCL (I <sup>2</sup> Cバス)
43	LOOP0	I	ループバックモード0ピン (パラレルコントロールモード時) ADCから全DACへのデジタルループバックを有効にします。
	SDA/CDTI	I/O	コントロールデータ入力ピン (シリアルコントロールモード時) I2C = “L”: CDTI (3線シリアル), I2C = “H”: SDA (I <sup>2</sup> Cバス)
44	TDM0	I	TDM I/Fフォーマットモードピン (Note 1) “L”: 通常フォーマット, “H”: TDMフォーマット

- Notes:
1. P/S = “L”の時、SDOS, SMUTE, DFS0, TDM0ピンはレジスタとORが取られません。
  2. P/S = “L”かつDZFE = “L”の時、グループ1と2はDZFM3-0ビットで選択できます。
  3. このピンは、シリアルコントロールモードでOVFEビットを“1”に設定すると、OVFピンになります。
  4. プルダウンピン以外の全てのデジタル入力ピンはフローティングにしないで下さい。

## 絶対最大定格

(AVSS=DVSS=0V; Note 5)

Parameter		Symbol	min	max	Unit
Power Supplies	Analog	AVDD	-0.3	6.0	V
	Digital	DVDD	-0.3	6.0	V
	Output buffer	TVDD	-0.3	6.0	V
	AVSS-DVSS  (Note 6)	$\Delta$ GND	-	0.3	V
Input Current (any pins except for supplies)		IIN	-	$\pm$ 10	mA
Analog Input Voltage		VINA	-0.3	AVDD+0.3	V
Digital Input Voltage (Expect LRCK, BICK pins)		VIND1	-0.3	DVDD+0.3	V
(LRCK, BICK pins)		VIND2	-0.3	TVDD+0.3	V
Ambient Temperature (power applied)		Ta	-40	85	°C
Storage Temperature		Tstg	-65	150	°C

Notes: 5. 電圧はすべてグラウンドに対する値です。

6. AVSSとDVSSはアナロググラウンドに接続して下さい。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。  
また通常の動作は保証されません。

## 推奨動作条件

(AVSS=DVSS=0V; Note 5)

Parameter		Symbol	min	typ	max	Unit
Power Supplies (Note 7)	Analog	AVDD	4.5	5.0	5.5	V
	Digital	DVDD	4.5	5.0	5.5	V
	Output buffer	TVDD	2.7	5.0	5.5	V

Notes: 5. 電圧はすべてグラウンドに対する値です。

7. AVDD, DVDD, TVDDの立ち上げシーケンスを考える必要はありません。

I2Cバスと接続して使う場合、周辺デバイスが電源ONの状態でもAK4628AのみをOFFにしないでください。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

## アナログ特性

(Ta=25°C; AVDD=DVDD=TVDD=5V; AVSS=DVSS=0V; VREFH=AVDD; fs=48kHz; BICK=64fs;  
Signal Frequency=1kHz; 24bit Data; Measurement Frequency=20Hz~20kHz at 48kHz, 20Hz~40kHz at fs=96kHz,  
20Hz~40kHz at fs=192kHz; unless otherwise specified)

Parameter		min	typ	max	Unit
<b>ADC Analog Input Characteristics</b>					
Resolution				24	Bits
S/(N+D) (-0.5dBFS)	fs=48kHz	84	92		dB
	fs=96kHz	-	86		dB
DR (-60dBFS)	fs=48kHz, A-weighted	94	102		dB
	fs=96kHz	88	96		dB
	fs=96kHz, A-weighted	93	102		dB
S/N (Note 8)	fs=48kHz, A-weighted	94	102		dB
	fs=96kHz	88	96		dB
	fs=96kHz, A-weighted	93	102		dB
Interchannel Isolation		90	110		dB
<b>DC Accuracy</b>					
Interchannel Gain Mismatch			0.2	0.3	dB
Gain Drift			20	-	ppm/°C
Input Voltage	A <sub>IN</sub> =0.62xVREFH	2.90	3.10	3.30	V <sub>pp</sub>
Input Resistance	(Note 9)	15	25		kΩ
Power Supply Rejection	(Note 10)		50		dB
<b>DAC Analog Output Characteristics</b>					
Resolution				24	Bits
S/(N+D)	fs=48kHz	80	90		dB
	fs=96kHz	78	88		dB
	fs=192kHz	-	88		dB
DR (-60dBFS)	fs=48kHz, A-weighted	95	106		dB
	fs=96kHz	88	100		dB
	fs=96kHz, A-weighted	94	106		dB
	fs=192kHz	-	100		dB
	fs=192kHz, A-weighted	-	106		dB
S/N (Note 11)	fs=48kHz, A-weighted	95	106		dB
	fs=96kHz	88	100		dB
	fs=96kHz, A-weighted	94	106		dB
	fs=192kHz	-	100		dB
	fs=192kHz, A-weighted	-	106		dB
Interchannel Isolation		90	110		dB
<b>DC Accuracy</b>					
Interchannel Gain Mismatch			0.2	0.5	dB
Gain Drift			20	-	ppm/°C
Output Voltage	A <sub>OUT</sub> =0.6xVREFH	2.75	3.0	3.25	V <sub>pp</sub>
Load Resistance		5			kΩ
Power Supply Rejection	(Note 10)		50		dB

Notes: 8. CCIR-ARMで測定した場合は98dB(@fs=48kHz)です。

9. fs=96kHz の時、入力抵抗は16kΩ(typ)です。

10. VREFHを+5.0Vに固定して、AVDD, DVDD, TVDDに1kHz, 50mV<sub>pp</sub>の正弦波を重畳した場合。

11. CCIR-ARMで測定した場合は102dB(@fs=48kHz)です。



Parameter	min	typ	max	Unit
<b>Power Supplies</b>				
Power Supply Current (AVDD+DVDD+TVDD)				
Normal Operation (PDN = "H")				
AVDD		45	67	mA
	fs=48kHz, 96kHz			
	fs=192kHz	34	51	mA
DVDD+TVDD	fs=48kHz	18	27	mA
	fs=96kHz	24	36	mA
	fs=192kHz	27	40	mA
Power-down mode (PDN = "L")	(Note 13)	80	200	μA

Notes: 12. TVDD=0.1mA(typ).

13. 静止時。クロックを含む全てのデジタル入力ピンをDVSSに固定した場合の値です。

## フィルタ特性

(Ta=25°C; AVDD=DVDD=4.5~5.5V; TVDD=2.7~5.5V; fs=48kHz)

Parameter	Symbol	min	typ	max	Unit	
<b>ADC Digital Filter (Decimation LPF):</b>						
Passband (Note 14)	±0.1dB -0.2dB -3.0dB	PB	0		18.9	kHz
			-	20.0	-	kHz
			-	23.0	-	kHz
Stopband	SB	28			kHz	
Passband Ripple	PR			±0.04	dB	
Stopband Attenuation	SA	68			dB	
Group Delay (Note 15)	GD		16		1/fs	
Group Delay Distortion	ΔGD		0		μs	
<b>ADC Digital Filter (HPF):</b>						
Frequency Response (Note 14)	-3dB -0.1dB	FR		1.0		Hz
				6.5		Hz
<b>DAC Digital Filter:</b>						
Passband (Note 14)	-0.1dB -6.0dB	PB	0		21.8	kHz
			-	24.0	-	kHz
Stopband	SB	26.2			kHz	
Passband Ripple	PR			±0.02	dB	
Stopband Attenuation	SA	54			dB	
Group Delay (Note 15)	GD		19.2		1/fs	
<b>DAC Digital Filter + Analog Filter:</b>						
Frequency Response: 0 ~ 20.0kHz	(Note 16)	FR		±0.2		dB
			40.0kHz	±0.3		dB
			80.0kHz	±1.0		dB

## Notes:

14. 通過域と阻止域はfsに比例します。

例えば、-0.1dBでの21.8kHzは0.454 x fsです。

15. デジタルフィルタによる演算遅延で、アナログ信号が入力されてから両チャンネルの24ビットデータがADCの出力レジスタにセットされるまでの時間です。

DACについては、両チャンネルの20/24ビットデータがDACの入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

16. 40.0kHz; fs=96kHz, 80.0kHz; fs=192kHz.

## DC特性

(Ta=25°C; AVDD=DVDD=4.5~5.5V; TVDD=2.7~5.5V)

Parameter	Symbol	min	typ	max	Unit
High-Level Input Voltage	VIH	2.2	-	-	V
Low-Level Input Voltage	VIL	-	-	0.8	V
High-Level Output Voltage (SDTO, LRCK, BICK pins: Iout=-100μA) (DZF1, DZF2/OVF pins: Iout=-100μA)	VOH	TVDD-0.5	-	-	V
	VOH	AVDD-0.5	-	-	V
Low-Level Output Voltage (SDTO, LRCK, BICK, DZF1, DZF2/OVF pins: Iout= 100μA) (SDA pins: Iout= 3mA)	VOL	-	-	0.5	V
	VOL	-	-	0.4	V
Input Leakage Current (Note 17)	Iin	-	-	±10	μA

Note 17: TST2ピンは内部でプルダウンされています。(typ. 100kΩ)

## スイッチング特性

(Ta=25°C; AVDD=DVDD=4.5~5.5V; TVDD=2.7~5.5V; CL=20pF)

Parameter	Symbol	min	typ	max	Unit
<b>Master Clock Timing</b>					
256fsn, 128fsd:	fCLK	8.192		12.288	MHz
Pulse Width Low	tCLKL	27			ns
Pulse Width High	tCLKH	27			ns
384fsn, 192fsd:	fCLK	12.288		18.432	MHz
Pulse Width Low	tCLKL	20			ns
Pulse Width High	tCLKH	20			ns
512fsn, 256fsd:	fCLK	16.384		24.576	MHz
Pulse Width Low	tCLKL	15			ns
Pulse Width High	tCLKH	15			ns
<b>LRCK Timing</b>					
<b>Normal mode (TDM0= "0", TDM1= "0")</b>					
Normal Speed Mode	fsn	32		48	kHz
Double Speed Mode	fsd	64		96	kHz
Quad Speed Mode	fsq	120		192	kHz
Duty Cycle	Duty	45		55	%
<b>TDM256 mode (TDM0= "1", TDM1= "0")</b>					
LRCK frequency	fsn	32		48	kHz
"H" time	tLRH	1/256fs			ns
"L" time	tLRL	1/256fs			ns
<b>TDM128 mode (TDM0= "1", TDM1= "1")</b>					
LRCK frequency	fsd	64		96	kHz
"H" time	tLRH	1/128fs			ns
"L" time	tLRL	1/128fs			ns
<b>Audio Interface Timing</b>					
<b>Normal mode (TDM0= "0", TDM1= "0")</b>					
BICK Period	tBCK	81			ns
BICK Pulse Width Low	tBCKL	32			ns
Pulse Width High	tBCKH	32			ns
LRCK Edge to BICK "↑" (Note 18)	tLRB	20			ns
BICK "↑" to LRCK Edge (Note 18)	tBLR	20			ns
LRCK to SDTO(MSB)	tLRS			40	ns
BICK "↓" to SDTO	tBSD			40	ns
SDTI1-4, DAUX Hold Time	tSDH	20			ns
SDTI1-4, DAUX Setup Time	tSDS	20			ns
<b>TDM256 mode (TDM0= "1", TDM1= "0")</b>					
BICK Period	tBCK	81			ns
BICK Pulse Width Low	tBCKL	32			ns
Pulse Width High	tBCKH	32			ns
LRCK Edge to BICK "↑" (Note 18)	tLRB	20			ns
BICK "↑" to LRCK Edge (Note 18)	tBLR	20			ns
BICK "↓" to SDTO	tBSD			20	ns
SDTI1 Hold Time	tSDH	10			ns
SDTI1 Setup Time	tSDS	10			ns
<b>TDM128 mode (TDM0= "1", TDM1= "1")</b>					
BICK Period	tBCK	81			ns
BICK Pulse Width Low	tBCKL	32			ns
Pulse Width High	tBCKH	32			ns
LRCK Edge to BICK "↑" (Note 18)	tLRB	20			ns
BICK "↑" to LRCK Edge (Note 18)	tBLR	20			ns
BICK "↓" to SDTO	tBSD			20	ns
SDTI1-2 Hold Time	tSDH	10			ns
SDTI1-2 Setup Time	tSDS	10			ns

Notes: 18. この規格値はLRCKのエッジとBICKの立ち上がりエッジが重ならないように規定しています。

Parameter	Symbol	min	typ	max	Unit
<b>Control Interface Timing (3-wire Serial mode):</b>					
CCLK Period	tCCK	200			ns
CCLK Pulse Width Low	tCCKL	80			ns
Pulse Width High	tCCKH	80			ns
CDTI Setup Time	tCDS	40			ns
CDTI Hold Time	tCDH	40			ns
CSN “H” Time	tCSW	150			ns
CSN “↓” to CCLK “↑”	tCSS	50			ns
CCLK “↑” to CSN “↑”	tCSH	50			ns
<b>Control Interface Timing (I<sup>2</sup>C Bus mode):</b>					
SCL Clock Frequency	fSCL	-		100	kHz
Bus Free Time Between Transmissions	tBUF	4.7		-	μs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	4.0		-	μs
Clock Low Time	tLOW	4.7		-	μs
Clock High Time	tHIGH	4.0		-	μs
Setup Time for Repeated Start Condition	tSU:STA	4.7		-	μs
SDA Hold Time from SCL Falling (Note 19)	tHD:DAT	0		-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.25		-	μs
Rise Time of Both SDA and SCL Lines	tR	-		1.0	μs
Fall Time of Both SDA and SCL Lines	tF	-		0.3	μs
Setup Time for Stop Condition	tSU:STO	4.0		-	μs
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0		50	ns
<b>Power-down &amp; Reset Timing</b>					
PDN Pulse Width (Note 20)	tPD	150			ns
PDN “↑” to SDTO valid (Note 21)	tPDV		522		1/fs

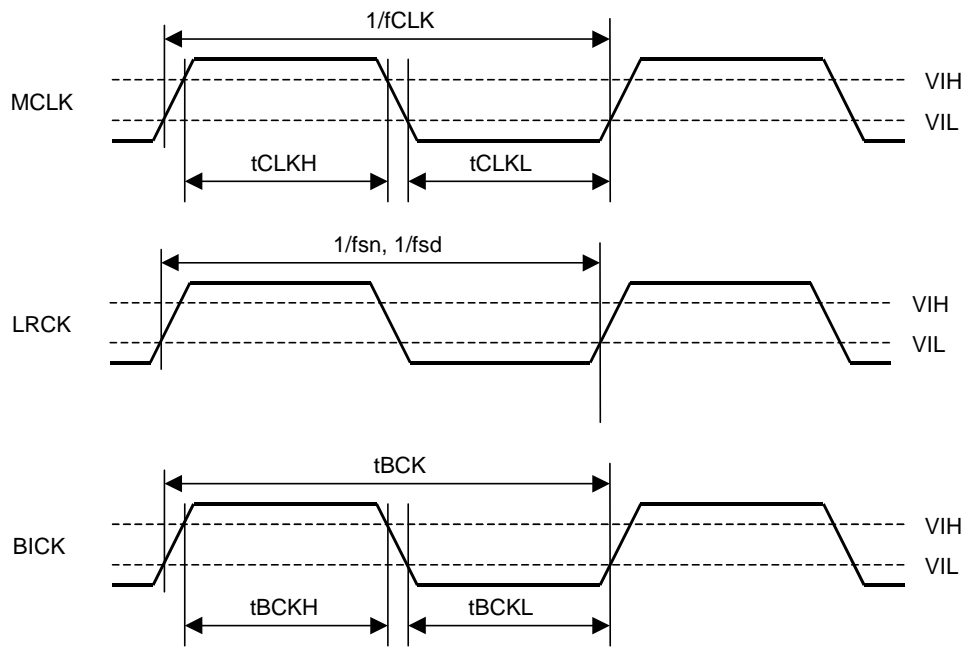
Notes: 19. データは最低300ns(SCLの立ち下がり時間)の間保持されなければなりません。

20. 電源投入時はPDNピンを“L”から“H”にすることでリセットがかかります。

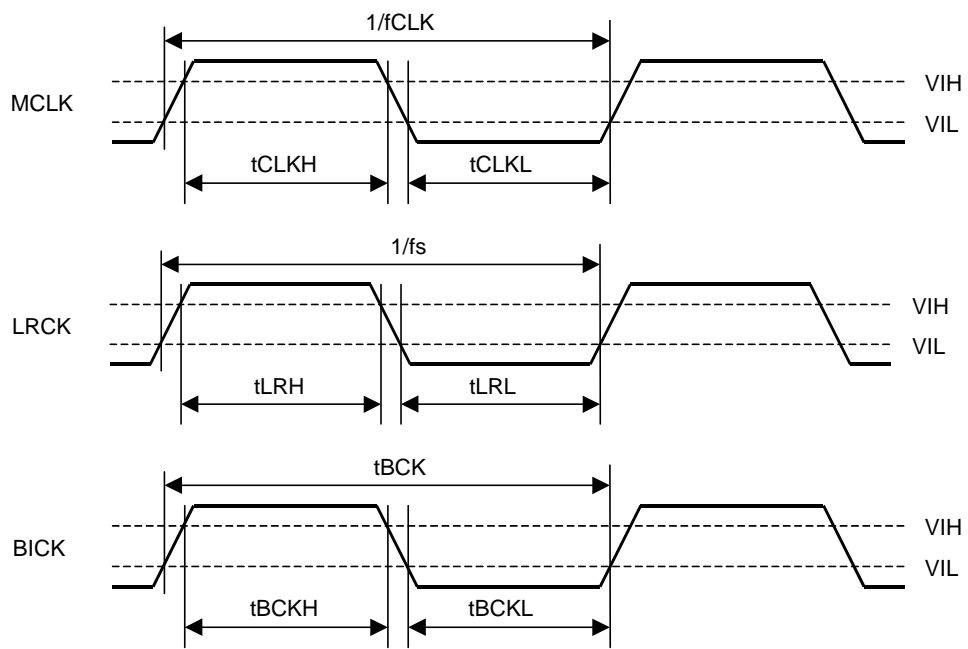
21. PDNを立ち下げてからのLRCKの立ち上がりの回数です。

22. I<sup>2</sup>C-busはNXP B.V.の商標です。

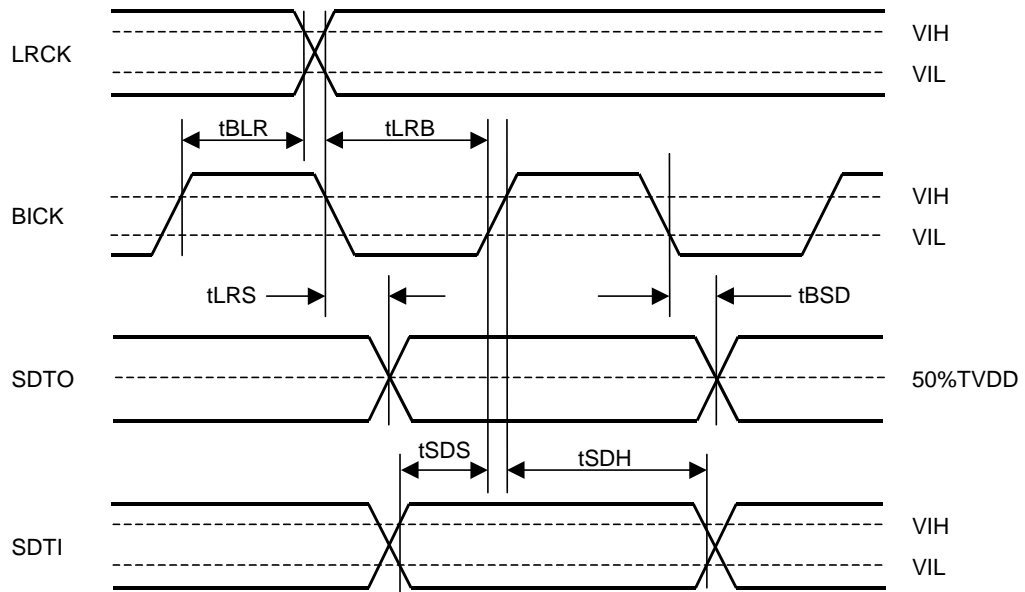
■ タイミング波形



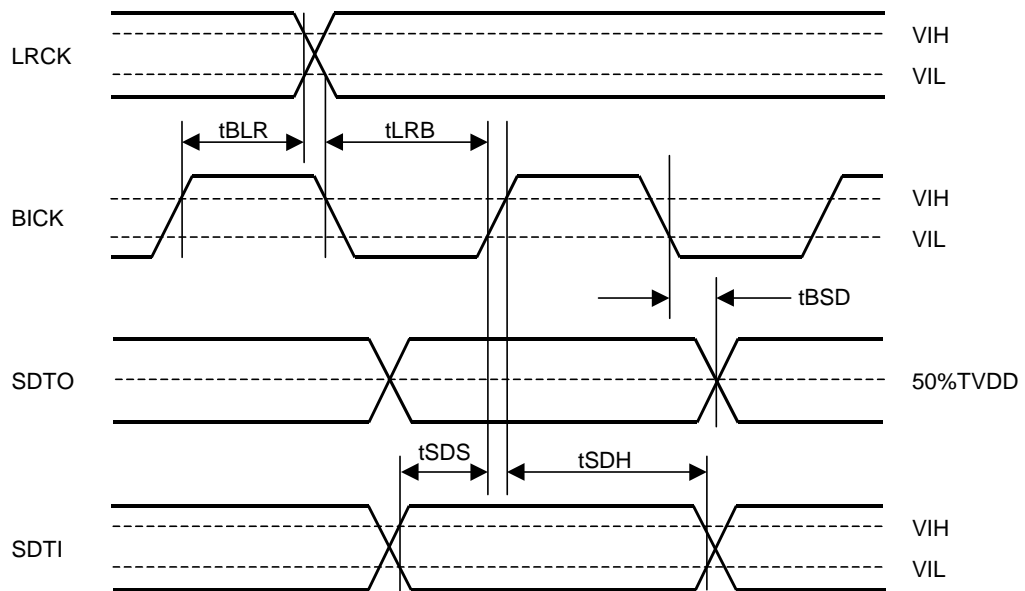
クロックタイミング (TDM0="0")



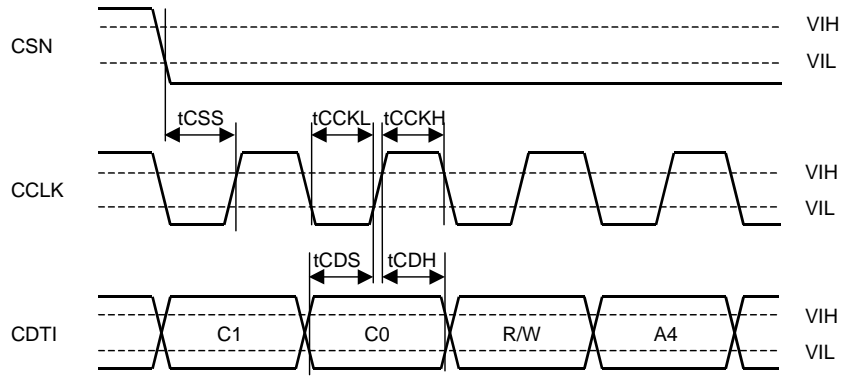
クロックタイミング (TDM0="1")



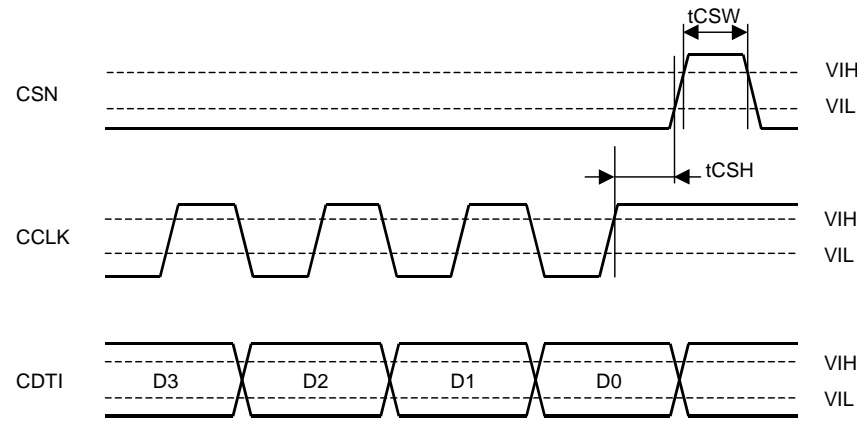
オーディオインタフェースタイミング (TDM0="0")



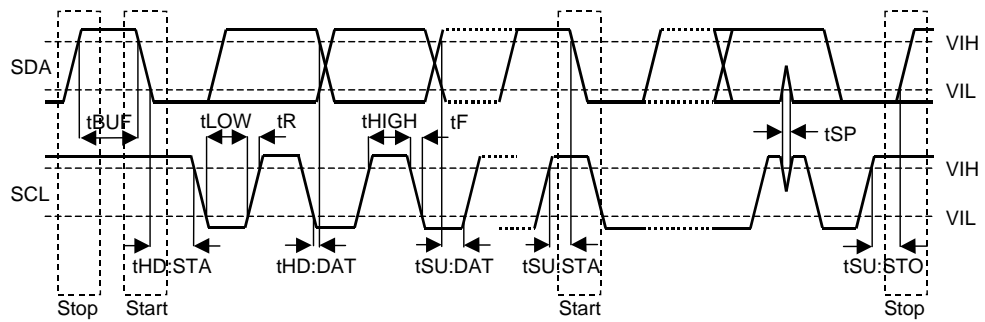
オーディオインタフェースタイミング (TDM0="1")



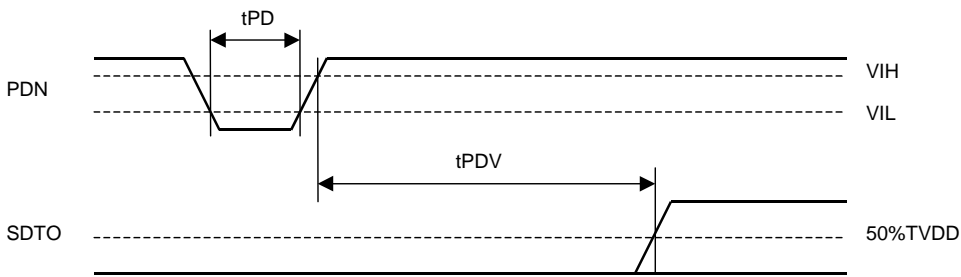
WRITEコマンド入力タイミング(3線シリアルモード)



WRITEデータ入力タイミング(3線シリアルモード)



I<sup>2</sup>Cバスモードタイミング



パワーダウン&リセットタイミング

<b>動作説明</b>
-------------

## ■ システムクロック

必要なクロックは、MCLK, LRCK, BICK です。MCLKとLRCKは同期する必要はありますが位相を合わせる必要はありません。MCLK周波数を設定する方法は、DFS0ピンまたはDFS0, DFS1ビットで設定する方法 (Manual Setting Mode) とデバイス内部で自動設定する方法 (Auto Setting Mode) の2つがあります。Manual Setting Mode (ACKS = "0": Default)では、DFS0, DFS1でサンプリングスピードが設定され(表1)、各スピードでのMCLK周波数は自動検出され、内部クロックは適切な周波数に自動設定されます(表2,3,4)。Auto Setting Mode (ACKS = "1")では、MCLK周波数は自動検出され(表5)、内部クロックは適切な周波数に自動設定される(表6)ため、DFSの設定は不要です。

動作時(PDN = "H")に外部クロック(MCLK, BICK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PDN = "L")またはリセット状態(RSTN = "0")にして下さい。電源ON等のリセット解除時(PDN = "↑")はMCLK, LRCKが入力されるまでパワーダウン状態です。

DFS1	DFS0	Sampling Speed (fs)		Default
0	0	Normal Speed Mode	32kHz~48kHz	
0	1	Double Speed Mode	64kHz~96kHz	
1	0	Quad Speed Mode	120kHz~192kHz	

表1. サンプリングスピード (Manual Setting Mode)

LRCK	MCLK (MHz)			BICK (MHz)
fs	256fs	384fs	512fs	64fs
32.0kHz	8.1920	12.2880	16.3840	2.0480
44.1kHz	11.2896	16.9344	22.5792	2.8224
48.0kHz	12.2880	18.4320	24.5760	3.0720

表2. システムクロック例 (Normal Speed Mode @Manual Setting Mode)

LRCK	MCLK (MHz)			BICK (MHz)
fs	128fs	192fs	256fs	64fs
88.2kHz	11.2896	16.9344	22.5792	5.6448
96.0kHz	12.2880	18.4320	24.5760	6.1440

表3. システムクロック例 (Double Speed Mode @Manual Setting Mode)  
(注: Double Speed Mode時 (DFS1 = "0", DFS0 = "1")の128fsと192fsでは、ADCは自動パワーダウンします。)

LRCK	MCLK (MHz)			BICK (MHz)
fs	128fs	192fs	256fs	64fs
176.4kHz	22.5792	-	-	11.2896
192.0kHz	24.5760	-	-	12.2880

表4. システムクロック例 (Quad Speed Mode @Manual Setting Mode)  
(注: Quad Speed Mode時 (DFS1 = "1", DFS0 = "0")では、ADCは自動パワーダウンします。)



MCLK	Sampling Speed
512fs	Normal
256fs	Double
128fs	Quad

表5. サンプリングスピード (Auto Setting Mode)

LRCK fs	MCLK (MHz)			Sampling Speed
	128fs	256fs	512fs	
32.0kHz	-	-	16.3840	Normal
44.1kHz	-	-	22.5792	
48.0kHz	-	-	24.5760	
88.2kHz	-	22.5792	-	Double
96.0kHz	-	24.5760	-	
176.4kHz	22.5792	-	-	Quad
192.0kHz	24.5760	-	-	

表6. システムクロック例 (Auto Setting Mode)

### ■ ディエンファシスフィルタ

IIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(50/15 $\mu$ s特性)を内蔵しています。Double Speed Mode、Quad Speed Mode 時ディエンファシスフィルタは常にOFFです。設定はレジスタから行い、DAC1(SDTI1), DAC2(SDTI2), DAC3(SDTI3), DAC4(SDTI4)に対して独立に設定できます。

Mode	Sampling Speed	DEM1	DEM0	DEM
0	Normal Speed	0	0	44.1kHz
1	Normal Speed	0	1	OFF
2	Normal Speed	1	0	48kHz
3	Normal Speed	1	1	32kHz

Default

表7. ディエンファシスコントロール

### ■ デジタルHPF

ADCはDCオフセットキャンセルのためにデジタルHPFを内蔵します。HPFのfcは、fs=48kHz時1.0Hzになっており、周波数応答はfsに比例します。

## ■ オーディオインタフェースフォーマット

TDM0,1=“L”のとき、4種類のデータフォーマット(表8)がDIF1-0で選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットで、SDTOはBICKの立ち下がり出力され、SDTI/DAUXはBICKの立ち上がりでラッチされます。

図1~4はSDOS=“0”の場合のタイミングです。このときSDTOにはADC出力データが出力されます。SDOS=“1”の場合は、DAUX入力データがSDTOフォーマットに変換されて出力されます。SDTIの入力フォーマットのうち、mode2, 3, 6, 7, 10, 11を16~20ビットで使った場合はデータの無いLSBには“0”を入力して下さい。

Mode	TDM 1	TDM0	DIF1	DIF0	SDTO	SDTI1-4, DAUX	LRCK		BICK	
								I/O		I/O
0	0	0	0	0	24bit, Left justified	20bit, Right justified	H/L	I	≥ 48fs	I
1	0	0	0	1	24bit, Left justified	24bit, Right justified	H/L	I	≥ 48fs	I
2	0	0	1	0	24bit, Left justified	24bit, Left justified	H/L	I	≥ 48fs	I
3	0	0	1	1	24bit, I <sup>2</sup> S	24bit, I <sup>2</sup> S	L/H	I	≥ 48fs	I

Default

表8. オーディオデータフォーマット (通常モード)

TDM0ピンを“H”に設定すると、TDM I/Fフォーマットとなります。TDM256 ModeではSDTI1ピンに全DAC(8ch)のデータを入力します。SDTI2-4への入力データは無視されます。BICKは256fs固定、LRCKの“H”幅、“L”幅は1/256fs(min)です。4種類のデータフォーマット(表9)がDIF1-0で選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットで、SDTOはBICKの立ち下がり出力され、SDTI1はBICKの立ち上がりでラッチされます。TDMモードのとき、SDOS, LOOP1-0は“0”に設定して下さい。TDM128 Mode (96kHz)はTDM1で選択できます(表10)。SDTI1ピンにDAC(4ch; L1,R1,L2,R2)、SDTI2ピンにDAC(4ch; L3,R3,L4,R4)の全8chのデータを入力します。TDM256モードを使用する場合はTDM0ピンまたはTDM0レジスタを“H”にして下さい。2倍速で使用する場合はTDM0ピンまたはTDM0レジスタとTDM1レジスタも“H”にして下さい。

Mode	TDM 1	TDM0	DIF1	DIF0	SDTO	SDTI1	LRCK		BICK	
								I/O		I/O
4	0	1	0	0	24bit, Left justified	20bit, Right justified	↑	I	256fs	I
5	0	1	0	1	24bit, Left justified	24bit, Right justified	↑	I	256fs	I
6	0	1	1	0	24bit, Left justified	24bit, Left justified	↑	I	256fs	I
7	0	1	1	1	24bit, I <sup>2</sup> S	24bit, I <sup>2</sup> S	↓	I	256fs	I

表9. オーディオデータフォーマット (TDM256モード)

Mode	TDM 1	TDM0	DIF1	DIF0	SDTO	SDTI1, SDTI2	LRCK		BICK	
								I/O		I/O
8	1	1	0	0	24bit, Left justified	20bit, Right justified	↑	I	128fs	I
9	1	1	0	1	24bit, Left justified	24bit, Right justified	↑	I	128fs	I
10	1	1	1	0	24bit, Left justified	24bit, Left justified	↑	I	128fs	I
11	1	1	1	1	24bit, I <sup>2</sup> S	24bit, I <sup>2</sup> S	↓	I	128fs	I

表10. オーディオデータフォーマット (TDM128モード)



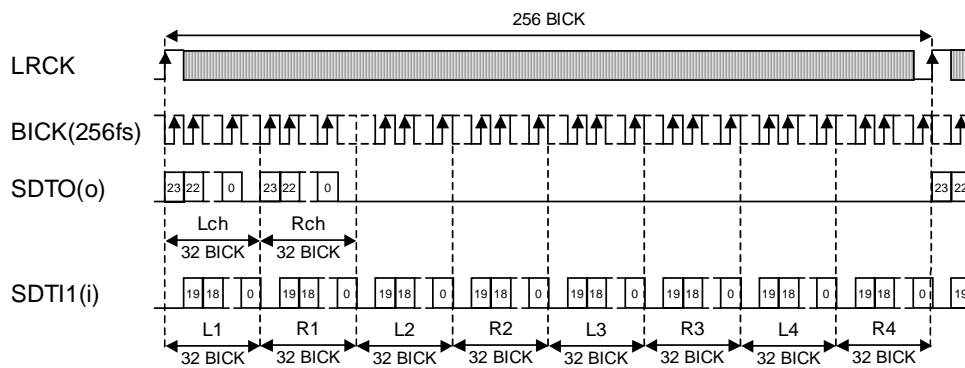


図5. Mode 4 タイミング

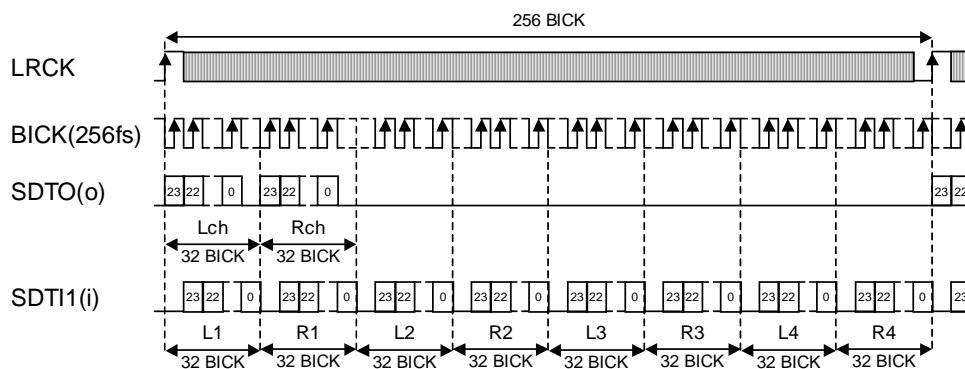


図6. Mode 5 タイミング

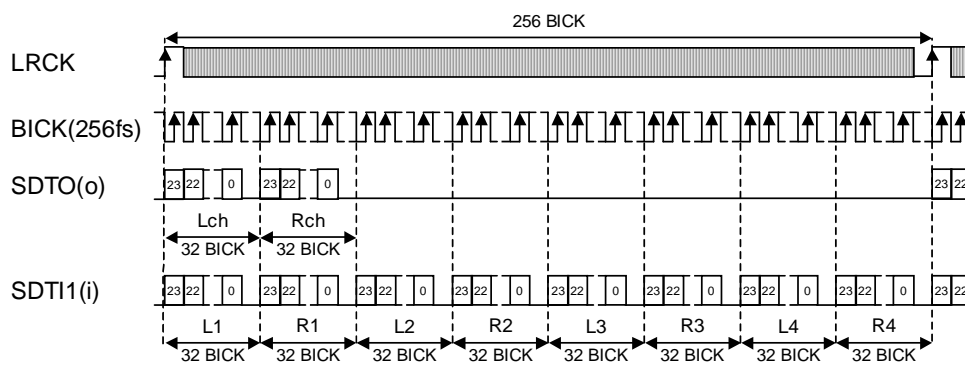


図7. Mode 6 タイミング

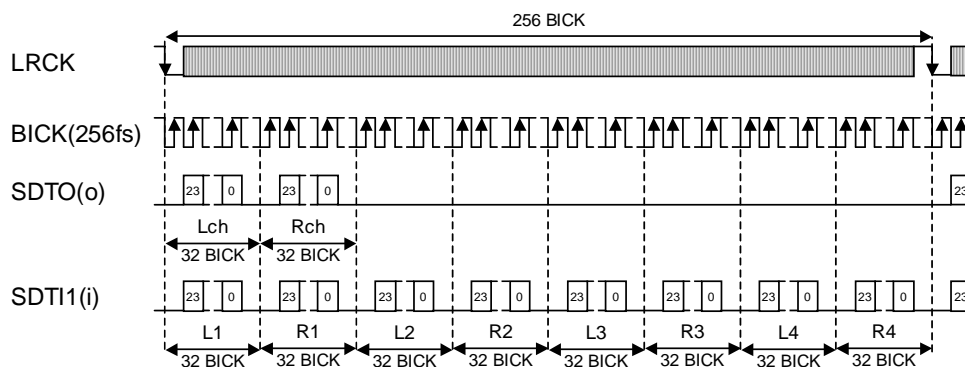


図8. Mode 7 タイミング

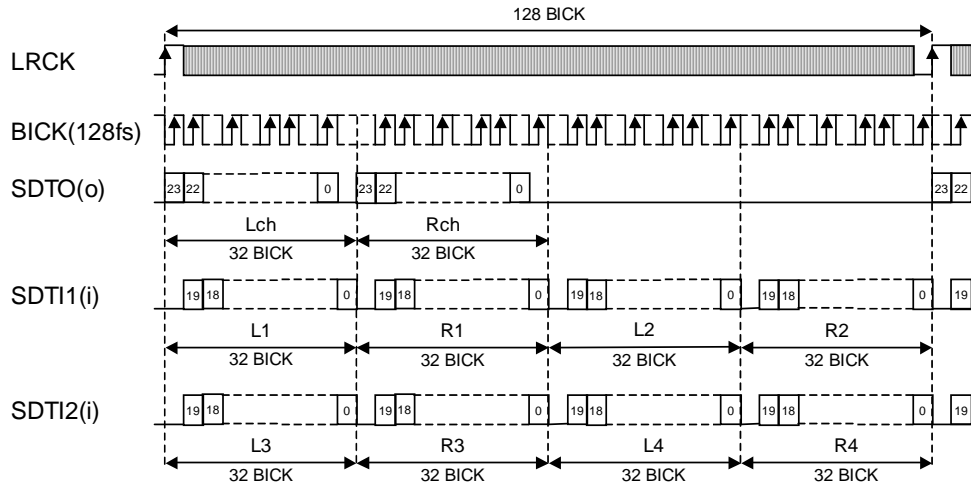


図9. Mode 8 タイミング

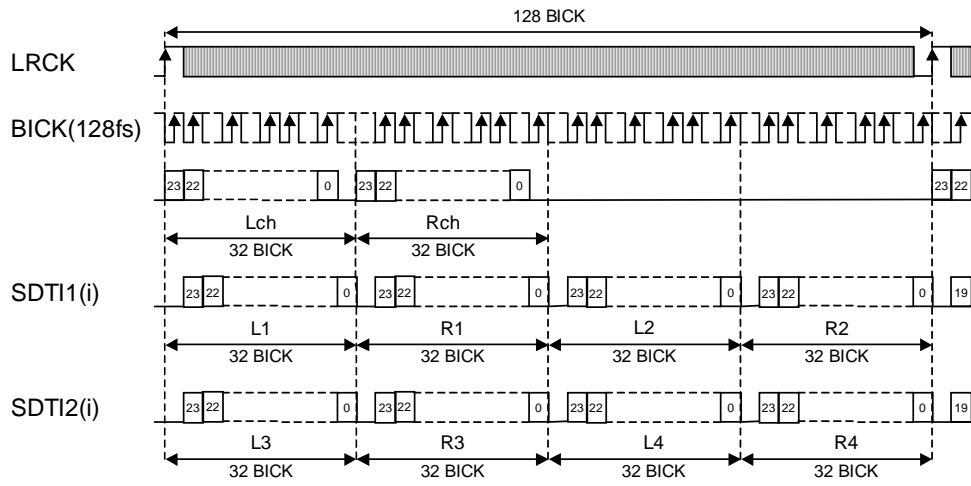


図10. Mode 9 タイミング

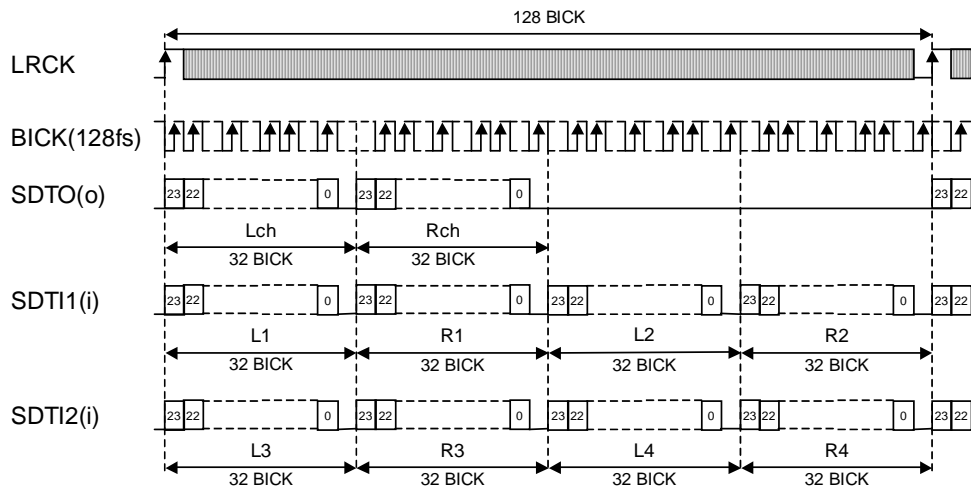


図11. Mode 10 タイミング

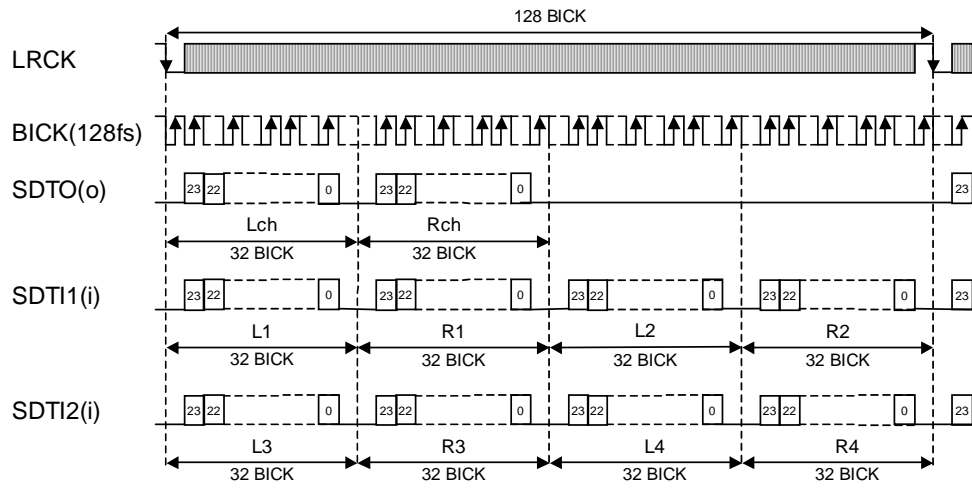


図12. Mode 11 タイミング

## ■ オーバフロー検出機能

AK4628Aはアナログ入力のオーバフロー検出機能を持ちます。オーバフロー検出機能は、シリアルコントロールモード時にOVFEビットを“1”に設定すると有効になります。LchまたはRchのアナログ入力が増幅されると(-0.3dBFS以上)、OVFピンが“H”になります。オーバフローしたアナログ入力に対するOVF出力はADCと同じ群遅延(GD = 16/fs = 333 $\mu$ s @fs=48kHz)を持ちます。パワーダウン解除後(PDN=“L”→“H”)、522/fs (=11.8ms @fs=48kHz)の間OVFは“L”で、その後オーバフロー検出機能が有効になります。

## ■ ゼロ検出機能

AK4628Aは2系統のゼロ検出機能を持ちます。P/S = “L”かつDZFE = “L”の場合、チャンネルのグループ分けはDZFM3-0ビットで選択できます(表11)。DZF1ピンはグループ1のチャンネル、DZF2はグループ2のチャンネルに対応します。ただし、OVFEビットが“1”の場合、DZF2ピンはOVFピンになります。P/Sピンの設定にかかわらず、DZFEピンを“H”にするとmode 0に設定されます。mode 0では、DZF1は全8chのANDを取り、DZF2は無効(“L”)です。P/Sピン、DZFEピンおよびOVFEビットとDZFの関係を表12に示します。

グループ1(グループ2)の全チャンネルが8192回連続して“0”の場合、DZF1(DZF2)ピンは“H”になります。その後グループ1(グループ2)のいずれかのチャンネルの入力データが“0”でなくなると“L”になります。

Mode	DZFM				AOUT									
	3	2	1	0	L1	R1	L2	R2	L3	R3	L4	R4		
0	0	0	0	0	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	
1	0	0	0	1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF2	DZF2	DZF2	DZF2	
2	0	0	1	0	DZF1	DZF1	DZF1	DZF1	DZF2	DZF2	DZF2	DZF2	DZF2	
3	0	0	1	1	DZF1	DZF1	DZF1	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2	
4	0	1	0	0	DZF1	DZF1	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2	
5	0	1	0	1	DZF1	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2	
6	0	1	1	0	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2	DZF2	
7	0	1	1	1	disable (DZF1=DZF2 = “L”)								Default	
8	1	0	0	0	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF2	
9	1	0	0	1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF1	DZF2	DZF2	
10	1	0	1	0	disable (DZF1=DZF2 = “L”)									
11	1	0	1	1										
12	1	1	0	0										
13	1	1	0	1										
14	1	1	1	0										
15	1	1	1	1										

表11. ゼロ検出コントロール

P/S pin	DZFE pin	OVFE bit	DZF mode	DZF1 pin	DZF2/OVF pin
“H” (parallel mode)	“L”	disable	Mode 7	“L”	“L”
	“H”	disable	Mode 0	AND of 8ch	“L”
“L” (serial mode)	“L”	“0”	Selectable	Selectable	Selectable
		“1”	Selectable	Selectable	OVF output
	“H”	“0”	Mode 0	AND of 8ch	“L”
		“1”	Mode 0	AND of 8ch	OVF output

表12. DZF1-2ピンの出力

## ■ デジタルボリューム機能

AK4628Aはチャンネル独立デジタルボリューム(128レベル, 0.5dBステップ)を内蔵しています。減衰量はレジスタのATT7-0ビットでそれぞれ設定します(表13)。

ATT7-0	Attenuation Level	Default
00H	0dB	
01H	-0.5dB	
02H	-1.0dB	
:	:	
7DH	-62.5dB	
7EH	-63dB	
7FH	MUTE (-∞)	
:	:	
FEH	MUTE (-∞)	
FFH	MUTE (-∞)	

表13. デジタルボリュームの減衰量

ATT7-0設定値間の遷移時間はATS1-0ビットで設定します(表14)。Mode0とMode1では設定値間の遷移はソフト遷移です。したがって、遷移中にスイッチングノイズは発生しません。

Mode	ATS1	ATS0	ATT speed	Default
0	0	0	1792/fs	
1	0	1	896/fs	
2	1	0	256/fs	
3	1	1	256/fs	

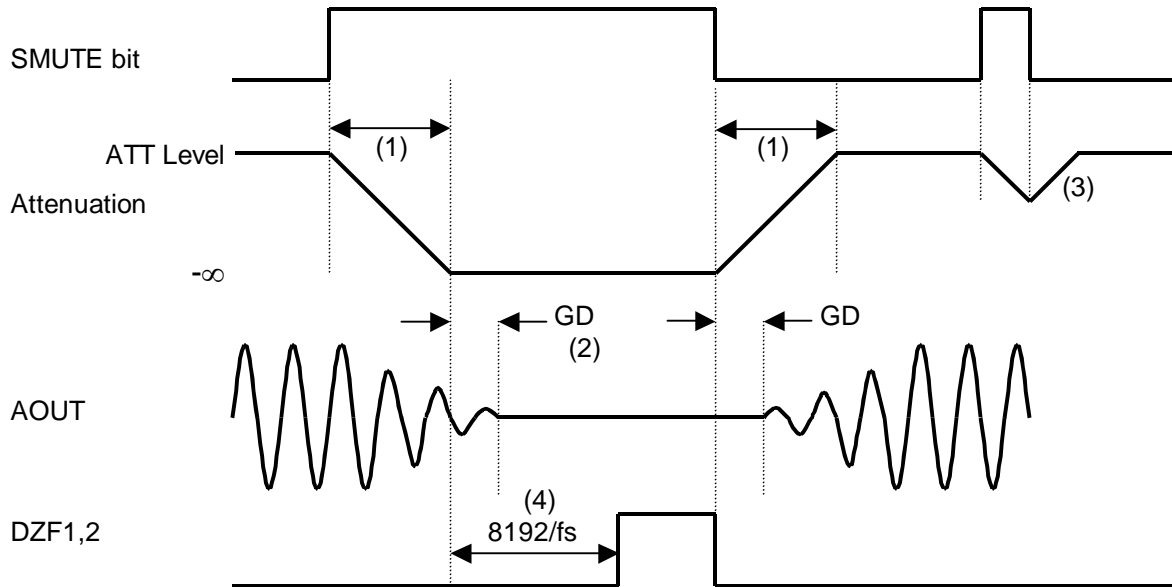
表14. デジタルボリュームのATT7-0設定値間の遷移時間

Mode0の場合、ATT設定間の遷移は1742レベルでソフト遷移します。00H(0dB)から7FH(MUTE)までには1792/fs (37.3ms@fs=48kHz)かかります。PDNピンを“L”にすると、ATT7-0は00Hに初期化されます。ATT7-0はRSTNビットを“0”にすると一旦00Hになり、RSTNビットを“1”に戻すと設定値に戻っていきます。



## ■ ソフトミュート機能

ソフトミュートはデジタル的に実行されます。SMUTEピンを“H”にするとその時点のATT設定値からATT設定値×ATT遷移時間(表14)で入力データが-∞(“0”)までアテネーションされます。SMUTEピンを“L”にすると、-∞からATT設定値×ATT遷移時間でATT設定値まで復帰します。ソフトミュート開始後、-∞までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。



注:

- (1) ATT設定値×ATT遷移時間(表14)。例えば、Mode 0時、ATT設定値が“00H”の場合は1792/fsサイクルです。ソフトミュートで遷移するATT値は00H~7FHです。
- (2) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (3) ソフトミュート開始後、-∞までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。
- (4) グループの全チャンネルの入力データが8192回連続して“0”の場合、DZFピンは“H”になります。その後グループのいずれかのチャンネルの入力データが“0”でなくなると、DZFピンは“L”になります。

図13. ソフトミュート機能とゼロ検出機能

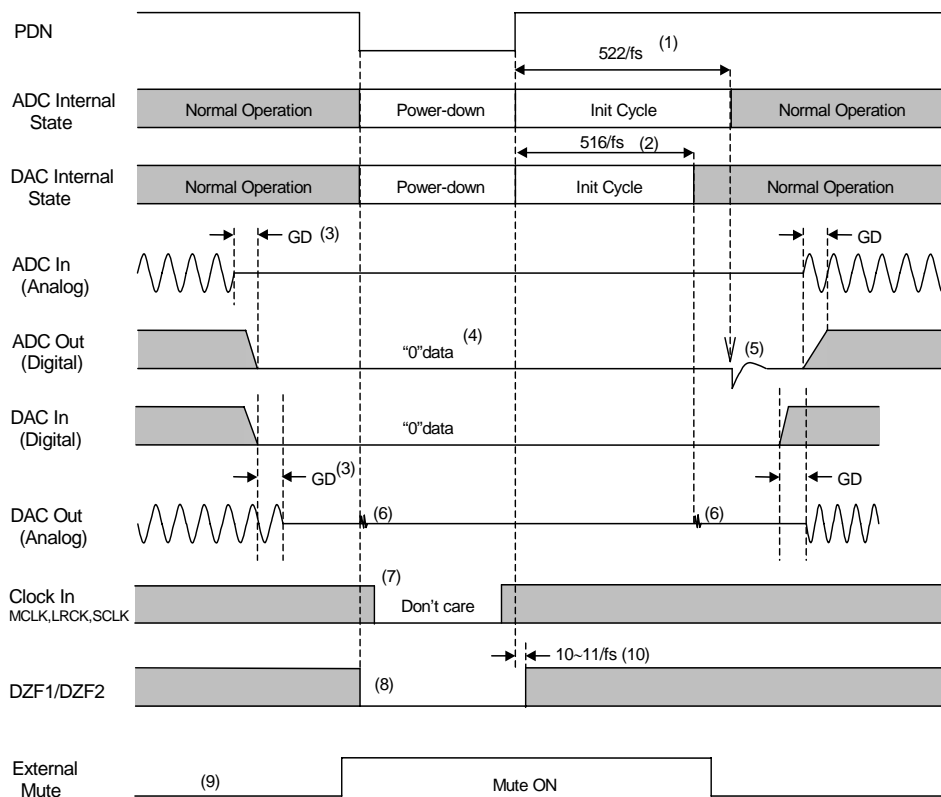
## ■ システムリセット

電源 ON 時には、PDNピンに一度“L”を入力してリセットして下さい。リセット及びパワーダウンはMCLKで解除され、その後LRCKの“↑”に同期して内部回路がパワーアップし、内部のタイミングが動作します。LRCKが入力されるまでパワーダウン状態です。

## ■ パワーダウン機能

AK4628AのADCとDACはパワーダウンピン(PDN)を“L”にすることでパワーダウンでき、このとき同時に各デジタルフィルタがリセットされます。PDN=“L”で内部レジスタ値は初期化されます。パワーダウンモード時、アナログ出力はVCOM電圧、SDTO,DZF1-2ピンは“L”になります。このリセットは電源投入時に必ず一度行って下さい。ADCの場合、パワーダウンモードが解除されると初期化サイクルが開始されます。そのため、出力データ,SDTOは516 x LRCKサイクル後確定します。DACの場合、パワーダウンモードが解除されると初期化サイクルが開始されます。初期化中はアナログ出力はVCOM電圧です。図14にパワーダウン及びパワーアップ時のシーケンス例を示します。

ADCと全DACはPWADNビットとPWDANビットでそれぞれ独立にパワーダウンできます。また、DAC1-4はPD1-4ビットでそれぞれ独立にパワーダウンができます。このときレジスタ値は初期化されません。PWADN=“0”のときSDTOは“L”になります。PWDAN=“0”及びPD1-4=“0”のとき、アナログ出力はVCOM電圧、DZF1-2ピンは“H”になります。このとき異音が生じるので、問題になる場合は外部でミュートして下さい。



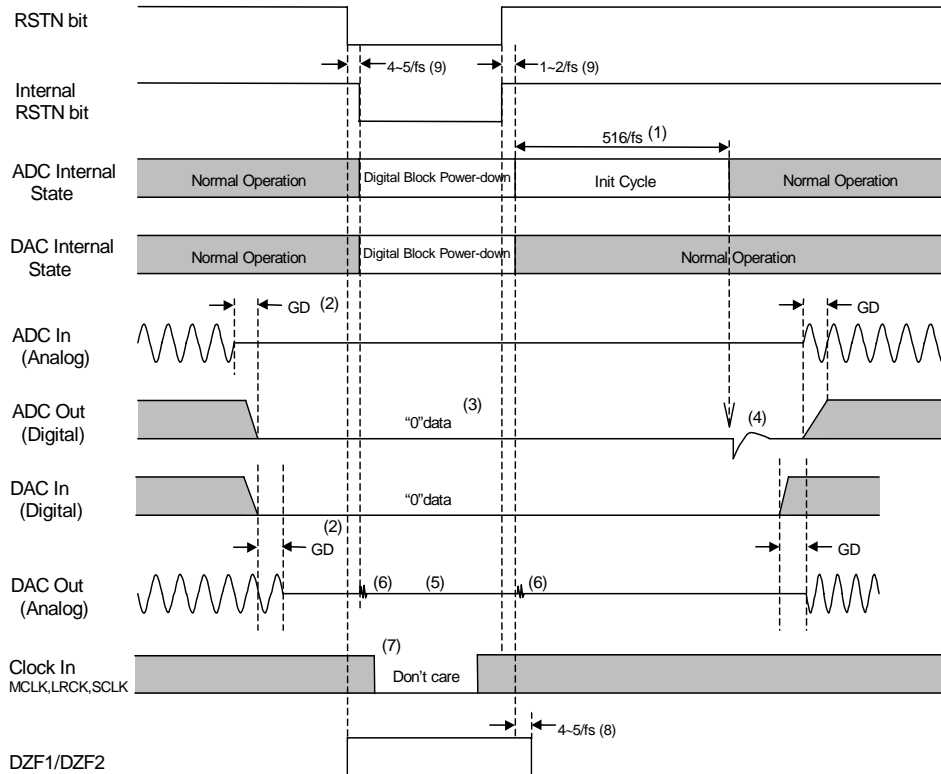
注：

- (1) ADCはパワーダウン解除後、アナログ部が初期化されます。
- (2) DACはパワーダウン解除後、アナログ部が初期化されます。
- (3) アナログ入力に対するデジタル出力、デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (4) パワーダウン時ADC出力は“0”データです。
- (5) アナログ部の初期化終了時ADC出力に異音が出力されます。異音が問題になる場合はデジタル出力をミュートして下さい。
- (6) PDNの立ち下がりエッジ、及びPDNの立ち上がりエッジの512/fs後で異音が出力されます。
- (7) パワーダウン状態(PDN = “L”)では各クロック入力(MCLK, BICK, LRCK)を止めることができます。
- (8) パワーダウン状態(PDNピン = “L”)では、DZF1-2ピンは“L”になります。
- (9) 異音(6)が問題になる場合はアナログ出力を外部でミュートして下さい。
- (10) PDNの“↑”から10~11/fsの間はDZF=“L”です。

図14. パワーダウン／アップシーケンス例

## ■リセット機能

RSTN = “0”のときADCとDACはパワーダウンしますがレジスタ値は初期化されません。このときアナログ出力はVCOM電圧、DZF1-2ピンは“H”、SDTOピンは“L”になります。この時異音が生じるので、問題になる場合は外部でミュートして下さい。図15にRSTNビットによるリセットシーケンスを示します。



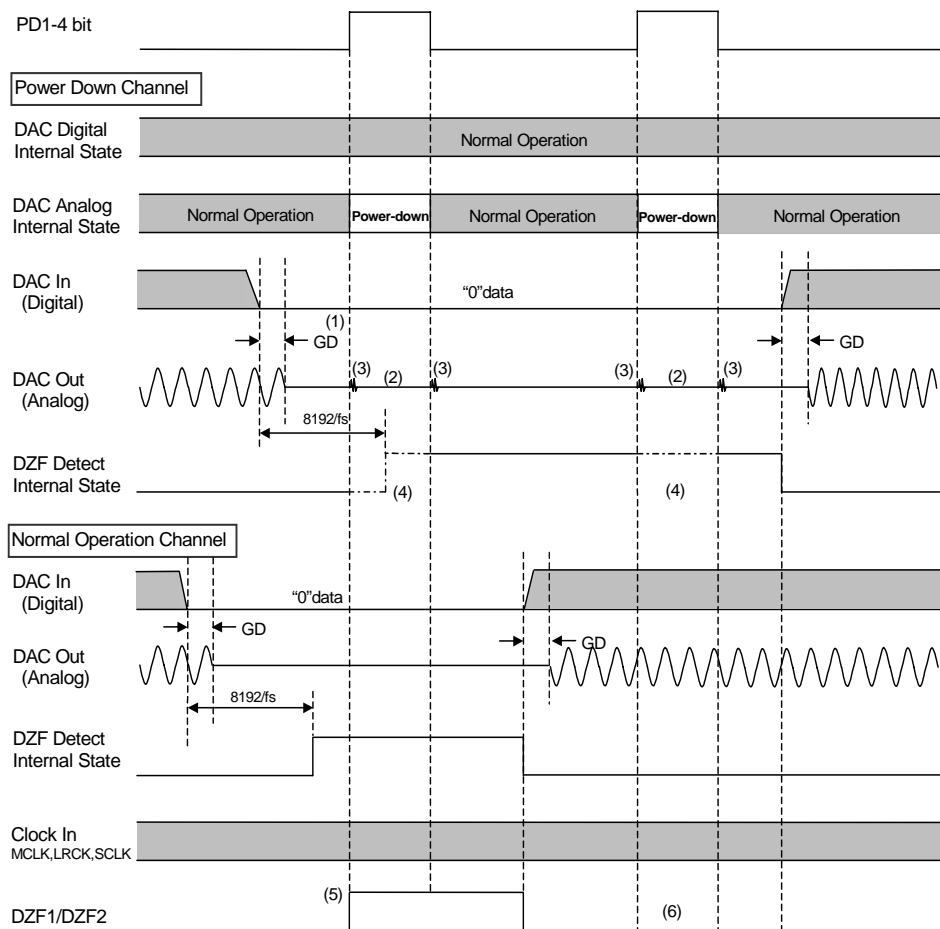
注：

- (1) ADCはパワーダウン解除後、アナログ部が初期化されます。
- (2) アナログ入力に対するデジタル出力、デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (3) パワーダウン時ADC出力は“0”データです。
- (4) アナログ部の初期化終了時ADC出力に異音が出力されます。異音が問題になる場合はデジタル出力をミュートして下さい。
- (5) RSTN = “0”の時、アナログ出力はVCOM電圧です。
- (6) RSTNビットが“0”になってから4~5/fs後、及びRSTNビットが“1”になってから1~2/fs後に異音が出力されます。
- (7) リセット状態(RSTN = “0”)では各クロック入力(MCLK, BICK, LRCK)を止めることができます。リセット解除する場合は、各クロック(MCLK, BICK, LRCK)が入力された後でRSTN = “1”を書き込んで下さい。
- (8) DZF1-2ピンはRSTNビットが“0”になると“H”になり、RSTNビットが“1”になってから6~7/fs後“L”になります。
- (9) RSTNビットに“0”を書き込んでからLSI内部のRSTNビットが変化するまで4~5/fs かかります。

図15. リセットシーケンス例

## ■ DAC個別パワーダウン機能

AK4628AではDACパワーダウンビットPD1-4ビットにより個別にパワーダウンをすることができます。パワーダウンビットが“1”のとき、該当するDACのアナログ部はパワーダウンしますが、デジタル部はパワーダウンされません。個別パワーダウンビットにより全パワーダウンを設定しても、デジタル部は動作しつづけます。PD1-4ビットによりパワーダウンされたDACのアナログ出力はVCOM電圧になり、DZF検出は行っていますが、DZF検出結果はDZF1-2ピンに反映されなくなります。パワーダウンの設定・解除の両方で異音が生じるため、問題になる場合は外部でミュート、もしくはPWDANビット＝“0”またはRSTNビット＝“0”の時にPD1-4ビットの設定を行ってください。図16にPD1-4ビットによるパワーダウン及びパワーアップ時のシーケンスを示します。



注：

- (1) デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (2) PD1-4ビットでパワーダウンされたDACのアナログ出力はVCOM電圧です。
- (3) PD1-4ビットを変化させた直後、PDビットを変化させたDACの出力には異音が出力されます。
- (4) パワーダウンされたDACの中ではDZF検出は行っていますが、検出結果はDZF1-2ピンには反映されません。
- (5) パワーダウン設定により、パワーダウンされたDACのDZF検出結果が無視され、DZF1-2ピンが“H”になります。
- (6) パワーダウンを行わないDACに入力がある場合に、個別パワーダウンを行ってもDZF1-2ピンは“H”にはなりません。異音が問題になる場合にはアナログ出力を外部でミュートしてください。

図16. DAC個別パワーダウン例

## ■ シリアルコントロールインタフェース

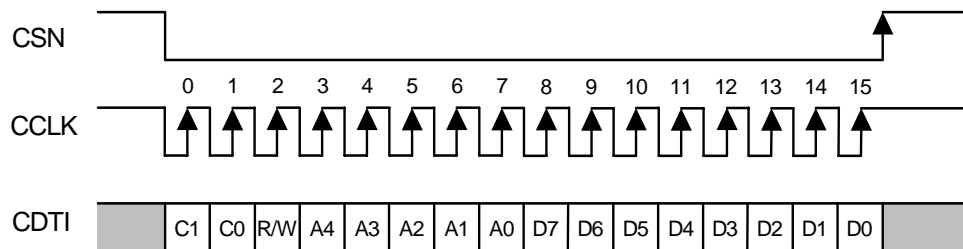
AK4628Aの各機能はピンまたはレジスタで設定できます。シリアルコントロールインタフェースはP/Sピンを“L”にすることで有効になります。レジスタへの書き込み方式は2種類(3線シリアル、I<sup>2</sup>Cバス)あります。チップアドレスはCAD0, CAD1ピンの設定で決定されます。PDNピンを“L”にすると内部レジスタ値は初期化されます。RSTNビットに“0”を書き込むと内部タイミング回路がリセットされます。但し、この時レジスタの内容は初期化されません。P/Sピンを切り替えた場合はPDNピンでリセットして下さい。

\* PDN = “L”時はコントロールレジスタへの書き込みはできません。

\* AK4628Aはデータ読み込みはサポートしません。

### (1) 3線シリアルコントロールモード (I2C = “L”)

レジスタ設定は3線式シリアルI/Fピン: CSN, CCLK, CDTIで書き込みを行います。I/F上のデータはChip address(2bits, CAD0/1), Read/Write(1bit, Fixed to “1”, Write only), Register address(MSB first, 5bits), Control data(MSB first, 8bits)で構成されます。データはCCLKの立ち上がりエッジで取り込みます。データの書き込みはCSNの立ち上がりエッジで有効になります。CCLKのクロックスピードは5MHz(max)です。



C1-C0: Chip Address (C1=CAD1, C0=CAD0)  
 R/W: READ/WRITE (Fixed to “1”, Write only)  
 A4-A0: Register Address  
 D7-D0: Control Data

図17. 3線シリアルコントロールI/Fタイミング

(2) I<sup>2</sup>Cバスコントロールモード(I2C=“H”)

AK4628AのI<sup>2</sup>Cバスモードのフォーマットは、標準モード(max:100kHz)です。従って高速モード(max:400kHz)のシステム上では使用できません。I<sup>2</sup>Cバスモードでは、CSNはDVDDに接続して下さい。

I<sup>2</sup>Cバスモードにおけるデータ転送シーケンスは図17に示されます。バス上のICへのアクセスには、最初開始条件(Start Condition)を入力します。SCLラインが“H”の時にSDAラインを“H”から“L”にすると、開始条件が作られます(図22)。開始条件の後、スレーブアドレスが送信されます。このアドレスは7ビットから構成され、8ビット目にはデータ方向ビット(R/W)が続きます(図19)。上位5ビットは“00100”固定、次の2ビットはアクセスするICを選ぶためのアドレスビットで、CAD1-0ピンにより設定されます。アドレスが一致し、R/Wビットが“0”の場合、AK4628Aは確認応答(Acknowledge)を生成し、Write命令が実行されます。R/Wビットが“1”の場合、AK4628Aはスレーブ受信装置専用なので、非確認応答(Not Acknowledge)を生成します。マスタは確認応答用のクロックパルスを生成し、SDAラインを解放しなければなりません(図23)。

第2バイトはサブアドレス(レジスタアドレス)です。サブアドレスは8ビット、MSB firstで構成され、上位3ビットは“0”固定です(図20)。第3バイト以降はコントロールデータです。コントロールデータは8ビット、MSB firstで構成されます(図21)。AK4628Aは、各バイトの受信を完了するたびに確認応答を生成します。データ転送は、必ずマスタが生成する停止条件(Stop Condition)によって終了します。SCLラインが“H”の時にSDAラインを“L”から“H”にすると、停止条件が作られます(図22)。

AK4628Aは複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後、停止条件を送らず更にデータを送ると、サブアドレスが自動的にインクリメントされ、次のデータは次のサブアドレスに格納されます。アドレス“1FH”を越えるデータを送ると、内部レジスタに対応するアドレスカウンタはロールオーバーし、アドレス“00H”から順に格納されます。

クロックが“H”の間は、SDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのは、SCLラインのクロック信号が“L”の時に限られます(図24)。SCLラインが“H”の時にSDAラインを変更するのは、開始条件、停止条件を入力するときのみです。

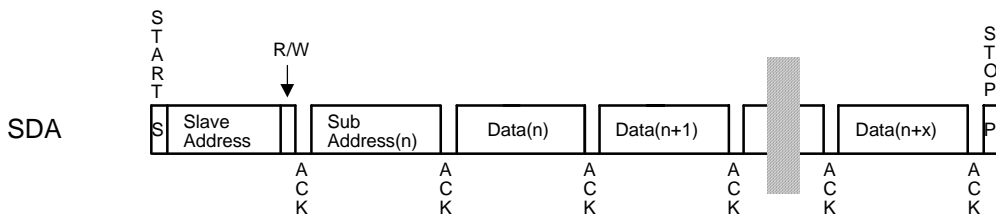


図18. I<sup>2</sup>Cバスモードのデータ転送シーケンス

0	0	1	0	0	CAD1	CAD0	R/W
---	---	---	---	---	------	------	-----

(CAD1, CAD0はピンにより設定)

図19. 第1バイトの構成

*	*	*	A4	A3	A2	A1	A0
---	---	---	----	----	----	----	----

(\*: Don't care)

図20. 第2バイトの構成

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

図21. 第3バイト以降の構成

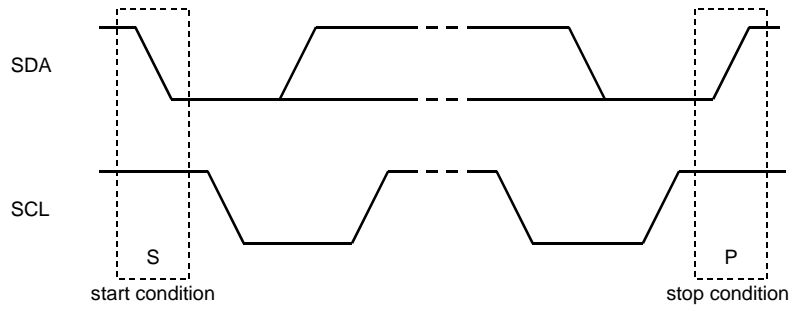


図22. 開始条件と停止条件

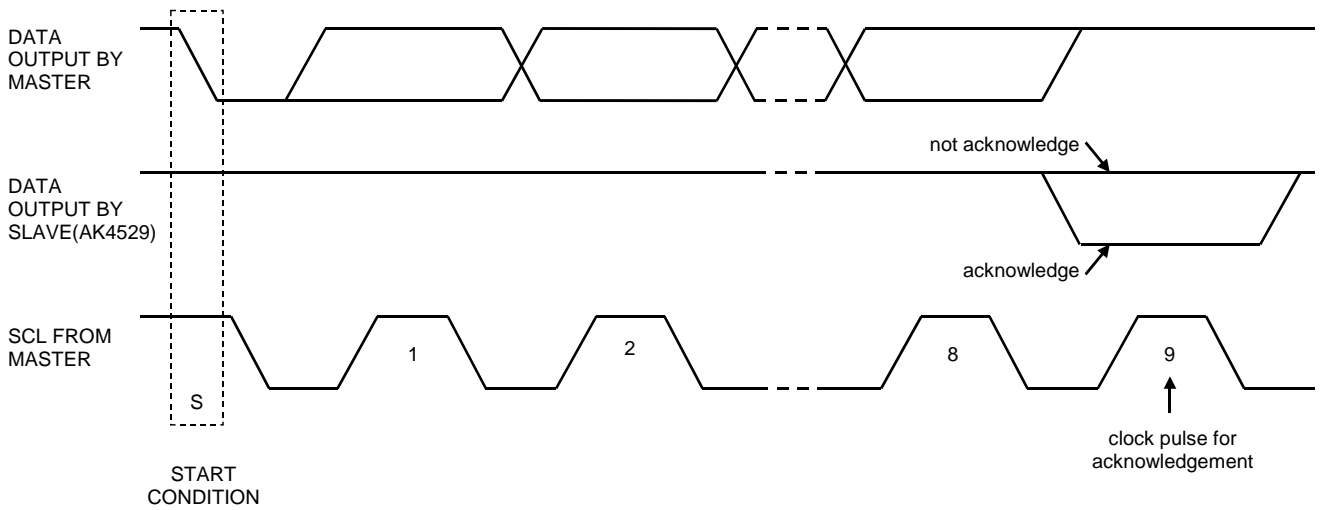


図23. I<sup>2</sup>Cバスでの確認応答

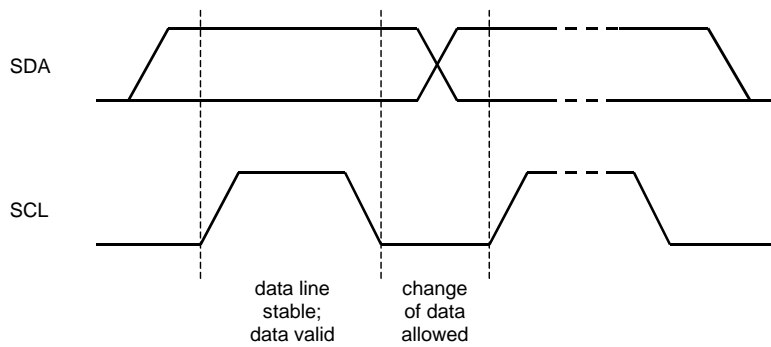


図24. I<sup>2</sup>Cバスでのビット転送

## ■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	0	0	TDM1	TDM0	DIF1	DIF0	0	SMUTE
01H	Control 2	0	DFS1	LOOP1	LOOP0	SDOS	DFS0	ACKS	0
02H	LOUT1 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
03H	ROUT1 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	LOUT2 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
05H	ROUT2 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
06H	LOUT3 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
07H	ROUT3 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
08H	De-emphasis	DEMD1	DEMD0	DEMA1	DEMA0	DEMB1	DEMB0	DEMC1	DEMC0
09H	ATT speed & Power Down Control	0	PD4	ATS1	ATS0	PD3	PD2	PD1	RSTN
0AH	Zero detect	OVFE	DZFM3	DZFM2	DZFM1	DZFM0	PWVRN	PWADN	PWDAN
0BH	LOUT4 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
0CH	ROUT4 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0

注: アドレス0DH~1FHは書き込み不可です。

PDNピンを“L”にすると、レジスタ値は初期化されます。

RSTNビットを“0”にすると、内部のタイミングがリセットされ、DZF1-2ピンが“H”になります。但し、レジスタ値は初期化されません。

SMUTE, DFS0, SDOS, TDM0の各ビットについては、ピン設定と内部でORが取られます。



## ■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	0	0	TDM1	TDM0	DIF1	DIF0	0	SMUTE
	Default	0	0	0	0	1	0	0	0

SMUTE: ソフトミュート機能有効

0: 通常動作

1: 全DAC出力がソフトミュートされます。

P/S = “L” のとき、SMUTEビットの設定は、ピン設定と内部でORが取られます。

DIF1-0: オーディオデータインタフェースモード選択(表8, 9, 10)

初期値: “10”, mode 2

TDM1-0: TDMフォーマット選択(表8, 9, 10)

Mode	TDM1	TDM0	SDTI	Sampling Speed
0	0	0	1-4	Normal, Double, Four Times Speed
1	0	1	1	Normal Speed
2	1	1	1-2	Normal, Double Speed

P/S = “L” のとき、TDM0ビットの設定は、ピン設定と内部でORが取られます。

レジスタコントロールの場合はTDM0ピンを “L” に設定して下さい。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Control 2	0	DFS1	LOOP1	LOOP0	SDOS	DFS0	ACKS	0
	Default	0	0	0	0	0	0	0	0

ACKS: クロック自動認識モード有効

0: 無効, Manual Setting Mode

1: 有効, Auto Setting Mode

ACKS="1"のとき、MCLK周波数は自動検出されます。この場合DFSの設定は無視されます。

ACKS="0"のとき、サンプリングスピードモードはDFS0,1で設定し、各モードでのMCLK周波数は自動検出されます。

DFS1-0: サンプリングスピードコントロール(表1)

P/S = "L"のとき、DFS0ビットの設定は、ピン設定と内部でORが取られます。

ACKS="1"のとき、DFSの設定は無視されます。

SDOS: SDTOソース選択

0: ADC

1: DAUX

P/S = "L"のとき、SDOSビットの設定は、ピン設定と内部でORが取られます。

TDM0="1"のとき、SDOSのピン及びレジスタの設定は"0"に設定して下さい。

PWADN="0"かつPWDAN="0"の場合には、SDOSのピン及びレジスタの設定は無効になり、ADC出力が選択されます。(PWADN="0"のためSDTO出力は"L"出力となります。)

LOOP1-0: ループバックモード有効

00: 通常動作(ループバックなし)

01: LIN → LOUT1, LOUT2, LOUT3, LOUT4

RIN → ROUT1, ROUT2, ROUT3, ROUT4

ADCのデジタル出力(SDOS = "1"のときはDAUX入力)をDACのデジタル入力に接続します。このモードではDAC入力のSDTI1-4は無視されます。ループバックモード時SDTOのフォーマットは、オーディオフォーマットがmode0の場合はmode2、mode1の場合はmode3になります。

10: SDTI1(L) → SDTI2(L), SDTI3(L), SDTI4(L)

SDTI1(R) → SDTI2(R), SDTI3(R), SDTI4(R)

このモードではDAC入力のSDTI2-4は無視されます。

11: N/A

TDM0="1"のとき、LOOP1-0のピン及びレジスタの設定は"00"に設定して下さい。

PWADN="0"かつPWDAN="0"の場合には、LOOP1-0のピン及びレジスタの設定は無効になり、通常動作(ループバックなし)になります。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	LOUT1 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
03H	ROUT1 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	LOUT2 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
05H	ROUT2 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
06H	LOUT3 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
07H	ROUT3 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
0BH	LOUT4 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
0CH	ROUT4 Volume Control	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
Default		0	0	0	0	0	0	0	0

ATT7-0: アテネーションレベル(表13)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	De-emphasis	DEMD1	DEMD0	DEMA1	DEMA0	DEMB1	DEMB0	DEMC1	DEMC0
Default		0	1	0	1	0	1	0	1

DEMA1-0: DAC1のディエンファシス応答コントロール(表7)  
初期値: “01”, OFF

DEMB1-0: DAC2のディエンファシス応答コントロール(表7)  
初期値: “01”, OFF

DEMC1-0: DAC3のディエンファシス応答コントロール(表7)  
初期値: “01”, OFF

DEMD1-0: DAC4のディエンファシス応答コントロール(表7)  
初期値: “01”, OFF

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
09H	ATT speed & Power Down Control	0	PD4	ATS1	ATS0	PD3	PD2	PD1	RSTN
Default		0	0	0	0	0	0	0	1

RSTN: 内部タイミングリセット

0: リセット。DZF1-2ピンは“H”になりますが、レジスタ値は初期化されません。

1: 通常動作。

ATS1-0: デジタルアテネータ遷移時間設定(表14)

初期値: “00”, mode 0

PD1-0: Power-down control (0: Power-up, 1: Power-down)

PD1: Power down control of DAC1

PD2: Power down control of DAC2

PD3: Power down control of DAC3

PD4: Power down control of DAC4

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0AH	Zero detect	OVFE	DZFM3	DZFM2	DZFM1	DZFM0	PWVRN	PWADN	PWDAN
Default		0	0	1	1	1	1	1	1

PWDAN: DAC1-4のパワーダウンコントロール

0: パワーダウン

1: 通常動作

PWADN: ADCのパワーダウンコントロール

0: パワーダウン

1: 通常動作

PWVRN: 基準電圧のパワーダウンコントロール

0: パワーダウン

1: 通常動作

DZFM3-0: ゼロ検出モード選択 (表11)

初期値: “0111”, 無効

OVFE: オーバフロー検出機能有効

0: 無効, pin#33はDZF2ピンとなります。

1: 有効, pin#33はOVFピンとなります。

システム設計

図25はシステム接続例です。具体的な回路と測定例については評価用ボード(AKD4628A)を参照して下さい。

条件: TVDD=5V, 3線式シリアルコントロールモード, CAD1-0 = "00"

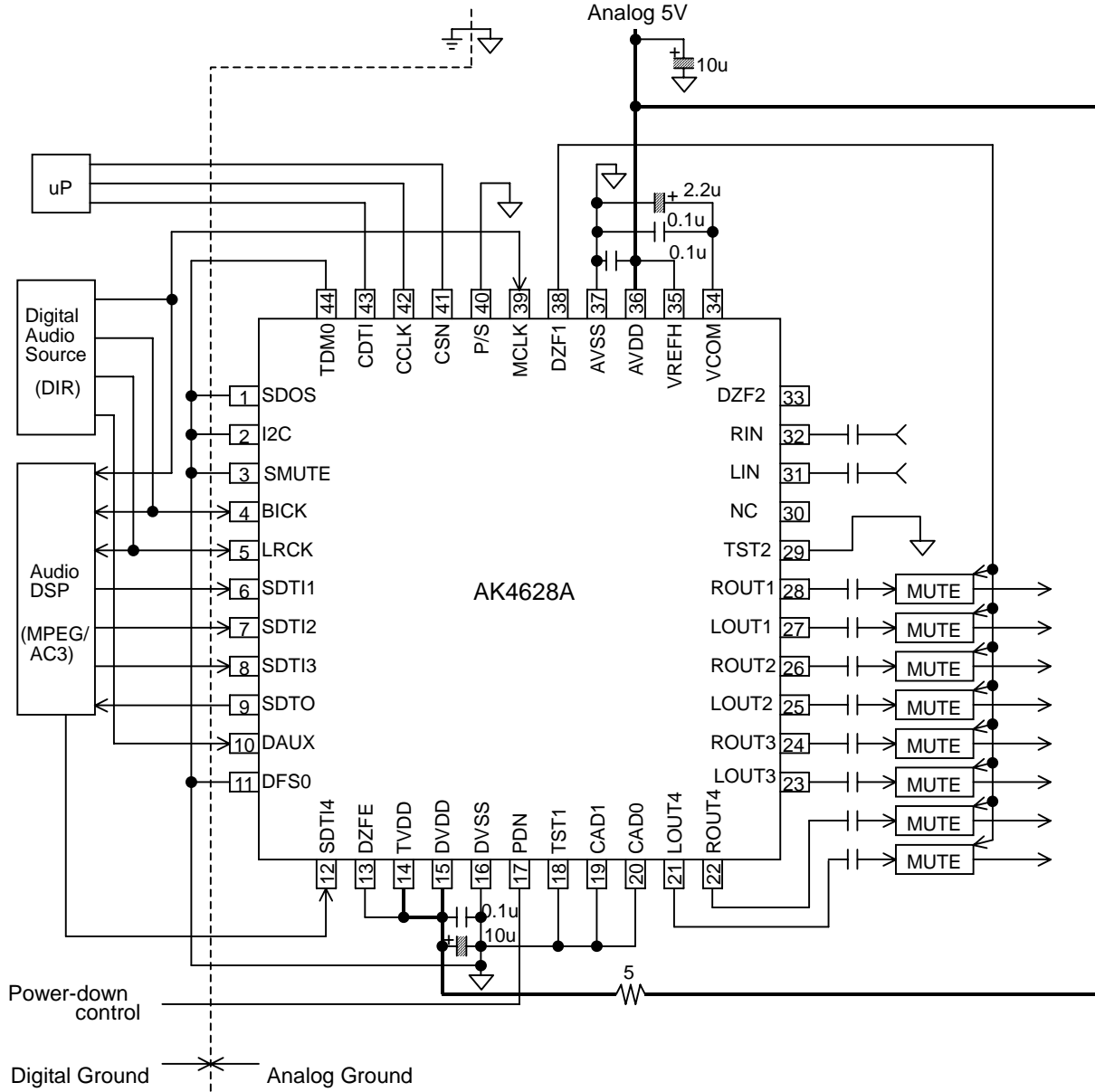


図25. システム接続例

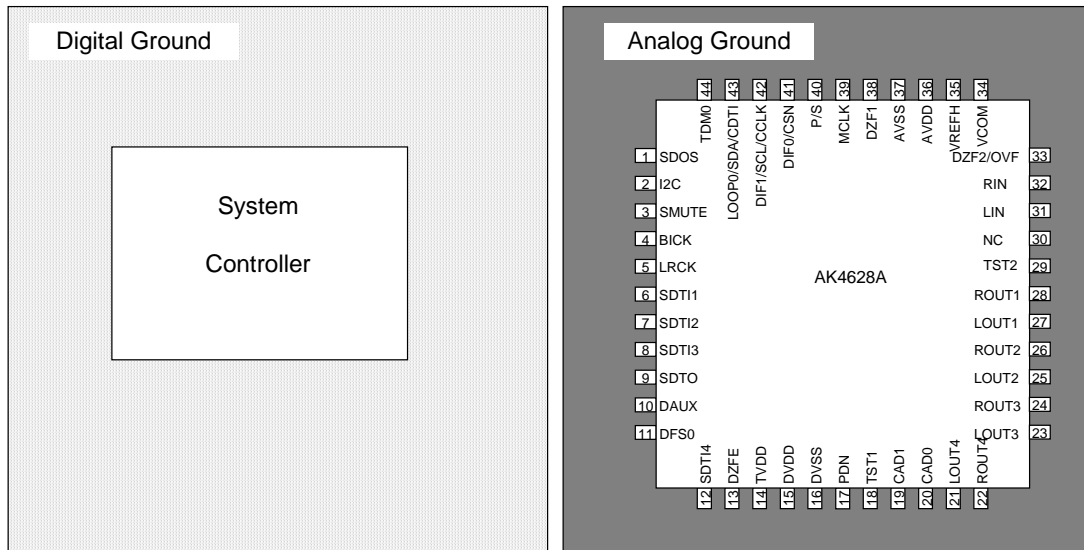


図26. グランドレイアウト

注: AVSSと DVSSはアナロググランドに接続して下さい。

### 1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。通常AVDDとDVDDにはシステムのアナログ電源を供給します。AVDDとDVDDが別電源で供給される場合は、電源立ち上げシーケンスを考える必要はありません。AVSSとDVSSはアナロググランドに接続して下さい。システムのグランドはアナログとデジタルで分けて配線し、PCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

### 2. 基準電圧入力

VREFHピンに入力される電圧がアナログ入出力レンジを設定します。通常VREFHピンはAVDDピンに接続し、AVSSとの間に0.1 $\mu$ Fのセラミックコンデンサを接続します。VCOMはAVDD/2電圧を出力しており、アナログ信号の共通電圧として使われます。このピンには高周波ノイズを除去するために2.2 $\mu$ F程度の電解コンデンサと並列に0.1 $\mu$ FのセラミックコンデンサをAVSSとの間に接続して下さい。特にセラミックコンデンサはピンに出来るだけ近づけて接続して下さい。VCOMピンから電流を取ってはいけません。また、デジタル信号、特にクロック信号は変調器へのカップリングを避けるためVREFH,VCOMからできるだけ離して下さい。

### 3. アナログ入力

ADC入力はシングルエンドになっており、内部でVCOMにバイアスされています。入力レンジは0.62 x VREFH Vpp (typ)@fs=48kHzです。AK4628AはAVSSからAVDDまでの電圧を入力することができます。出力コードのフォーマットは2's complement(2の補数)です。DCオフセットは内蔵のHPFでキャンセルされます。

AK4628Aは64fsでアナログ入力をサンプリングします。デジタルフィルタは、64fsの整数倍付近の帯域を除く阻止域以上のノイズをすべて除去します。AK4628Aは64fs付近のノイズを減衰させるためにアンチエイリアジングフィルタ(RCフィルタ)を内蔵しています。

#### 4. アナログ出力

DAC出力はシングルエンド出力になっており、出力レンジはVCOM電圧を中心に $0.6 \times VREFH$  Vpp(typ)です。入力コードのフォーマットは2'sコンプリメント(2の補数)で、7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)での理想値はVCOM電圧が出力されます。 $\Delta \Sigma$ 変調器が発生する帯域外ノイズ(シェーピングノイズ)は内蔵のスイッチトキャパシタフィルタ(SCF)と連続フィルタ(CTF)で除去されます。

本LSIのアナログ出力はVCOM電圧に対して数mV程度のオフセットを持つため通常の使用ではコンデンサでDC成分をカットします。

#### ■ 周辺I/F例

AK4628AはTTL入力のため周辺の電源電圧3.3V(typ)デバイスの信号も受けることができます。また、周辺デバイスが電源電圧3.3V(typ)の場合は出力バッファ用電源(TVDD)を3.3Vにして下さい。3.3Vと5Vが混在するシステムでは図27のようなI/Fになります。

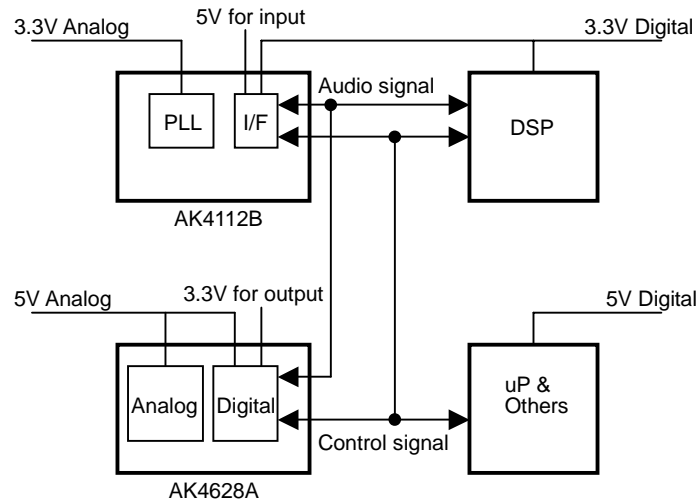
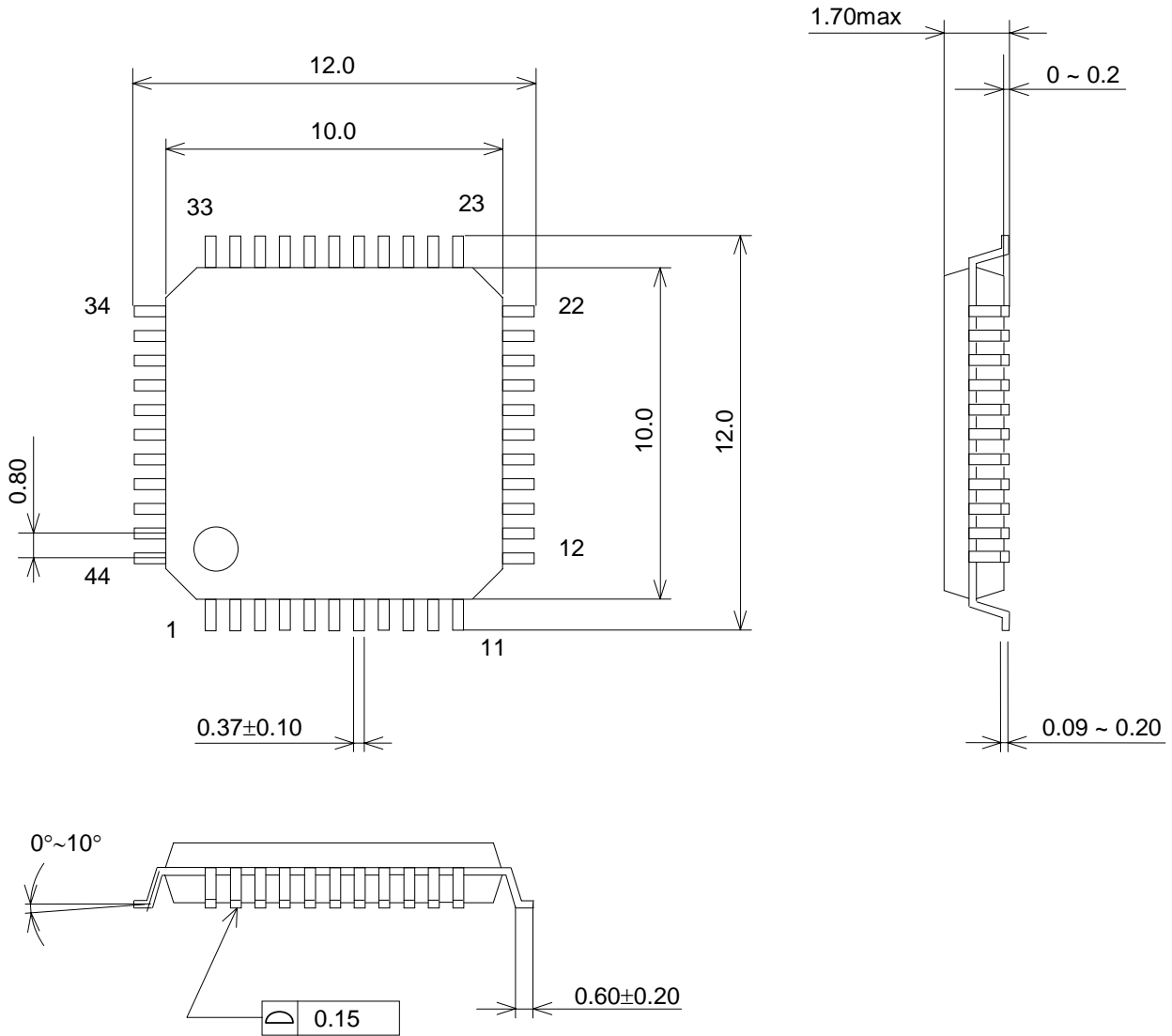


図27. 電源供給接続例

パッケージ

**44pin LQFP (Unit: mm)**

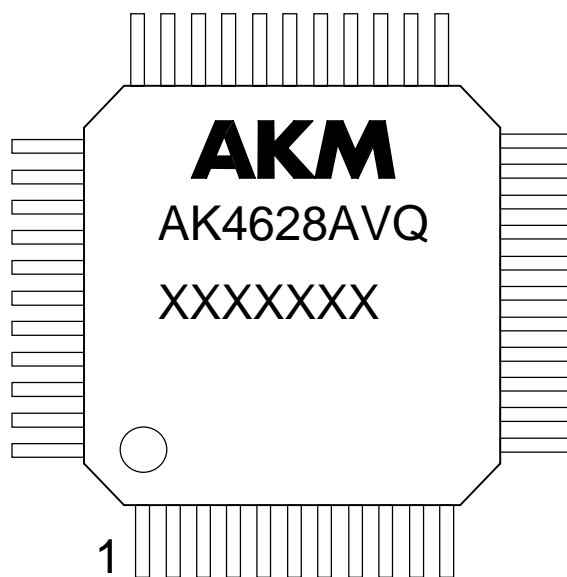


■ 材質・メッキ仕様

パッケージ材質:	エポキシ系樹脂
リードフレーム材質:	銅
リードフレーム処理:	半田(無鉛)メッキ



マーキング



- 1) Pin #1 indication
- 2) Date Code: XXXXXXXX(7 digits)
- 3) Marking Code: AK4628AVQ
- 4) Asahi Kasei Logo

改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
05/02/22	00	初版		
12/09/12	01	仕様変更	40	パッケージ パッケージ図の寸法を変更

**重要な注意事項**

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
- 本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器設計において本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報を使用される場合は、お客様の責任において行ってください。本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。また、当該使用に起因する、工業所有権その他の第三者の所有する権利に対する侵害につきましても同様です。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取りください。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。