



AK4430

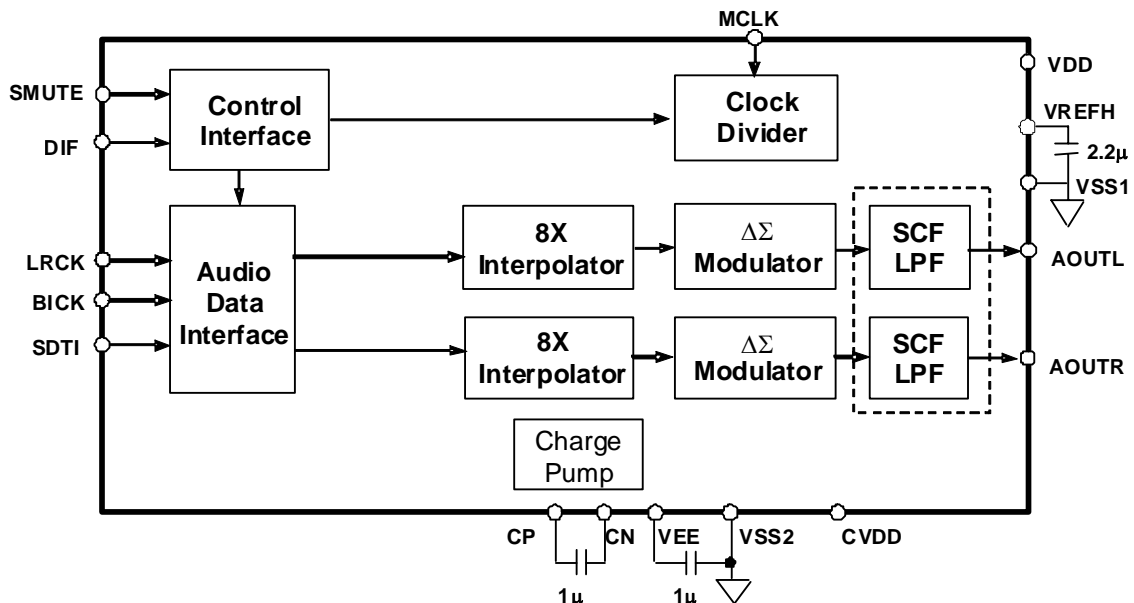
192kHz 24-Bit Stereo $\Delta\Sigma$ DAC with 2Vrms Output

概要

AK4430はデジタルオーディオ機器用にコストパフォーマンスを求めた2Vrms出力の24ビットDACです。 $\Delta\Sigma$ 変調器にはワイドダイナミックレンジを実現する新開発のアドバンスド・マルチビット方式を採用しています。内蔵のポストフィルタにはスイッチトキャパシタフィルタ(SCF)を採用しており、クロックジッタによる精度の劣化を改善します。サンプリングレートは192kHzまで対応しており、Set-Top-Box、ポータブルAVプレーヤ、デジタルTV等のシステムに最適です。また、負電源を内蔵しており、3.3Vの単一電源で2Vrmsを出力することが可能です。超小型16pin TSSOPパッケージに実装され、基板スペースを削減します。

特長

- サンプリングレート: 8kHz ~ 192kHz
- 128 倍オーバサンプリング (通常速モード)
- 64 倍オーバサンプリング (2倍速モード)
- 32 倍オーバサンプリング (4倍速モード)
- 24 ビット 8 倍 FIR デジタルフィルタ内蔵
- 強ジッタ耐力SCF 内蔵
- 2Vrms シングルエンド出力バッファ内蔵
- ソフトミュート内蔵
- デジタル I/F フォーマット: 24ビット前詰め, I²S
- マスタークロック: 512fs, 768fs or 1152fs (通常速モード)
256fs or 384fs (2倍速モード)
128fs or 192fs (4倍速モード)
- THD+N: -91dB
- Dynamic Range: 104dB
- 電源電圧: +3.0 ~ +3.6V
- パワーオンリセット回路内蔵
- Ta = -20 to 85°C
- 超小型パッケージ: 16pin TSSOP (6.4mm x 5.0mm)

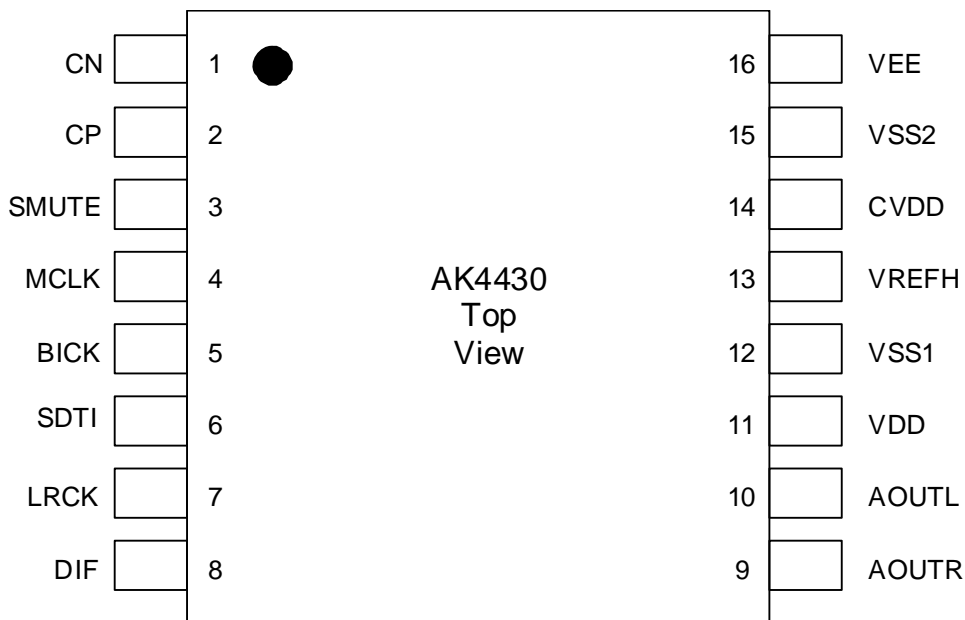


■ オーダリングガイド

AK4430ET
AKD4430

-20 ~ +85°C 16pin TSSOP (0.65mm pitch)
AK4430用評価ボード

■ ピン配置



■ AK4430とAK4420, AK4424, AK4421, AK4421Aの相違点

		AK4420	AK4424	AK4421	AK4421A	AK4430
Power Supply		+4.5 ~ +5.5V	+4.5 ~ +5.5V	+3.0 ~ +3.6V	+3.0 ~ +3.6V	+3.0 ~ +3.6V
Digital de-emphasis		-	X	-	-	-
I/F format		24-bit MSB/I ² S	I ² S	24-bit MSB/I ² S	24-bit MSB/I ² S	24-bit MSB/I ² S
Pin out	Pin#3	SMUTE	DEM	SMUTE	SMUTE	SMUTE
	Pin#8	DIF	SMUTE	DIF	DIF*	DIF*
	Pin#13	DZF	DZF	DZF	DZF	VREFH
THD+N		-92dB	-92dB	-92dB (-3dBFS)	-92dB	-91dB
DR		105dB	105dB	102dB	102dB	104dB
Operating Temperature		ET: -20 ~ +85°C VT: -40 ~ +85°C	ET: -20 ~ +85°C	ET: -20 ~ +85°C	ET: -20 ~ +85°C	ET: -20 ~ +85°C

(-: Not available, X: Available)

*: Internal pull up (100kΩ)

ピン/機能

No.	Pin Name	I/O	Function
1	CN	I	Negative Charge Pump Capacitor Terminal Pin Connect to CP with a 1.0 μ F low ESR (Equivalent Series Resistance) capacitor over all temperature. When this capacitor is polarized, the positive polarity pin should be connected to the CP pin. Non-polarized capacitors can also be used.
2	CP	I	Positive Charge Pump Capacitor Terminal Pin Connect to CN with a 1.0 μ F low ESR (Equivalent Series Resistance) capacitor over temperature. When this capacitor is polarized, the positive polarity pin should be connected to the CP pin. Non-polarized capacitors can also be used.
3	SMUTE	I	Soft Mute Enable Pin (Internal pull down: 100k Ω) “H”: Enable, “L”: Disable
4	MCLK	I	Master Clock Input Pin
5	BICK	I	Audio Serial Data Clock Pin
6	SDTI	I	Audio Serial Data Input Pin
7	LRCK	I	L/R Clock Pin
8	DIF	I	Audio Data Interface Format Pin (Internal pull up: 100k Ω) “L”: 24-bit MSB Justified, “H”: I ² S,
9	AOUTR	O	Right channel Analog Output Pin When MCLK or LRCK or BICK stops, outputs VSS(0V, typ).
10	AOUTL	O	Left channel Analog Output Pin When MCLK or LRCK or BICK stops, outputs VSS(0V, typ).
11	VDD	-	Power Supply Pin, 3.0V~3.6V
12	VSS1	-	Ground Pin 1
13	VREFH	O	Reference Output Pin Connect to VSS with a 2.2 μ F low ESR capacitor over all temperature.
14	CVDD	-	Charge Pump Power Supply Pin
15	VSS2	-	Ground Pin 2
16	VEE	O	Negative Voltage Output Pin Connect to VSS2 with a 1.0 μ F low ESR capacitor over all temperature. When this capacitor is polarized, the positive polarity pin should be connected to the VSS2 pin. Non-polarized capacitors can also be used.

Note: All input pins except for the SMUTE and DIF pins should not be left floating.

絶対最大定格

(VSS1=VSS2=0V; Note 1)

Parameter	Symbol	min	max	Units
Power Supply	VDD	-0.3	+4.0	V
	CVDD	-0.3	+4.0	V
Input Current (any pins except for supplies)	IIN	-	±10	mA
Input Voltage (Note 3)	VIND	-0.3	VDD+0.3	V
Ambient Operating Temperature	Ta	-20	85	°C
Storage Temperature	Tstg	-65	150	°C

Note 1. 電圧はすべてグランドピンに対する値です。

Note 2. VSS1とVSS2は同じアナロググランドに接続して下さい。

Note 3. SMUTE, MCLK, BICK, LRCK, SDTI, DIF pins

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

(VSS1=VSS2=0V; Note 1)

Parameter	Symbol	min	typ	max	Units
Power Supply	VDD	+3.0		+3.6	V
	CVDD		VDD		

Note 4. VDDとCVDDは同じ電圧です。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分 ご注意
下さい。

アナログ特性

(特記なき場合は、 $T_a = 25^\circ\text{C}$; $V_{DD} = CV_{DD} = +3.3\text{V}$; $f_s = 44.1\text{kHz}$; $BICK = 64\text{fs}$; Signal Frequency = 1kHz; 24bit Input Data; Measurement frequency = 20Hz ~ 20kHz; $R_L \geq 5\text{k}\Omega$)

Parameter	min	typ	max	Units	
Resolution			24	Bits	
Dynamic Characteristics (Note 5)					
THD+N	$f_s=44.1\text{kHz}$, $BW=20\text{kHz}$		-91	-82	dB
	$f_s=96\text{kHz}$, $BW=40\text{kHz}$		-91	-	dB
	$f_s=192\text{kHz}$, $BW=40\text{kHz}$		-89	-	dB
Dynamic Range (-60dBFS with A-weighted, Note 6)	96	104		dB	
S/N (A-weighted, Note 7)	96	104		dB	
Interchannel Isolation (1kHz)	90	100		dB	
Interchannel Gain Mismatch		0.2	0.5	dB	
PSRR (Note 9)		62		dB	
DC Accuracy					
DC Offset (at output pin)	-5	0	+5	mV	
Gain Drift		100	-	ppm/ $^\circ\text{C}$	
Output Voltage (Note 8)	1.85	2.0	2.15	V _{rms}	
Load Capacitance (Note 10)			25	pF	
Load Resistance	5			k Ω	
Power Supplies					
Power Supply Current: (Note 11)					
Normal Operation ($f_s \leq 96\text{kHz}$)		20	28	mA	
Normal Operation ($f_s = 192\text{kHz}$)		22	31	mA	
Power-Down Mode (Note 12)		10	100	μA	

Note 5. Audio Precision (System Two)使用。測定結果は評価ボードのマニュアルを参照下さい。

Note 6. 98dB at 16bit data

Note 7. S/N比は入力ビット長に依存しません。

Note 8. フルスケール電圧 (0dB)。出力電圧は VDD の電圧に比例します。

$$A_{OUT} (\text{typ. @ } 0\text{dB}) = 2.0V_{\text{rms}} \times V_{DD}/3.3.$$

Note 9. VDD、CVDD同時に1kHz、50mV_{pp}の正弦波を重畳した場合の値です。

Note 10. 容量性負荷を駆動する場合は、直列に抵抗を入れて下さい。

Note 11. VDDとCVDDに流れる電流の合計です。

Note 12. クロック (MCLK, BICK, LRCK)を含むその他の全デジタル入力ピンを VDD または VSS に固定した場合の値です。

デジタルフィルタ特性

(Ta = 25°C; VDD=CVDD= +3.0 ~ +3.6V; fs = 44.1kHz)

Parameter	Symbol	min	typ	max	Units	
Digital filter						
Passband	±0.05dB (Note 13) -6.0dB	PB	0	20.0	kHz	
			-	22.05	kHz	
Stopband (Note 13)		SB	24.1		kHz	
Passband Ripple		PR		± 0.01	dB	
Stopband Attenuation		SA	64		dB	
Group Delay (Note 14)		GD	-	24	1/fs	
Digital Filter + LPF						
Frequency Response	20.0kHz	fs=44.1kHz	FR	-	± 0.05	dB
	40.0kHz	fs=96kHz	FR	-	± 0.05	dB
	80.0kHz	fs=192kHz	FR	-	± 0.05	dB

Note 13. 通過域、阻止域の周波数は fs (システムサンプリングレート) に比例し、
PB=0.4535×fs(@±0.05dB)、SB=0.546×fs です。

Note 14. デジタルフィルタによる演算遅延で、16/24ビットデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

DC特性

(Ta = 25°C; VDD=CVDD= +3.0 ~ +3.6V)

Parameter	Symbol	min	typ	max	Units
High-Level Input Voltage	VIH	70%VDD	-	-	V
Low-Level Input Voltage	VIL	-	-	30%VDD	V
Input Leakage Current (Note 15)	Iin	-	-	± 10	μA

Note 15. SMUTE pin と DIF pinを除く。SMUTE pinは内部でプルダウンされています (typ. 100kΩ)。DIF pinは内部でプルアップされています (typ. 100kΩ)。

スイッチング特性

(Ta = 25°C; VDD=CVDD = +3.0 ~ +3.6V)

Parameter	Symbol	min	typ	max	Units
Master Clock Frequency	fCLK	4.096	-	36.864	MHz
Duty Cycle	dCLK	40		60	%
LRCK Frequency					
Normal Speed Mode	fsn	8		48	kHz
Double Speed Mode	fsd	32		96	kHz
Quad Speed Mode	fsq	120		192	kHz
Duty Cycle	Duty	45		55	%
Audio Interface Timing					
BICK Period					
Normal Speed Mode	tBCK	1/128fsn			ns
Double Speed Mode	tBCK	1/64fsd			ns
Quad Speed Mode	tBCK	1/64fsq			ns
BICK Pulse Width Low	tBCKL	30			ns
Pulse Width High	tBCKH	30			ns
BICK “↑” to LRCK Edge (Note 16)	tBLR	20			ns
LRCK Edge to BICK “↑” (Note 16)	tLRB	20			ns
SDTI Hold Time	tSDH	20			ns
SDTI Setup Time	tSDS	20			ns

Note 16. この規格値は LRCK のエッジと BICK の “↑” が重ならないように規定しています。

■ タイミング波形

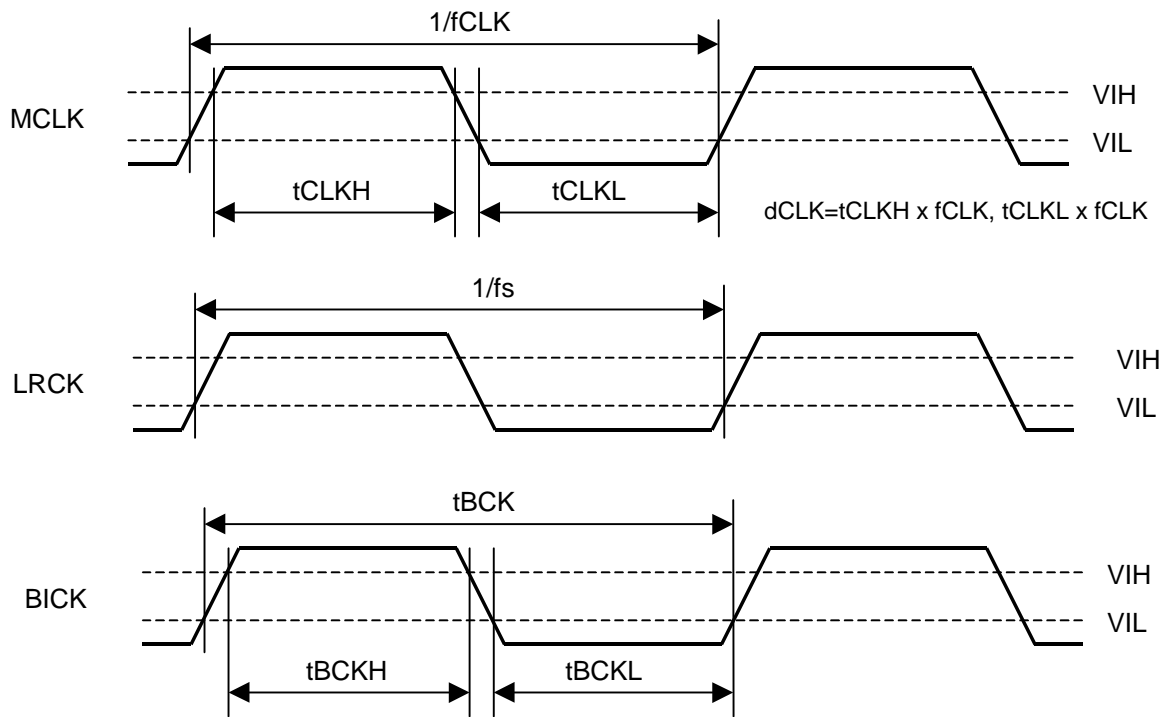


Figure 1. Clock Timing

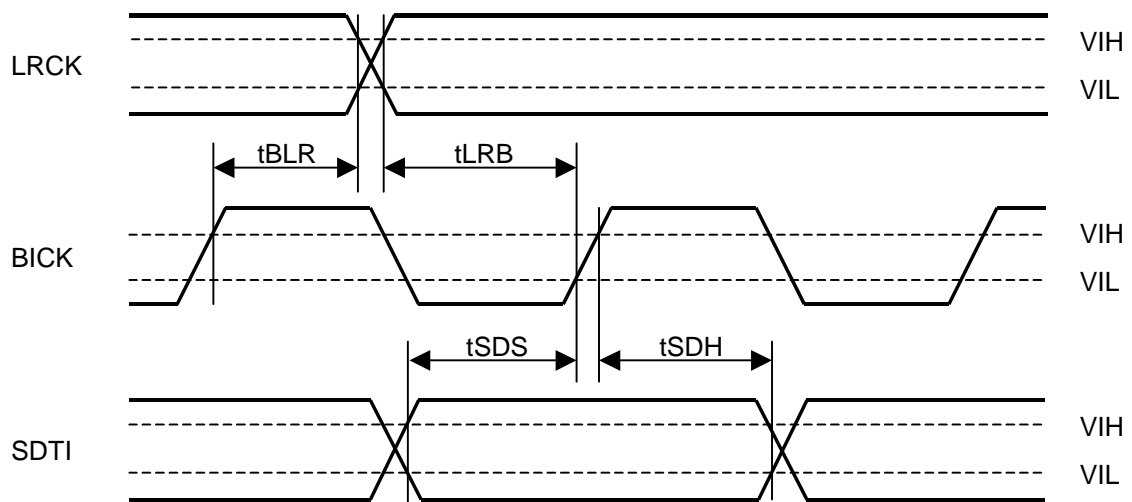


Figure 2. Serial Interface Timing

機能説明

■ システムクロック

必要なクロックは、MCLK, LRCK, BICK です。マスタクロック (MCLK) とサンプリングクロック (LRCK) は同期する必要はありますが位相を合わせる必要はありません。MCLK はインタポ - レーションフィルタと $\Delta\Sigma$ 変調器に使用されます。サンプリングスピードとMCLK周波数は自動検出され、内部クロックは適切な周波数 (Table 1) に自動設定されます。

動作中にMCLK,LRCKまたはBICKが止まった場合は、AK4430は自動的にリセット状態になり、アナログ出力は0V電圧 (typ)を出力します。MCLK,とLRCKとBICKを再入力後、リセット状態が解除され動作を再開します。電源 ON 時は MCLK,とLRCKとBICK が入力されるまでパワーダウン状態です。

LRCK fs	MCLK (MHz)							Sampling Speed
	128fs	192fs	256fs	384fs	512fs	768fs	1152fs	
32.0kHz	-	-	-	-	16.3840	24.5760	36.8640	Normal
44.1kHz	-	-	-	-	22.5792	33.8688	-	
48.0kHz	-	-	-	-	24.5760	36.8640	-	
32.0kHz			8.192	12.288				Double
44.1kHz			11.2896	16.9344				
48.0kHz			12.288	18.432				
88.2kHz	-	-	22.5792	33.8688	-	-	-	
96.0kHz	-	-	24.5760	36.8640	-	-	-	Quad
176.4kHz	22.5792	33.8688	-	-	-	-	-	
192.0kHz	24.5760	36.8640	-	-	-	-	-	

Table 1. システムクロック例

MCLK=256fs/384fsのとき、32kHz~96kHzのサンプリングレートまで対応します (Table 2)が、32kHz~48kHzのサンプリングレートのときのDR, S/NはMCLK=512fs/768fsの時に比べて劣化します。

MCLK	DR,S/N
256fs/384fs	101dB
512fs/768fs	104dB

Table 2. MCLK周波数とDR, S/Nの関係(fs = 44.1kHz)

■ オーディオシリアルインタフェースフォーマット

オーディオデータは BICK と LRCK を使って SDTI から入力されます。AK4430は2種類のフォーマット (Table 3)が、DIF pinで選択できます。全モードとも MSB ファースト、2's complement のデータフォーマットで BICK の立ち上がりでラッチされます。Mode 0 を 16/20ビットで使った場合はデータのない LSB には“0”を入力して下さい。

Mode	DIF pin	SDTI Format	BICK	Figure
0	L	24bit 前詰め	≥ 48 fs	Figure 3
1	H	24bit I ² S	≥ 48 fs	Figure 4

Table 3. オーディオデータフォーマット

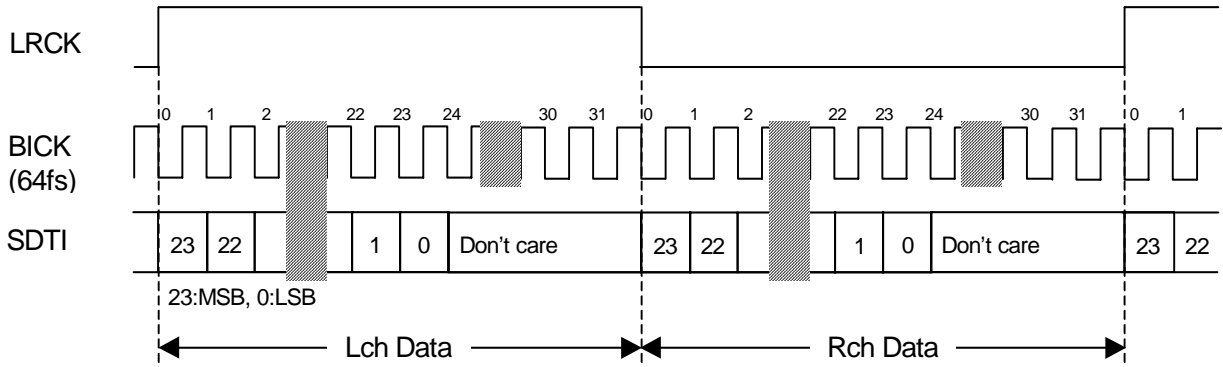


Figure 3. Mode 0 Timing

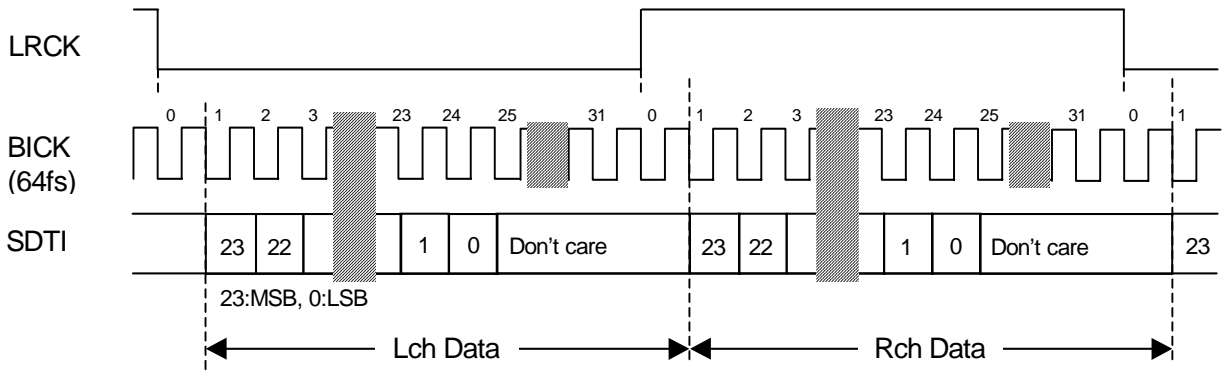


Figure 4. Mode 1 Timing

■ アナログ出力ブロック

AK4430は、内蔵する負電源生成回路(Figure 5)により2Vrmsアンプに負電源を供給することでVSS(0V,typ)中心でオーディオ信号を出力します(Figure 6)。負電源生成回路で使用するCaおよびCbのコンデンサは1.0μFです。低ESR(等価直列抵抗)の部品を使用して下さい。極性付きのコンデンサを使用する場合、それぞれCP側、VSS2側にコンデンサの正極端子を接続して下さい。負電源生成回路(Figure 5)は、選択されたマスタークロックから生成されたクロックで動作します。マスタークロックが入力されない場合、AK4430は自動的にリセット状態になり、アナログ出力はVSS(0V,typ)を出力します。

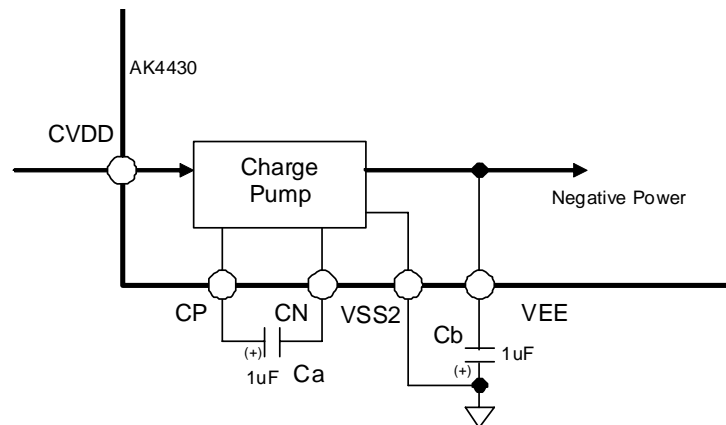


Figure 5. 負電源生成回路

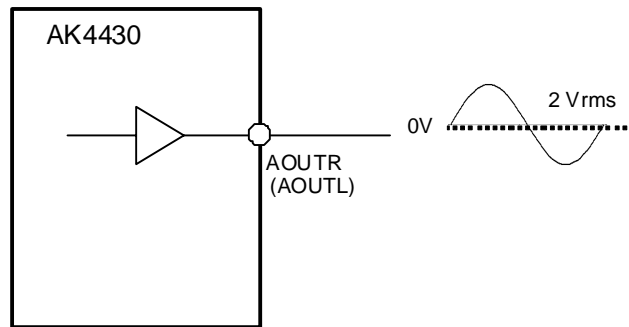
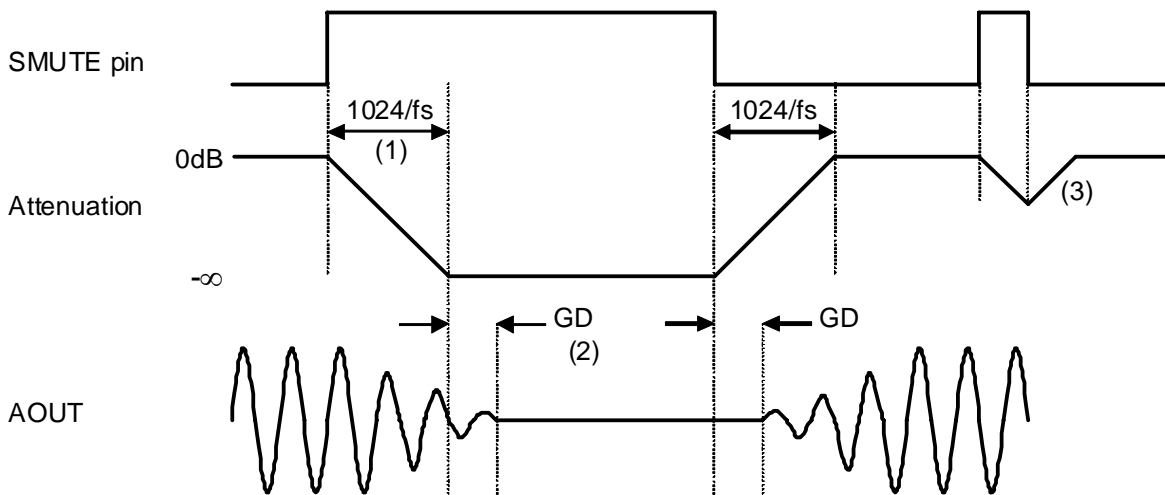


Figure 6. Audio 信号出力

■ ソフトミュート機能

ソフトミュートはデジタル的に実行されます。SMUTE pinを“H”にするとNormal Speed Modeの場合1024LRCKサイクルで入力データが $-\infty$ (“0”)までアテネーションされます。SMUTE pinを“L”にすると、 $-\infty$ 状態が解除され、 $-\infty$ から1024LRCKサイクルで0dBまで復帰します。ソフトミュート開始後、1024LRCKサイクル以内に解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。LRCK期間、SMUTE pinに8つ以上の“H”パルスを印加しないでください。



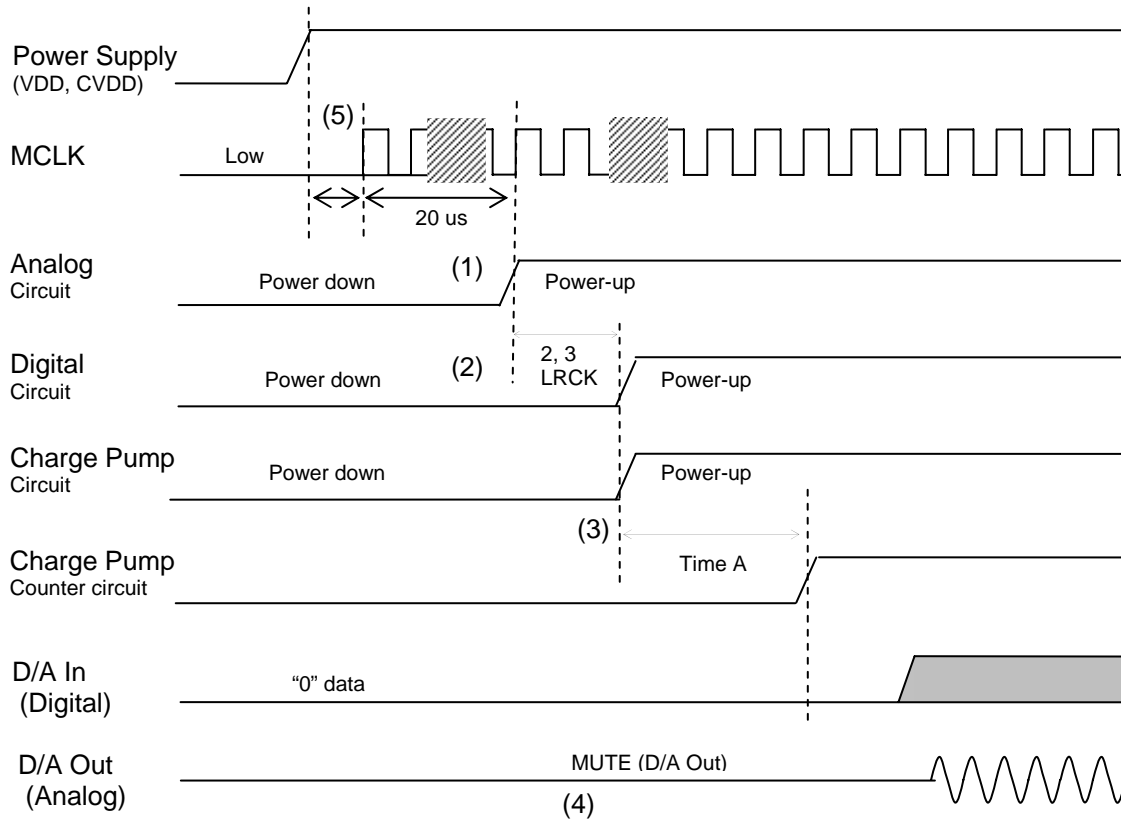
注:

- (1) Normal Speed Mode の場合、1024LRCKサイクル(1024/fs)で入力データが $-\infty$ (“0”)までアテネーションされます。Double Speed Mode の場合、2048LRCKサイクル(2048/fs)、Quad Speed Mode の場合、4096LRCKサイクル(4096/fs)、で入力データが $-\infty$ (“0”)までアテネーションされます。
- (2) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (3) ソフトミュート開始後、1024LRCKサイクル以内 (Normal Speed Mode の場合) に解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。

Figure 7. ソフトミュート機能

■ システムリセット

電源ON時、AK4430はパワーダウン状態で立ち上がります。パワーダウン状態はMCLKで解除され、その後 LRCK の“↑”に同期して内部回路がパワーアップし、内部のタイミングが動作します。LRCK が入力されるまでパワーダウン状態です。

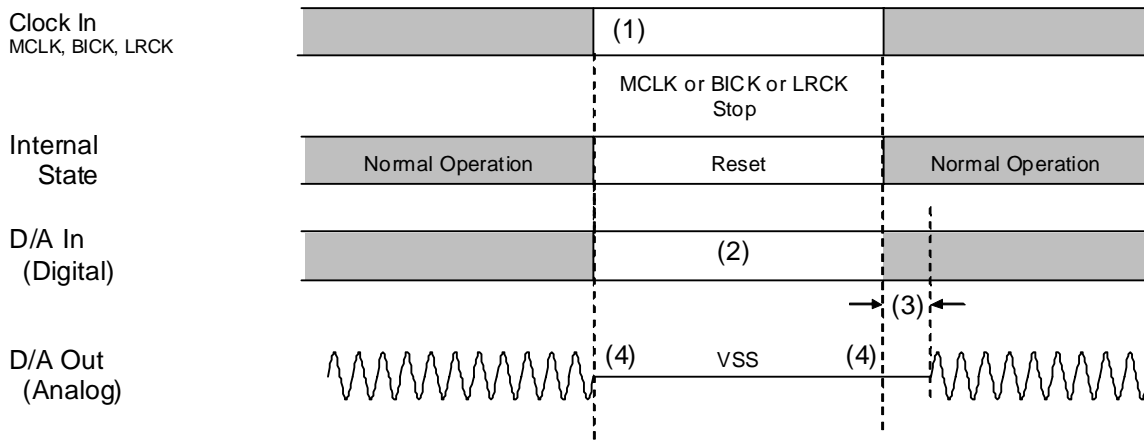


- (1) パワーダウン状態はMCLK入力後約20usで解除されます。
- (2) MCLKが検出された後2, 3 LRCK後デジタル回路がパワーアップします。
- (3) チャージポンプがパワーアップ後、チャージポンプカウンターがカウントします。
 時間 time A後にD/Aが出力します。
 Time A = 176/fs: Normal speed mode
 Time A = 352/fs: Double speed mode
 Time A = 704/fs: Quad speed mode
- (4) 通常の使用条件ではクリックノイズは聞こえません。
- (5) MCLK pin は“L”の状態電源を立ち上げ、電源(VDD)が80%になった後、min.20us後にMCLKを入力ください。この時間が満足されない場合、上図と異なる不定のタイミングで大きなクリックノイズが発生する可能性があります。

Figure 8. System Reset Diagram

■ リセット機能

動作中にMCLKまたはLRCKまたはBICKが止まった場合は、AK4430は自動的にリセット状態になり、アナログ出力はVSS(0V,typ)を出力します。MCLK、LRCKとBICKを再入力後、リセット状態が解除され動作を再開します。



注:

- (1) リセット状態(MCLK,LRCKまたはBICK停止)では各クロック入力(MCLK, BICK, LRCK)を止めることができます。
- (2) デジタルデータの入力を止めることができます。この区間に“0”データを入力しておくことで、MCLKとLRCKとBICK再入力後のクリックノイズを軽減できます。
- (3) クロック投入後、約180/fs (Normal speed mode時) のデジタルデータはミュートされ、その後GDを持ってアナログ出力されます。
- (4) 通常の使用条件ではクリックノイズは聞こえません。

Figure 9. リセットタイミング例

システム設計

AK4430のシステム接続例をFigure 10に示します。具体的な回路と測定例については評価用ボード (AKD4430) を参照して下さい。

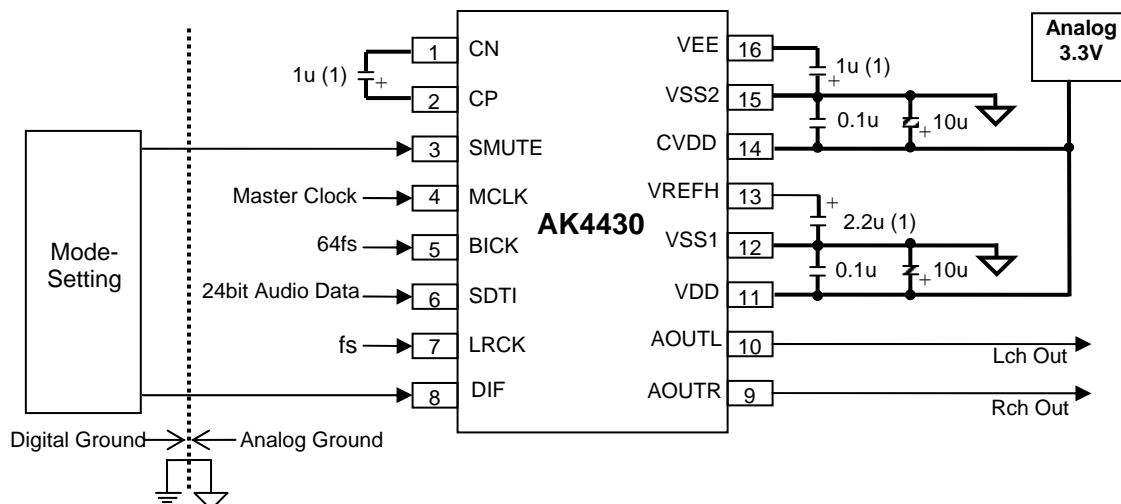


Figure 10. Typical Connection Diagram

注:

- (1) 低ESR (等価直列抵抗) のコンデンサを使用してください。極性付きのコンデンサを使用する場合、正極端子をCP, VSS2, VREFH側に接続してください。
- (2) VSS1, VSS2は外部コントローラのグラウンドと分けてください。
- (3) デジタル入力ピンはオープンにしないでください。

1. グランドと電源のデカップリング

VDD と CVDD にはシステムのアナログ電源を供給し、システムのデジタル電源とは分離して下さい。VDD と CVDD が別電源で供給される場合は VDD、CVDD 間の立ち上げシーケンスを考慮する必要はありません。また、VDD と CVDD のデカップリングコンデンサ、特に小容量のセラミックコンデンサはできるだけ近づけて接続します。VSS1 と VSS2 はアナロググランドに接続して下さい。

2. アナログ出力

アナログ出力はシングルエンドになっており、出力レンジは VSS(0V, typ) を中心に 2.0Vrms (typ, @VDD=3.3V) です。内蔵の $\Delta\Sigma$ 変調器が発生する帯域外ノイズ (シェーピングノイズ) は内蔵のスイッチトキャパシタフィルタ (SCF) と連続フィルタ (CTF) で減衰されます。帯域外ノイズが問題になる場合は、簡単な1次のLPF (Figure 11) を入れて下さい。

入力コードのフォーマットは 2's complement (2 の補数) で 7FFFFFFH (@24bit) に対しては正のフルスケール、800000H (@24bit) に対しては負のフルスケール、000000H (@24bit) での V_{AOUT} の理想値は 0V (VSS) が出力されます。DC オフセットは $\pm 5\text{mV}$ 以下です。

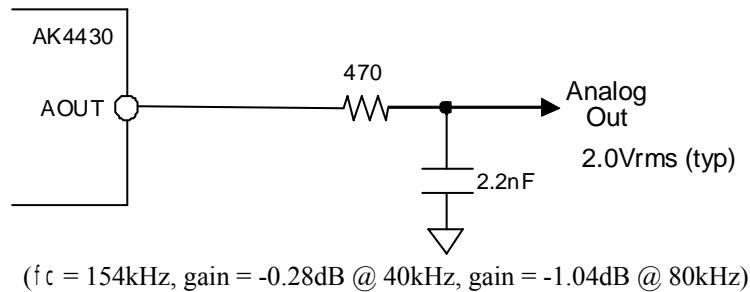
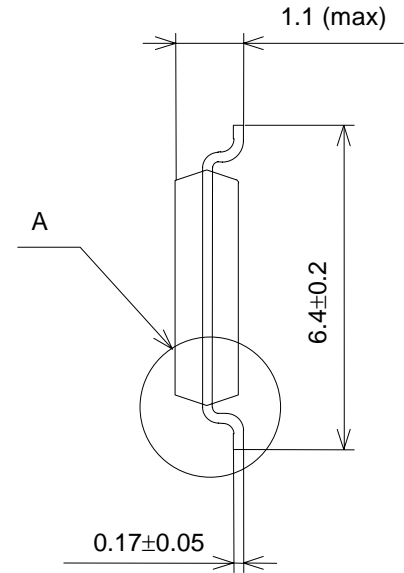
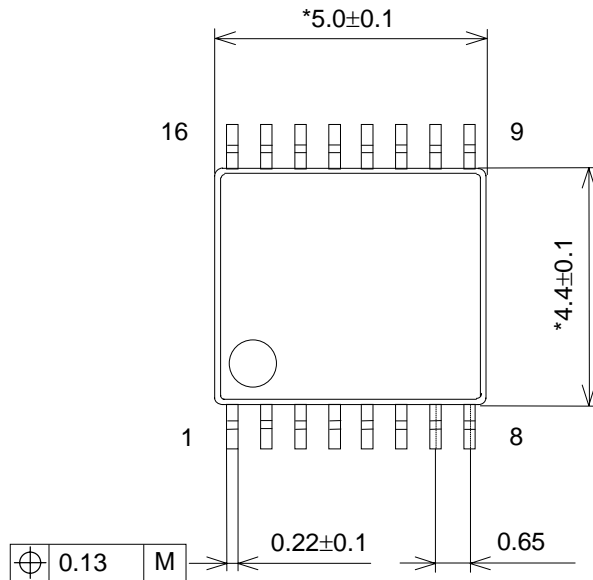


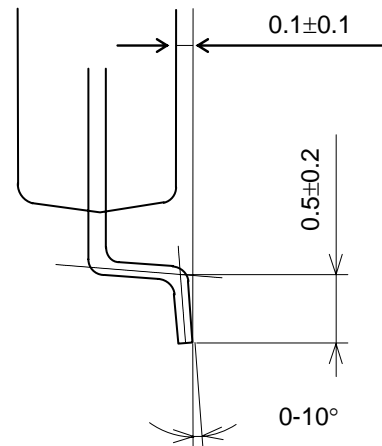
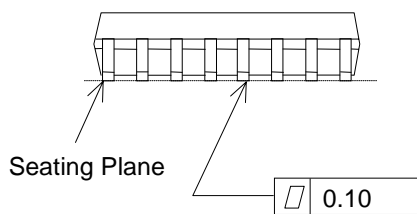
Figure 11. External 1st order LPF Circuit Example1

パッケージ

16pin TSSOP (Unit: mm)



Detail A

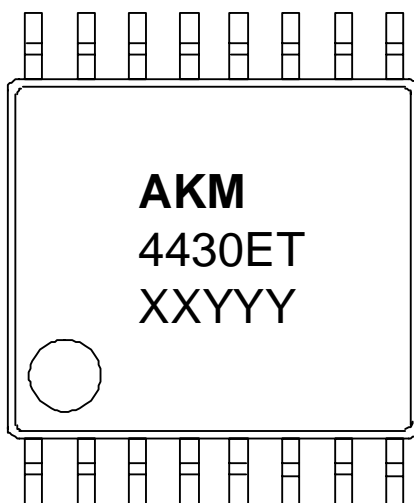


NOTE: Dimension "*" does not include mold flash.

■ 材質・メッキ仕様

パッケージ材質: エポキシ系樹脂、ハロゲン (臭素、塩素)フリー
 リードフレーム材質: 銅
 リードフレーム処理: 半田 (無鉛) メッキ

マーキング



- 1) Pin #1 indication
- 2) Date Code: XXYYYY (5 digits)
 XX: Lot#
 YYY: Date Code
- 3) Marketing Code: 4430ET
- 4) Asahi Kasei Logo

改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
10/05/31	00	初版		

重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
- 本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器設計において本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報を使用される場合は、お客様の責任において行ってください。本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。また、当該使用に起因する、工業所有権その他の第三者の所有する権利に対する侵害につきましても同様です。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取りください。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。