



AK4462 アプリケーションノート

1. 概要

本アプリケーションノートは、AK4462システム設計のサポートを目的としています。

2. 目次

1. 概要	1
2. 目次	1
3. ブロック図	2
4. DAC製品比較表	3
4.1. Premium DAC 比較表	3
4.2. Mid-Range Stereo DAC 比較表	4
4.3. AK4462 レジスタマップ (AK4452との比較)	5
5. AK4462機能一覧表	7
6. クロック周波数およびピン/レジスタ設定切り替え時の推奨処置	8
6.1. クロック周波数の切り替え(ピン/レジスタコントロールモード共通)	8
6.2. 制御ピン切り替え (ピンコントロールモード)	8
6.3. レジスタ設定切り替え (レジスタコントロールモード、3線シリアル/I ² Cバス共通)	9
7. 各再生モードでのレイテンシについて	10
7.1. PCM mode	10
7.2. DSD mode	11
7.3. DoP mode	11
8. アナログ出力後段回路の設計	13
8.1. DC負荷抵抗の算出	13
8.2. フィルタ設計	15
9. 改訂履歴	16
重要な注意事項	16

3. ブロック図

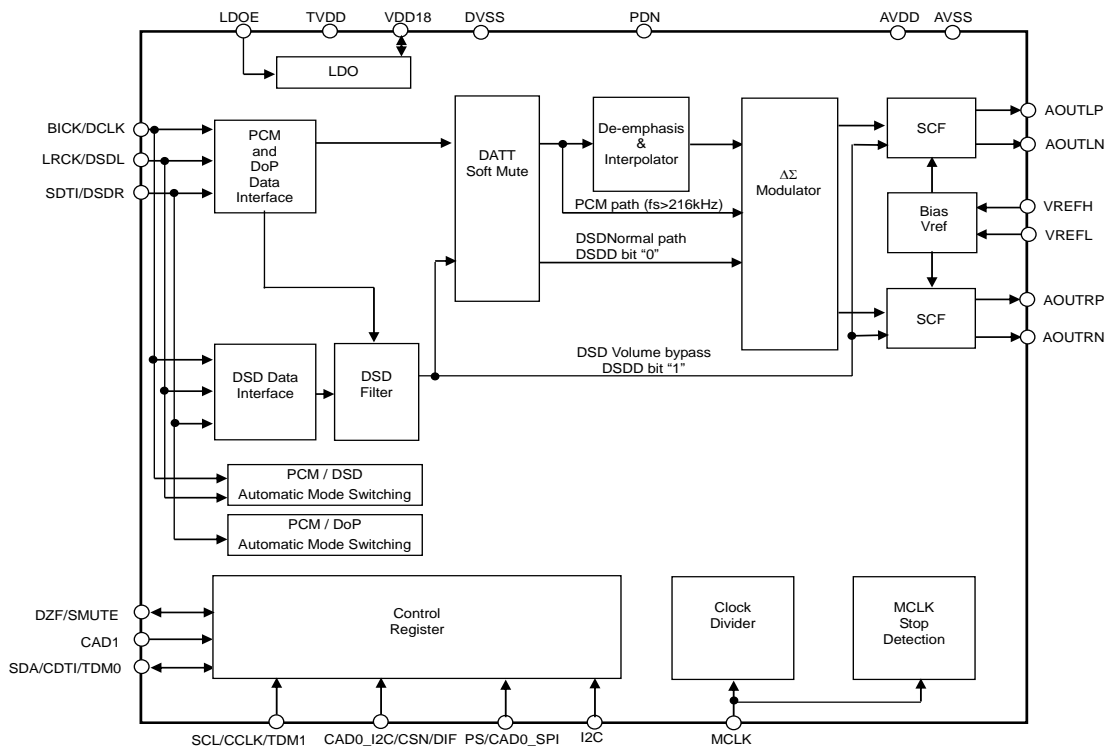


Figure 1. AK4462 Block Diagram

4. DAC製品比較表

4.1. Premium DAC 比較表

Table 1 に、AKM Audio Process を適用した Premium DAC 製品群の特性比較表を掲載します。

Table 1. AKM Premium DAC Comparison Table (Y: Available, N/A: Not available)

	AK4499	AK4497	AK4493	AK4462	AK4468
AVDD	4.75–5.25 V	1.7–3.6 V	1.7–3.6 V	3.0–5.5 V	3.0–5.5 V
VDDL/R	4.75–5.25 V	4.75–5.25 V	4.75–5.25 V	-	-
TVDD	1.7–3.6 V	1.7–3.6 V	1.7–3.6 V	1.7–3.6 V	1.7–3.6 V
Channels	4	2	2	2	8
Output type	Balanced	Balanced	Balanced	Balanced	Balanced
PCM sampling rate	8–768 kHz	8–768 kHz	8–768 kHz	8–768 kHz	8–768 kHz
DSD sampling rate (max.)	DSD512	DSD512	DSD512	DSD512	DSD512
DoP sampling rate (max.)	N/A	N/A	N/A	DoP256	N/A
S/N	134 dB	128 dB	123 dB	117 dB	117 dB
THD+N	-124 dB	-116 dB	-113 dB	-107 dB	-107 dB
Digital Filter (@PCM mode)	6 types	6 types	6 types	6 types	6 types
External Filter Mode	Y	Y	Y	N/A	N/A
TDM	Y	Y	Y	Y	Y
Daisy Chain	Y	Y	N/A	N/A	Y
Automatic Switching (PCM/DSD mode)	Y	N/A	Y	Y	Y
Automatic Switching (PCM/DoP mode)	N/A	N/A	N/A	Y	N/A
Power Consumption	667 mW	343 mW	188 mW	70 mW	245 mW
Package	128-pin HTQFP	64-pin HTQFP	48-pin LQFP	24-pin QFN	48-pin QFN

4.2. Mid-Range Stereo DAC 比較表

Mid-Range Stereo DAC Seriesの機能・特性比較表をTable 2に示します。

Table 2. AK4432, AK4452, AK4462の機能・特性比較表 (Y: Available, N/A: Not available)

	AK4432	AK4452	AK4462
LSI Process for Premium Audio	N/A	N/A	Y
AVDD	3.0–3.6 V	3.0–5.5 V	3.0–5.5 V
TVDD	3.0–3.6 V	1.7–3.6 V	1.7–3.6 V
Power Consumption	26 mW	50 mW	70 mW
Output type	Single-Ended	Balanced	Balanced
PCM sampling rate	8–192 kHz	8–768 kHz	8–768 kHz
DSD sampling rate (max.)	N/A	DSD256	DSD512
DoP sampling rate (max.)	N/A	N/A	DoP256
S/N	108 dB	115 dB	117 dB
THD+N	–91 dB	–107 dB	–107 dB
Digital Filter (@PCM mode)	5 types	5 types	6 types
De-emphasis Filter	N/A	Y	Y
TDM	Y	Y	Y
Daisy Chain	N/A	Y	N/A
Clock Synchronization Function	Y	Y	Y
Automatic Mode Switching (PCM/DSD mode)	N/A	N/A	Y
Automatic Mode Switching (PCM/DoP mode)	N/A	N/A	Y
Package	16-pin TSSOP	32-pin QFN	24-pin QFN
Pin/Register control select	Y	Y	Y

4.3. AK4462 レジスタマップ (AK4452との比較)

Table 3およびTable 4に、AK4452とAK4462のレジスタマップ比較表を記載します。

※黄：AK4462で追加された機能 青：AK4462で削除された機能

Table 3. AK4462レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	0	0	0	DIF[2]	DIF[1]	DIF[0]	RSTN
01H	Control 2	0	0	SD	DFS[1]	DFS[0]	DEM[1]	DEM[0]	SMUTE
02H	Control 3	DP	ADP	DCKS	DCKB	MONO	DZFB	SELLR	SLOW
03H	Lch ATT	ATTL[7]	ATTL[6]	ATTL[5]	ATTL[4]	ATTL[3]	ATTL[2]	ATTL[1]	ATTL[0]
04H	Rch ATT	ATTR[7]	ATTR[6]	ATTR[5]	ATTR[4]	ATTR[3]	ATTR[2]	ATTR[1]	ATTR[0]
05H	Control 4	INVL	INVR	0	0	0	0	DFS[2]	SSLOW
06H	DSD1	DDM	DML	DMR	DDMOE	0	DDMT	DSDD	DSDSEL[0]
07H	Control 5	L	R	0	0	0	0	1	SYNCE
08H	Control 6	0	0	0	0	0	0	0	0
09H	DSD2	0	0	0	0	0	0	DSDF	DSDSEL[1]
0AH	Control 7	TDM[1]	TDM[0]	SDS[1]	SDS[2]	1	PW	0	1
0BH	Control 8	ATS[1]	ATS[0]	0	SDS[0]	1	1	0	0
0CH	READONLY1	0	0	0	0	0	0	0	0
0DH	READONLY2	0	0	0	0	0	0	0	0
0EH	READONLY3	0	1	0	1	0	0	0	0
0FH	READONLY4	1	1	1	1	1	1	1	1
10H	READONLY5	1	1	1	1	1	1	1	1
11H	READONLY6	1	1	1	1	1	1	1	1
12H	READONLY7	1	1	1	1	1	1	1	1
13H	READONLY8	1	1	1	1	1	1	1	1
14H	READONLY9	1	1	1	1	1	1	1	1
15H	Control 12	ADPE	ADPT[1]	ADPT[0]	0	0	0	0	0
16H	DoP1	DOP	DMMI	ADOP	ADOPE	0	0	0	0
17H	DoP2	DOPSEL[1]	DOPSEL[0]	0	0	0	0	0	0
18H	DSDMARKERE	DMIE[7]	DMIE[6]	DMIE[5]	DMIE[4]	DMIE[3]	DMIE[2]	DMIE[1]	DMIE[0]
19H	DSDMARKERO	DMIO[7]	DMIO[6]	DMIO[5]	DMIO[4]	DMIO[3]	DMIO[2]	DMIO[1]	DMIO[0]

Table 4. AK4452レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	0	0	0	DIF[2]	DIF[1]	DIF[0]	RSTN
01H	Control 2	0	0	SD	DFS[1]	DFS[0]	DEM1[1]	DEM1[0]	SMUTE
02H	Control 3	DP	0	DCKS	DCKB	MONO	DZFB	SELLR	SLOW
03H	L1ch ATT	ATTL[7]	ATTL[6]	ATTL[5]	ATTL[4]	ATTL[3]	ATTL[2]	ATTL[1]	ATTL[0]
04H	R1ch ATT	ATTR[7]	ATTR[6]	ATTR[5]	ATTR[4]	ATTR[3]	ATTR[2]	ATTR[1]	ATTR[0]
05H	Control 4	INVL1	INVR1	0	0	0	0	DFS[2]	SSLOW
06H	DSD1	DDM	DML1	DMR1	DMC	DMRE	0	DSDD	DSDSEL[0]
07H	Control 5	0	0	0	0	0	0	1	SYNCE
08H	Sound Control	L1	R1	0	0	0	0	SC[1]	SC[0]
09H	DSD2	0	0	0	0	0	0	DSDF	DSDSEL[1]
0AH	Control 6	TDM[1]	TDM[0]	SDS[1]	SDS[2]	1	PW1	0	1
0BH	Control 7	ATS[1]	ATS[0]	0	SDS[0]	1	1	DCHAIN	0
0CH	Control 8	0	0	0	0	0	FIR[2]	FIR[1]	FIR[0]
0DH	Reserved	0	0	0	0	0	0	0	0
0EH	Reserved	0	1	0	1	0	0	0	0
0FH	Reserved	1	1	1	1	1	1	1	1
10H	Reserved	1	1	1	1	1	1	1	1

■AK4452→AK4462で追加された機能

- ・ 02H D6: ADP
PCM/DSDモード自動切り替え機能使用時、内部動作モードのread back用レジスタ。
- ・ 06H D4: DDMOE
DZFピン出力信号選択
- ・ 06H D2: DDMT
DSD信号フルスケール検出時間設定
- ・ 15H D7: ADPE
PCM/DSDモード自動切り替え機能enable.
- ・ 15H D[6:5]: ADPT[1:0]
PCM/DSDモード自動切り替え機能における、モード判定を開始するまでの時間設定.
- ・ 16H D4: ADOPE
PCM/DoP モード自動切り替え機能Enable
- ・ 16H D5: ADOP
PCM/DoP モード自動切り替え機能使用時、内部動作モードのread back用レジスタ。
- ・ 16H D6: DMMI
DoPマーカ設定機能Enable
- ・ 16H D7: DOP
DoP Mode enable
- ・ 17H D[7:6]: DOPSEL[1:0]
DoP Sampling Speed Setting
- ・ 18H D[7:0]: DMIE[7:0]
EVENマーカ設定 (DMMI bit = “1”時のみ有効)
- ・ 19H D[7:0]: DMIO[7:0]
ODDマーカ設定 (DMMI bit = “1”時のみ有効)

5. AK4462 機能一覧表

Table 5 に、AK4462 の使用可能な機能一覧表を示します。各機能の使用方法は、Datasheet Section の欄に記載の AK4462 データシートの各項をご参照ください。

ピンコントロールモード時は、使用できる機能は一部に限られます。ピンコントロールモードで使用できる機能に関しては、データシートの 9.1 項をご参照ください。

Table 5. Function List of PCM/DSD/DoP mode @Register Control Mode
(Y: Available, N/A: Not available)

Function	Addr	Bit	PCM	DSD		DoP		Data-sheet Section
				Normal	Volume Bypass	Normal	Volume Bypass	
PCM/DSD/DoP Mode Selection	02H 16H	DP DOP	Y	Y	Y	Y	Y	9.2
System Clock Setting @PCM mode	00, 01, 05H	ACKS DFS[2:0]	Y	N/A	N/A	Y	Y	9.3.1
System Clock Setting @DSD mode	02H	DCKS DSDSEL[1:0]	N/A	Y	Y	N/A	N/A	9.3.2
System Clock Setting @DoP mode	00, 02, 17H	DCKS, ACKS DOPSEL[1:0]	N/A	N/A	N/A	Y	Y	9.3.3
Digital Filter Selection @PCM mode	01,02, 05H	SD, SLOW SSLOW	Y (Note 1)	N/A	N/A	N/A	N/A	9.5.1
Digital Filter Selection @DSD mode, DoP mode	09H	DSDF	N/A	Y	N/A	Y	N/A	9.5.2
De-emphasis Filter	01H	DEM[1:0]	Y (Note 2)	N/A	N/A	N/A	N/A	9.6
Path Selection @ DSD mode	06H	DSDD	N/A	Y	Y	Y	Y	9.2.3
Audio Data Interface Format @ PCM mode, DoP mode	00H	DIF[2:0]	Y	N/A	N/A	Y	Y	9.4.1 9.4.3
TDM Interface Format	0AH	TDM[1:0]	Y	N/A	N/A	N/A	N/A	9.4.1
Attenuation Level	03, 04H	ATTL/R[7:0]	Y	Y	N/A	Y	N/A	9.7
Data Zero Detection Enable	08H	L, R	Y	Y	N/A	Y	N/A	9.8.1
Mono/Stereo Mode Selection	02H	MONO	Y	Y	Y	Y	Y	9.9
Data Invert Mode Selection	05H	INVL, INVR	Y	Y	Y	Y	Y	9.9
Data Selection of L Channel and R Channel	02H	SELLR	Y	Y	Y	Y	Y	9.9
DSD Mute Function @ Full Scale Detected	06H	DDM	N/A	Y	Y	Y	Y	9.8.2
Soft Mute	01H	SMUTE	Y	Y	Y	Y	Y	9.12
RSTN	00H	RSTN	Y	Y	Y	Y	Y	9.15.3
Clock Synchronization Function	07H	SYNCE	Y	N/A	N/A	Y	Y	9.16
Automatic Mode Switching (PCM/DSD mode)	15H	ADPE	Y	Y	Y	N/A	N/A	9.10
Automatic Mode Switching (PCM/DoP mode)	16H	ADOPE	N/A	N/A	N/A	Y	Y	9.11

Note 1. Oct Speed ModeおよびHex Speed Mode設定時は、Super slow roll-off filter固定になります。

Note 2. Normal Speed Modeのみ有効。

6. クロック周波数およびピンレジスタ設定切り替え時の推奨処置

AK4462は、PDN pinによるパワーダウン、MCLK停止またはPW bitによるスタンバイ、RSTN bitによるリセットといった動作休止機能があります([Table 6](#))。

Table 6. Power Down, Standby, and Reset function (x: do not care)

ステート	PDN pin	MCLK供給	PW bit	RSTN bit	Analog Output
パワーダウン	L	x	x	x	Hi-Z
スタンバイ	H	なし	x	x	Hi-Z
	H	あり	0	x	Hi-Z
リセット	H	あり	1	0	(VREFH + VREFL)/2
通常動作	H	あり	1	1	Signal output

本章では、AK4462の入クロック周波数、制御ピンおよびレジスタ設定を切り替える際に、AK4462がどのステートにあればいいかを記述します。

6.1. クロック周波数の切り替え(ピンレジスタコントロールモード共通)

[Table 7](#)に、クロック周波数の切り替え時に許容されるステートを記載します。

Table 7. クロック周波数切り替え時に許容されるステート
(Y: 切り替え可 N/A: 切り替え不可)

Clock	パワー ダウン	スタンバイ	リセット	通常動作	Notes
MCLK frequency	Y	Y	Y	N/A	-
BICK frequency	Y	Y	Y	N/A	Note 3 Note 4
LRCK frequency	Y	Y	Y	N/A	Note 3 Note 4
DCLK frequency	Y	Y	Y	N/A	Note 4

Note 3. BICK, LRCK周波数は、ACKS bit = "0"設定時、スタンバイまたはリセット状態で変更する必要があります。ACKS bit = "1" 設定時、通常動作時に周波数変更可能ですが、異音が発生することがあります。異音を回避するためには、外部ミュート回路を利用してください。

Note 4. 自動切り替え機能利用時 (ADPE bit = "1" またはADOPE bit = "1")、D/A変換モードの切り替えを行う際は、クロック周波数変更に伴うリセットは必ずしも必要ではありません。データシート9.10項および9.11項に記載される手順に従って切り替えを行ってください。

6.2. 制御ピン切り替え (ピンコントロールモード)

[Table 8](#)に、ピンコントロールモード時の各ピン設定を切り替える際に許容されるステートを記載します。

Table 8. ピン設定切り替え時に許容されるステート (ピンコントロールモード時)
(Y: 切り替え可 N/A: 切り替え不可)

Pin	パワー ダウン	スタンバイ	通常動作	Notes
DIF	Y	Y	N/A	-
TDM0/1	Y	Y	N/A	-
SMUTE	Y	Y	Y	-

6.3. レジスタ設定切り替え（レジスタコントロールモード、3線シリアル/I²Cバス共通）

Table 9に、レジスタコントロールモード時、レジスタ設定を切り替える際に許容されるステータスを記載します。

Table 9. レジスタ設定切り替え時に許容されるステータス（レジスタコントロールモード時）
(Y: 切り替え可 N/A: 切り替え不可)

Register	スタンバイ	リセット	通常動作	Notes
DIF[2:0]	Y	Y	N/A	-
ACKS	Y	Y	N/A	-
SMUTE	Y	Y	Y	-
DEM[1:0]	Y	Y	Y	Note 5
DFS[2:0]	Y	Y	N/A	-
SD, SLOW, SSLOW	Y	Y	N/A	Note 6
SELLR	Y	Y	Y	Note 5
DZFB	Y	Y	Y	-
MONO	Y	Y	Y	Note 5
DCKB	Y	Y	N/A	-
DCKS	Y	Y	N/A	-
DP	Y	Y	N/A	-
ATTL[7:0], ATTR[7:0]	Y	Y	Y	-
INVL, INVR	Y	Y	Y	Note 5
DSDSEL[1:0]	Y	Y	N/A	-
DSDD	Y	Y	N/A	-
DDMT	Y	Y	N/A	-
DDMOE	Y	Y	Y	-
DDM	Y	Y	N/A	-
SYNCE	Y	Y	N/A	-
L, R	Y	Y	Y	-
DSDF	Y	Y	Y	Note 5
SDS[2:0]	Y	Y	Y	Note 5
TDM[1:0]	Y	Y	N/A	-
ATS[1:0]	Y	Y	Y	Note 7
ADPT[1:0]	Y	Y	N/A	-
ADPE	Y	Y	N/A	-
ADOPE	Y	Y	N/A	-
DMMI	Y	Y	N/A	-
DOP	Y	Y	N/A	-
DOPSEL[1:0]	Y	Y	N/A	-
DSDMARKERE/O	Y	Y	N/A	-

Note 5. 通常動作状態で切り替えを行う場合は、切り替え時の異音を回避するため、ゼロデータ入力時、またはSMUTE bit = “1”によるソフトミュート状態での切り替えを推奨します。

Note 6. デジタルフィルタの設定変更時に異音が発生することがあります。外部ミュート回路で異音を回避できる場合、通常動作時の設定変更は可能です。

Note 7. SMUTE bit, ATTL[7:0] bitsおよびATTR[7:0] bits切り替えによる遷移中には、ATS[1:0] bitは変更しないでください。

7. 各再生モードでのレイテンシについて

レイテンシは、入力されたデジタルデータが、アナログ信号として出力されるまでにかかる内部処理時間です。

7.1. PCM mode

PCM mode時のレイテンシは、16/20/24/32ビットのインパルスデータが入力レジスタにセットされてから、アナログ信号のピークが出力されるまでの時間です([Figure 2](#))。PCM mode時のレイテンシは、下記に示す群遅延と演算遅延の合計になります。

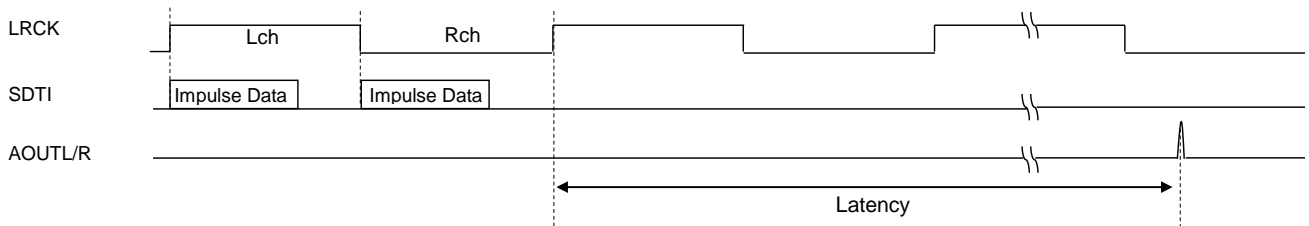


Figure 2. PCM modeレイテンシ

PCM modeでは、デジタルフィルタの設定に従い、[Table 10](#)のような群遅延が発生します。

Table 10. Group Delay (@PCM mode)

SSLOW bit	SD bit	SLOW bit	Mode	Group Delay (Note 8)
0	0	0	Sharp roll-off filter	26.8/fs
0	0	1	Slow roll-off filter	6.3/fs
0	1	0	Short delay sharp roll-off filter	5.8/fs
0	1	1	Short delay slow roll-off filter	4.8/fs
1	0	x	Super slow roll-off filter	1.0/fs–2.5/fs (Note 9)
1	1	x	Low dispersion short delay filter	10.5/fs

(default)

Note 8. Oct Speed ModeおよびHex Speed modeでは、SSLOW/SD/SLOW bitの設定にかかわらず Super Slow roll-off filterが選択されます。

Note 9. Super Slow roll-off filter時のGroup DelayはNormal Speed Mode時に1.0/fsです。サンプリングスピードの設定に応じて1.0/fs–2.5/fs の範囲で変化します。

PCM/DSD自動切り替え機能使用時(ADPE bit = “1”)は、デバイス内部の演算処理により、18/fsの遅延が発生します([Table 11](#))。

Table 11. ADPEにより生じる演算遅延 (@PCM mode)

ADPE bit	演算遅延
0	0/fs
1	18/fs

(default)

また、PCM modeでは、データインターフェースのデータ取り込み時に、取り込みのタイミングによる遅延誤差が発生します。遅延誤差の値は、同期化機能 (SYNCE bit)の設定により異なります([Table 12](#))。

Table 12. データインターフェースの遅延誤差 (@PCM mode)

SYNCE bit	遅延誤差
0	$<\pm 1/fs$
1	$<\pm 0.3 \mu s$

(default)

(例) PCM mode, $f_s = 44.1 \text{ kHz}$, Sharp Roll-off filter, ADPE bit = "1", SYNCE bit = "0"の場合のレイテンシ

$$\text{Latency} = (26.8 + 18 \pm 1)/f_s = (44.8 \pm 1)/f_s = 1016 \pm 23 \mu s$$

7.2. DSD mode

DSD mode時のレイテンシは、DSD64 mode時におよそ8 μs で、動作レート等により多少変動します。

ただし、DSDフルスケール検出時出力OFF機能使用時(DDM bit = "1")は、DDMT bitの設定に従って、[Table 13](#)に記載するレジスタ遅延が発生します。

Table 13. レジスタ遅延 (@DSD mode, x: Do not Care)

DDM bit	DDMT bit	レジスタ遅延
0	x	0
1	0	264 DCLK cycle
1	1	136 DCLK cycle

(default)

(例) DSD64(DCLK = 2.8224 MHz), DSDF bit = "0", DDM bit = "1", DDMT bit = "0"の場合のレイテンシ

$$\text{Latency} = 8 \mu s + 264 \text{ DCLK} = 102 \mu s$$

7.3. DoP mode

DoP mode時のレイテンシは、インパルスデータが入力レジスタにセットされてから、アナログ信号のピークが出力されるまでの時間です([Figure 3](#))。DoP mode時のレイテンシは、下記に示す群遅延と演算遅延の合計になります。

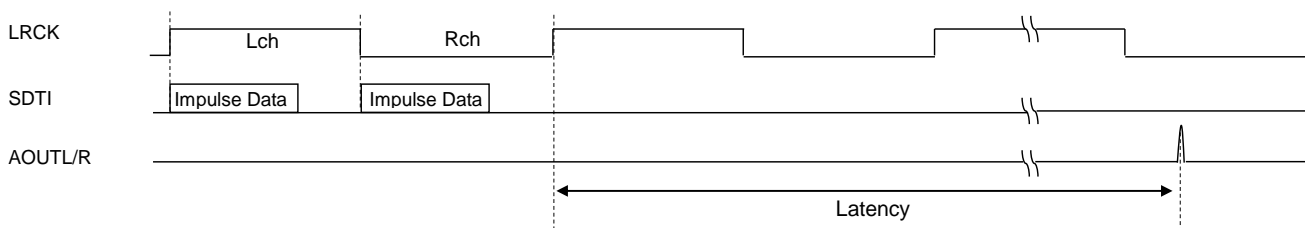


Figure 3. DoP mode レイテンシ

DoP modeでは、DSDF bitの設定に従い、[Table 14](#)のような群遅延が発生します。

Table 14. Group Delay (@DoP mode)

DSDF	Group Delay
	DoP64/128/256
0	2.4 LRCK cycle
1	1.9 LRCK cycle

(default)

DSDフルスケール検出時出力OFF機能使用時(DDM bit = “1”)は、DDMT bitの設定に従って、Table 15に記載するレジスタ遅延が発生します。

Table 15. レジスタ遅延 (@DoP mode)

DDM bit	DDMT bit	レジスタ遅延
0	x	0
1	0	16.5 LRCK cycle
1	1	8.5 LRCK cycle

(default)

また、DoP modeでは、データインターフェースのデータ取り込み時に、取り込みのタイミングによる遅延誤差が発生します。遅延誤差は同期化機能 (SYNCE bit)の設定により異なります(Table 16)。

Table 16. データインターフェースでの遅延誤差 (@DoP mode)

SYNCE bit	遅延誤差
0	<±1 LRCK cycle
1	<±0.3 μs

(default)

(例) DoP64 (BCLK = 2.8224 MHz, LRCK = 176.4 kHz), DSDF bit = “0”, DDM bit = “1”, DDMT bit = “0”, SYNCE bit = “0”の場合のレイテンシ

$$\text{Latency} = (2.4 + 16.5 \pm 1) \text{ LRCK cycle} = 107 \pm 6 \mu\text{s}$$

8. アナログ出力後段回路の設計

8.1. DC負荷抵抗の算出

アナログ出力ピン(AOUTP,AOUTN)後段の差動可算回路は、そのDC負荷抵抗 R_L が、データシート8.1項に記載の"Load Condition"の仕様を守るように設計する必要があります。 R_L は、出力とシステムのアナロググランドの間に介在する実効的な抵抗値です(Figure 4)。本項では、Figure 5に示すような差動可算回路を例に、DC負荷抵抗の算出方法を説明します。

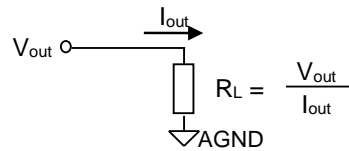


Figure 4. R_L 模式図

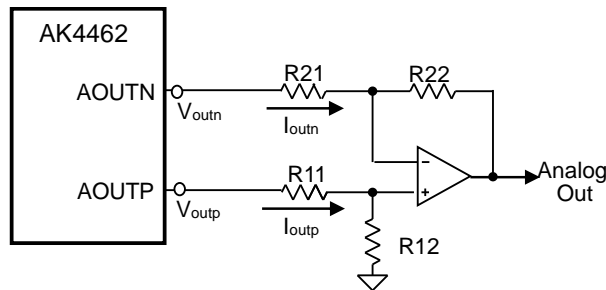


Figure 5. 差動可算回路例

R_L は、フルスケール電流出力時の I_a と、その時のAOUTピン出力電圧 V_a から、 $R_L = V_a / I_a$ で求められます(Figure 6)。AK4462の正常動作のためには、AOUTP pinに見えるDC負荷抵抗 R_{Lp} と、AOUTN pinに見えるDC負荷抵抗 R_{Ln} の両方が仕様値($R_L \geq 1.4 \text{ k}\Omega$)を満たす必要があります。

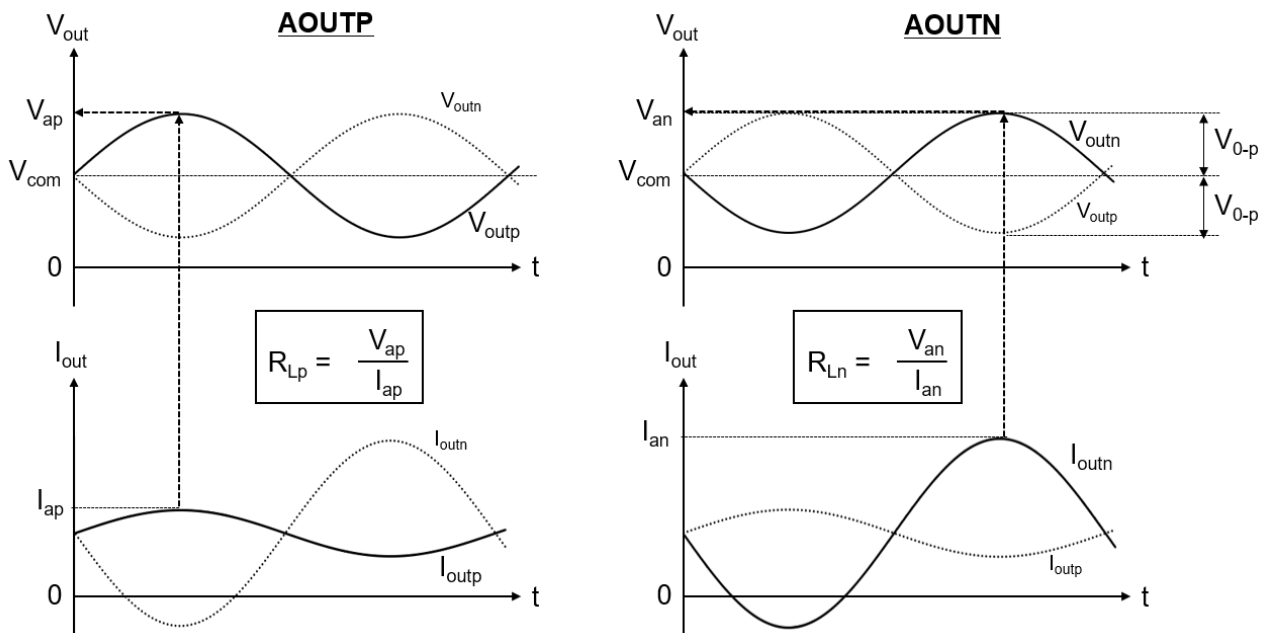


Figure 6. Figure 5 回路図における R_{Lp} および R_{Ln}

Figure 5 の回路例で、AOUTP pin における DC 負荷抵抗 R_{Lp} は、

$$R_{Lp} = \frac{V_{ap}}{I_{ap}} = R_{11} + R_{12}$$

また、AOUTN pin における DC 負荷抵抗 R_{Ln} は、

$$R_{Ln} = \frac{V_{an}}{I_{an}} = \frac{(V_{com} + V_{0-p})(R_{11} + R_{12})R_{21}}{R_{11}V_{com} + (R_{11} + 2R_{12})V_{0-p}}$$

ただし、

$$V_{COM} = 0.5(VREFH - VREFL)$$

$$V_{0-p} = 0.28(VREFH - VREFL)$$

8.2. フィルタ設計

Figure 7に示すような、2次ローパスフィルタの各パラメータ算出式を記載します。

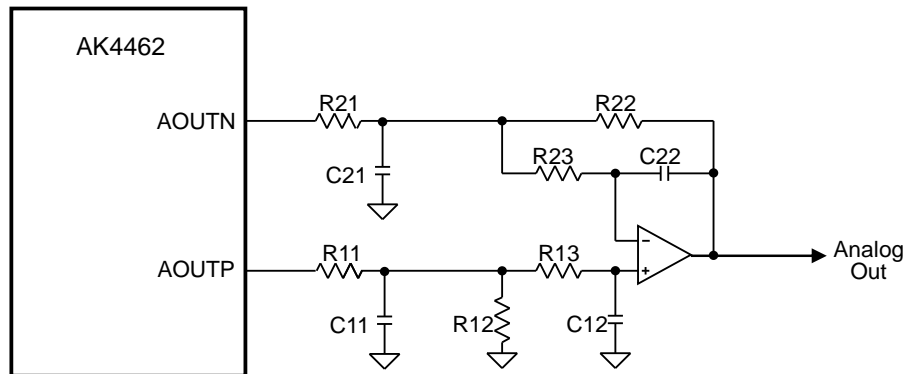


Figure 7. 2次ローパスフィルタ構成例

$$DC\ Gain = \frac{0.5(R_{21}R_{12} + R_{11}R_{22}) + R_{12}R_{22}}{R_{21}(R_{11} + R_{12})}$$

$$f_{cp} = \frac{\omega_{0p}}{2\pi}, \quad f_{cn} = \frac{\omega_{0n}}{2\pi}$$

$$\omega_{0p} = \frac{1}{\sqrt{C_{11}C_{12}R_{12}R_{13}}}, \quad \omega_{0n} = \frac{1}{\sqrt{C_{21}C_{22}R_{22}R_{23}}}$$

$$Q_p = \frac{C_{11}\omega_{0p}}{\frac{1}{R_{11}} + \frac{1}{R_{12}} + \frac{1}{R_{13}}}, \quad Q_n = \frac{C_{21}\omega_{0n}}{\frac{1}{R_{21}} + \frac{1}{R_{22}} + \frac{1}{R_{23}}}$$

$$R_{Lp} = \frac{V_{ap}}{I_{ap}} = R_{11} + R_{12}$$

$$R_{Ln} = \frac{V_{an}}{I_{an}} = \frac{(V_{com} + V_{0-p})(R_{11} + R_{12})R_{21}}{R_{11}V_{com} + (R_{11} + 2R_{12})V_{0-p}}$$

9. 改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
20/08/17	01	初版		
20/09/1	02	誤記修正	9	Table 9 DSDD bit 通常動作時 “Y”→“N/A”
		記述追加	9	Table 9 L/R bit に関する記述を追加
		記述追加	10	Table 10 Note 9追加

重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替および外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。

Rev. 1