



= Preliminary =

# AK4499

## Premium Switched Resistor 4ch DAC

### 1. 概要

AK4499は新開発した歪低減技術と低ノイズ設計により業界最高水準の低歪・低ノイズ特性を実現した32-bit 4ch Switched Resistor DACです。最大768 kHzのPCM入力とDSD512入力に対応しているため、ネットワークオーディオ、USB-DAC、カーオーディオシステム等で普及の進むハイレゾリューション音源の再生に最適です。また、広い信号帯域・低帯域外ノイズ特性を実現し、6種類の32-bit Digital Filterを内蔵しているため、様々なアプリケーションで柔軟かつ容易に音質作りが可能です。

### 2. 特長

- 4ch Switched Resistor DAC
- THD+N: -124 dB
- Dynamic Range, S/N: 140 dB @Mono (137 dB @Stereo, 134 dB @4ch)
- 128倍オーバーサンプリング
- サンプリングレート: 8 kHz ~ 768 kHz
- 32ビット8倍デジタルフィルタ
  - ショートディレイシャープロールオフ, GD = 6.0/fs
  - ショートディレイスローロールオフ, GD = 5.0/fs
  - シャープロールオフ
  - スローロールオフ
  - スーパースローロールオフ
  - 低分散ショートディレイフィルタ
- DSD64, DSD128, DSD256, DSD512入力対応
  - Filter1 (fc = 37 kHz @DSD64 mode)
  - Filter2 (fc = 65 kHz @DSD64 mode)
- 32, 44.1, 48 kHz対応デジタルディエンファシス内蔵
- ソフトミュート
- デジタルアッテネータ(0 dB ~ -127 dB, 0.5 dB step + mute)
- Mono Mode
- 外部デジタルフィルタ インタフェース (EXDF mode)
- PCM/DSD, EXDF/DSD モード自動切り替え機能
- オーディオI/Fフォーマット
  - 前詰め
  - 後詰め
  - I<sup>2</sup>S
  - DSD
  - TDM
- Daisy Chain
- マスタクロック
  - fs = 8 kHz ~ 32 kHz: 256 fs, 384 fs, 512 fs, 768 fs, 1152 fs
  - fs = 32 kHz ~ 54 kHz: 256 fs, 384 fs, 512 fs, 768 fs
  - fs = 54 kHz ~ 108 kHz: 256 fs, 384 fs
  - fs = 108 kHz ~ 216 kHz: 128 fs, 192 fs
  - fs = 384 kHz : 32 fs, 48 fs, 64 fs, 96 fs
  - fs = 768 kHz : 16 fs, 32 fs, 48 fs, 64 fs
- 3-wire Serial and I<sup>2</sup>C μP I/F
- ピンコントロールモード対応

- 電源電圧:  
LDO使用時(LDOE pin = “H”); TVDD = 3.0~3.6 V, AVDD = 4.75~5.25 V,  
VDDL1/R1/L2/R2 = 4.75~5.25 V  
LDO不使用時(LDOE pin = “L”);TVDD = 1.7~3.6 V, DVDD = 1.7~1.98 V,  
AVDD = 4.75~5.25 V, VDDL1/R1/L2/R2 = 4.75~5.25 V
- 動作環境温度 : -40~85 °C
- デジタル入力レベル: CMOS
- パッケージ: 128-pin HTQFP



3. ブロック図と機能説明

3.1. ブロック図

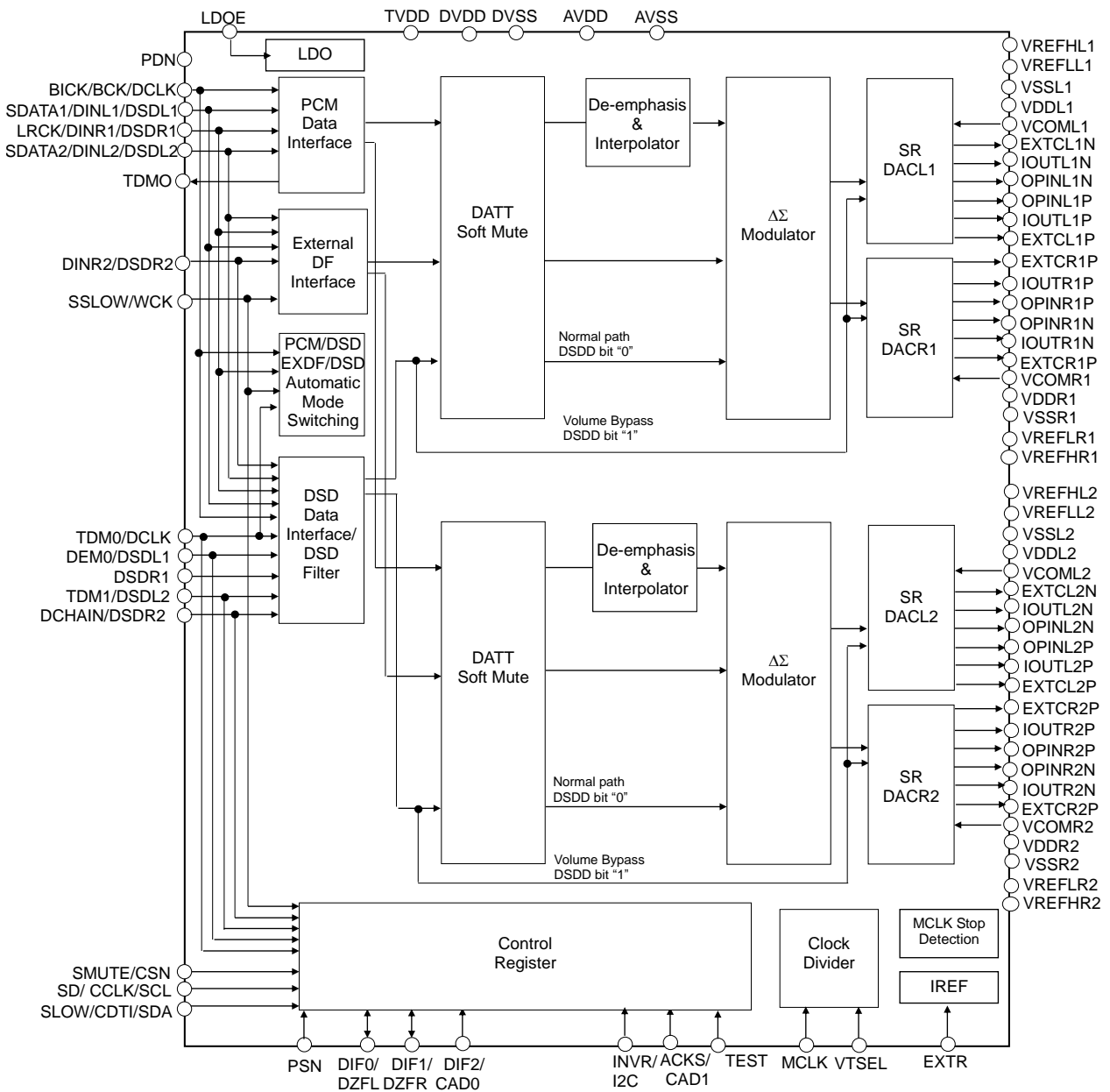


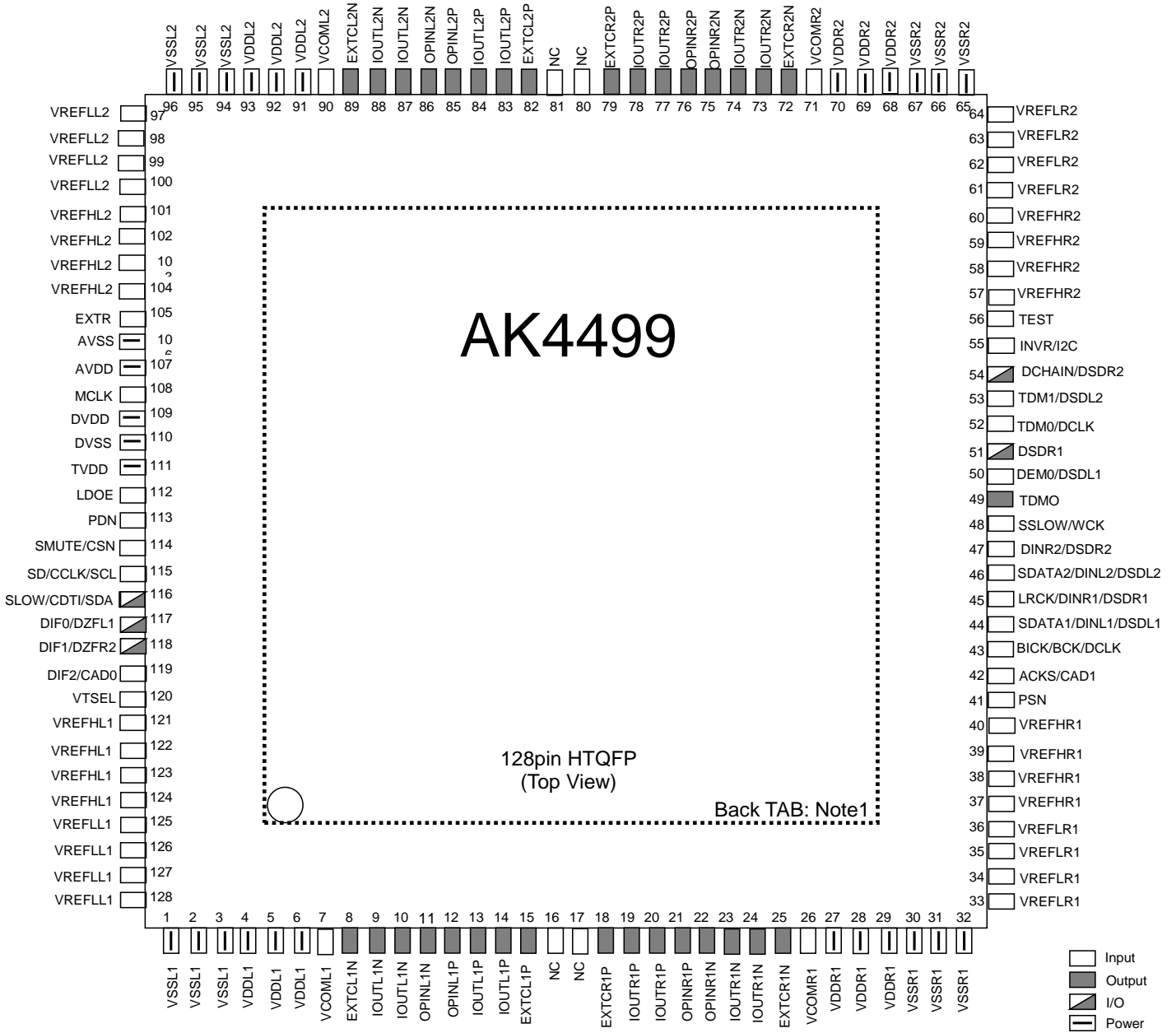
Figure 1. Block Diagram

## 3.2. 機能説明

ブロック	機能
PCM Data Interface	LRCK、BICK に同期して、SDATA1/2 pins より入力されるオーディオデータをシリアル/パラレル変換し、内部に取り込む。また、TDM 出力データを生成する。
External DF Interface	外部のデジタルフィルタ出力を取り込む。BCK に同期して DINL1/2 pins, DINR1/2 pins より、オーディオデータが入力されたデータをシリアル/パラレル変換し、内部に取り込む。
DSD Data Interface	DCLK に同期して DSDL1/2 pins, DSDR1/2 pins より入力される 1-bit Data を取り込む。
DSD Filter	DSD の入力データの高周波ノイズを低減する FIR フィルタ。
DATT, Soft Mute	入力されたデータにデジタルアッテネーション、ソフトミュートの処理を行う。
De-emphasis & Interpolator	入力されたデータに De-emphasis の処理を行い、オーバーサンプリングするデジタルフィルタ。
$\Delta\Sigma$ Modulator	3 次デジタル $\Delta\Sigma$ Modulator で構成され、SR DAC にマルチビットデータを出力する。
SR DAC	$\Delta\Sigma$ Modulator のマルチビット出力をアナログ信号に変換する Switched Resistor DAC で構成されている。
Control Register	3 線式 (CSN,CCLK,CDTI), I <sup>2</sup> C バスコントロール(SCL,SDA)でアクセスする。各モードの設定を保持する。
Clock Divider	MCLK を入力する。PCM mode では LRCK と MCLK の周波数比を検出し、MCLK を自動で分周する。DSD mode では DCKS bit で MCLK 周波数を設定する。
MCLK Stop Detection	MCLK の供給停止状態を検出する。
IREF	内部で生成したリファレンス電圧と、外付けの抵抗から基準電流を生成する。
LDO	内部デジタル回路用電源(1.8Vtyp)を生成する。

4. ピン配置と機能説明

4.1. ピン配置



Note 1: Tabは基板のグラウンド(AVSS)に接続してください。

## 4.2. 機能説明

No.	Pin Name	I/O	Function	Power Down State
1-3	VSSL1	-	L1ch Analog Ground Pin.	-
4-6	VDDL1	-	L1ch Analog Power Supply Pin.	-
7	VCOML1	I	L1ch VCOM pin. VCOML1 is connected to the middle point of resistors between VREFHL1 and VREFL1.	Hi-Z
8	EXTCL1N	O	External Capacitor Connect Pin. This pin should be connected to 1 $\mu$ F to VSSL1.	Pull-down to VSSL1 (250 k $\Omega$ , typ)
9,10	IOUTL1N	O	Current Output Pin (L1ch Negative Signal).	Connected to OPINL1N (64 $\Omega$ , typ)
11	OPINL1N	O	Common Voltage Input Pin (L1ch Negative Signal).	Connected to IOUTL1N (64 $\Omega$ , typ)
12	OPINL1P	O	Common Voltage Input Pin (L1ch Positive Signal).	Connected to IOUTL1P (64 $\Omega$ , typ)
13,14	IOUTL1P	O	Current Output Pin (L1ch Positive Signal).	Connected to OPINL1P (64 $\Omega$ , typ)
15	EXTCL1P	O	External Capacitor Connect Pin. This pin should be connected to 1 $\mu$ F to VSSL1.	Pull-down to VSSL1 (250 k $\Omega$ , typ)
16,17	NC	-	No internal bonding. Connect to AVSS.	-
18	EXTCR1P	O	External Capacitor Connect Pin. This pin should be connected to 1 $\mu$ F to VSSR1.	Pull-down to VSSR1 (250 k $\Omega$ , typ)
19,20	IOUTR1P	O	Current Output Pin (R1ch Positive Signal).	Connected to OPINR1P (64 $\Omega$ , typ)
21	OPINR1P	O	Common Voltage Input Pin (R1ch Positive Signal).	Connected to IOUTR1P (64 $\Omega$ , typ)
22	OPINR1N	O	Common Voltage Input Pin (R1ch Negative Signal).	Connected to IOUTR1N (64 $\Omega$ , typ)
23,24	IOUTR1N	O	Current Output Pin (R1ch Negative Signal).	Connected to OPINR1N (64 $\Omega$ , typ)
25	EXTCR1N	O	External Capacitor Connect Pin. This pin should be connected to 1 $\mu$ F to VSSR1.	Pull-down to VSSR1 (250 k $\Omega$ , typ)
26	VCOMR1	I	R1ch VCOM pin. VCOMR1 is connected to the middle point of resistors between VREFHR1 and VREFLR1.	Hi-Z
27-29	VDDR1	-	R1ch Analog Power Supply Pin.	-
30-32	VSSR1	-	R1ch Analog Ground Pin.	-
33-36	VREFLR1	I	R1ch Low Level Reference Voltage Input Pin.	Hi-Z
37-40	VREFHR1	I	R1ch High Level Reference Voltage Input Pin.	Hi-Z
41	PSN	I	Control Mode Select Pin (Internal pull-up pin) “L”: Register Control Mode “H”: Pin Control Mode	Pull-Up to TVDD (100 k $\Omega$ , typ)

No.	Pin Name	I/O	Function	Power Down State
42	ACKS	I	Clock Setting Mode Select Pin in Pin Control Mode "L": Fixed Speed Mode "H": Auto Setting Mode	Hi-Z
	CAD1	I	Chip Address 1 Pin in Register Control Mode	
43	BICK	I	Audio Serial Data Clock Pin in PCM Mode	Hi-Z
	BCK	I	Audio Serial Data Clock Pin in EXDF Mode	
	DCLK	I	DSD Clock Pin in DSD Mode (@DSDPATH bit = "1")	
44	SDATA1	I	Audio Serial Data Input Pin in PCM Mode	Hi-Z
	DINL1	I	Audio Serial Data Input Pin in EXDF Mode	
	DSDL1	I	Audio Serial Data Input Pin in DSD Mode (@DSDPATH bit = "1")	
45	LRCK	I	Input Channel Clock Pin in PCM Mode	Hi-Z
	DINR1	I	Audio Serial Data Input Pin in EXDF Mode	
	DSDR1	I	Audio Serial Data Input Pin in DSD Mode (@DSDPATH bit = "1")	
46	SDATA2	I	Audio Serial Data Input Pin in PCM Mode	Hi-Z
	DINL2	I	Audio Serial Data Input Pin in EXDF Mode	
	DSDL2	I	Audio Serial Data Input Pin in DSD Mode (@DSDPATH bit = "1")	
47	DINR2	I	Audio Serial Data Input Pin in EXDF Mode	Hi-Z
	DSDR2	I	Audio Serial Data Input Pin in DSD Mode (@DSDPATH bit = "1")	
48	SSLOW	I	Digital Filter Select Pin in Pin Control Mode	Hi-Z
	WCK	I	Word Clock input pin in EXDF Mode	
49	TDMO	O	Audio Serial Data Output in Daisy Chain mode (Internal pull-down pin)	Pull-down to DVSS (100 kΩ, typ)
50	DEM0	I	De-emphasis Enable Pin in Pin Control Mode	Hi-Z
	DSDL1	I	Audio Serial Data Input Pin in DSD Mode (@DSDPATH bit = "0")	
51	DSDR1	I	Audio Serial Data Input Pin in DSD Mode (@DSDPATH bit = "0")	Hi-Z
52	TDM0	I	TDM Mode select 0 pin in Pin control mode.	Hi-Z
	DCLK	I	DSD Clock Pin in DSD Mode (@DSDPATH bit = "0")	
53	TDM1	I	TDM Mode select 1 pin in Pin control mode.	Hi-Z
	DSDL2	I	Audio Serial Data Input Pin in DSD Mode (@DSDPATH bit = "0")	
54	DCHAIN	I	Daisy Chain Mode select pin in Pin control mode.	Hi-Z
	DSDR2	I	Audio Serial Data Input Pin in DSD Mode (@DSDPATH bit = "0")	
55	INVR	I	R1/2ch signal Invert Pin in Pin Control Mode	Hi-Z
	I2C	I	Register Control Interface Select Pin in Register Control Mode. "L": 3-wire serial Register control mode. "H": I <sup>2</sup> C Bus Register control mode or Pin control mode.	
56	TEST	I	Connect to DVSS (Internal pull-down pin)	Pull-down to DVSS (100 kΩ, typ)

No.	Pin Name	I/O	Function	Power Down State
57-60	VREFHR2	I	R2ch High Level Reference Voltage Input Pin.	Hi-Z
61-64	VREFLR2	I	R2ch Low Level Reference Voltage Input Pin.	Hi-Z
65-67	VSSR2	-	R2ch Analog Ground Pin.	-
68-70	VDDR2	-	R2ch Analog Power Supply Pin.	-
71	VCOMR2	I	R2ch VCOM pin. VCOMR2 is connected to the middle point of resistors between VREFHR2 and VREFLR2.	Hi-Z
72	EXTCR2N	O	External Capacitor Connect Pin. This pin should be connected to 1 $\mu$ F to VSSR2.	Pull-down to VSSR2 (250 k $\Omega$ , typ)
73,74	IOUTR2N	O	Current Output Pin (R2ch Negative Signal).	Connected to OPINR2N (64 $\Omega$ , typ)
75	OPINR2N	O	Common Voltage Input Pin (R2ch Negative Signal).	Connected to IOUTR2N (64 $\Omega$ , typ)
76	OPINR2P	O	Common Voltage Input Pin (R2ch Positive Signal).	Connected to IOUTR2P (64 $\Omega$ , typ)
77,78	IOUTR2P	O	Current Output Pin (R2ch Positive Signal).	Connected to OPINR2P (64 $\Omega$ , typ)
79	EXTCR2P	O	External Capacitor Connect Pin. This pin should be connected to 1 $\mu$ F to VSSR2.	Pull-down to VSSR2 (250 k $\Omega$ , typ)
80,81	NC	-	No internal bonding. Connect to AVSS.	-
82	EXTCL2P	O	External Capacitor Connect Pin. This pin should be connected to 1 $\mu$ F to VSSL2.	Pull-down to VSSL2 (250 k $\Omega$ , typ)
83,84	IOUTL2P	O	Current Output Pin (L2ch Positive Signal).	Connected to OPINL2P (64 $\Omega$ , typ)
85	OPINL2P	O	Common Voltage Input Pin (L2ch Positive Signal).	Connected to IOUTL2P (64 $\Omega$ , typ)
86	OPINL2N	O	Common Voltage Input Pin (L2ch Negative Signal).	Connected to IOUTL2N (64 $\Omega$ , typ)
87,88	IOUTL2N	O	Current Output Pin (L2ch Negative Signal).	Connected to OPINL2N (64 $\Omega$ , typ)
89	EXTCL2N	O	External Capacitor Connect Pin. This pin should be connected to 1 $\mu$ F to VSSL2.	Pull-down to VSSL2 (250 k $\Omega$ , typ)
90	VCOML2	I	L2ch VCOM pin. VCOML2 is connected to the middle point of resistors between VREFHL2 and VREFLL2.	Hi-Z
91-93	VDDL2	-	L2ch Analog Power Supply Pin.	-
94-96	VSSL2	-	L2ch Analog Ground Pin.	-
97-100	VREFLL2	I	L2ch Low Level Reference Voltage Input Pin.	Hi-Z
101-104	VREFHL2	I	L2ch High Level Reference Voltage Input Pin.	Hi-Z
105	EXTR	I	External Resistor Connect Pin. This pin should be connected to 33 k $\Omega$ ( $\pm 1$ %) to AVSS.	Hi-Z
106	AVSS	-	Ground Pin	-
107	AVDD	-	Analog Power Supply Pin, 4.75 ~ 5.25 V	-



No.	Pin Name	I/O	Function	Power Down State
108	MCLK	I	Master Clock Input Pin	Hi-Z
109	DVDD	O	(LDOE pin = "H") LDO Output Pin. This pin should be connected to DVSS with 1.0 $\mu$ F. This pin is prohibited to connect other devices.	Pull-down to DVSS (xx k $\Omega$ , typ)
		-	(LDOE pin = "L") 1.8 V Power Supply Pin	-
110	DVSS	-	Ground Pin	-
111	TVDD	-	Digital Power Supply Pin, 3.0 V~3.6 V	-
112	LDOE	I	Internal LDO Enable Pin. "L": Disable, "H": Enable	Hi-Z
113	PDN	I	Power-Up, Power-Down Pin When at "L", the AK4499 is in Power-Down mode. The AK4499 must always be in Power-Down mode upon power on.	Hi-Z (PDN = "L")
114	SMUTE	I	When this pin is changed to "H", soft mute cycle is initiated. When returning to "L", the output mute releases.	Hi-Z
	CSN	I	Chip Select Pin in 3-wire serial Register Control Mode	
115	SD	I	Digital Filter Select Pin in Pin Control Mode	Hi-Z
	CCLK	I	Control Data Clock Pin in 3-wire serial Register Control Mode	
	SCL	I	Control Data Clock Input Pin in I <sup>2</sup> C Bus Register Control Mode	
116	SLOW	I	Digital Filter Select Pin in Pin Control Mode	Hi-Z
	CDTI	I	Control Data Input Pin in 3-wire serial Register Control Mode	
	SDA	I/O	Control Data Input Pin in I <sup>2</sup> C Bus Register Control Mode	
117	DIF0	I	Digital Input Format 0 Pin in Pin Control Mode	Pull-down to DVSS (100 k $\Omega$ , typ)
	DZFL	O	Lch Zero Input Detect Pin in Register Control Mode (Internal pull-down pin)	
118	DIF1	I	Digital Input Format 1 Pin in Pin Control Mode	Pull-down to DVSS (100 k $\Omega$ , typ)
	DZFR	O	Rch Zero Input Detect Pin in Register Control Mode (Internal pull-down pin)	
119	DIF2	I	Digital Input Format 2 Pin in Pin Control Mode	Hi-Z
	CAD0	I	Chip Address 0 Pin in Register Control Mode	
120	VTSEL	I	MCLK VIH/L Level Select Pin. VTSEL = "L"; VIH = 1.36 V, VIL = 0.34 V VTSEL = "H"; VIH = 2.2 V, VIL = 0.8 V	Hi-Z
121-124	VREFHL1	I	L1ch High Level Reference Voltage Input Pin.	Hi-Z
125-128	VREFLL1	I	L1ch Low Level Reference Voltage Input Pin.	Hi-Z
-	TAB	-	The TAB on the bottom surface of the package should be connected to AVSS.	-

Note 2: All input pins except internal pull-up/down pins must not be left floating.

Note 3: PSN pinでPin Control/Register Controlモードを切り替えた場合は、一旦PDN pinでパワーダウンして下さい。

Note 4: PCM mode, DSD mode, EXDF modeの設定はレジスタで行います。

**重要な注意事項**

0. 本書に記載された弊社製品（以下、「本製品」といいます。）、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替および外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。

**旭化成エレクトロニクス製品のご検討ありがとうございます。**

**より詳しい資料を用意しておりますので、お手数ですが弊社営業担当、あるいは弊社特約店営業担当までお申し付けください。**