

for Wonderful Cruising

Safe + Comfortable Cabin

AK7604

2chADC+6chDAC+8chSRC内蔵AudioDSP

1. 概要

AK7604はマイクアンプと入力セレクタ付きの24bitステレオADC、6chの24bit DAC、サンプリング周波数192kHzまで対応の4系統ステレオSRC、Audio DSPを内蔵したシグナルプロセッサです。DSPは2560step/fs (48kHzサンプリング時)の並列演算能力を持ちます。RAMベースDSPのため、プログラムを書き換えることで、ユーザの要望に合わせた音響処理を実現させることができます。48-pin LQFPパッケージに実装されます。

2. 特長

□ Audio DSP部:

- データ幅: 28bit (略式浮動小数点对応)
- マシンサイクル: 最速8.1ns (2560fs, fs=48kHz時)
- 乗算器: 24 x 24 → 48bit (倍精度演算可)
- 除算器: 24 / 24 → 24bit (浮動小数正規化機能付き)
- ALU: 64bit算術演算 (with 16bits overflow margin)
- プログラムRAM: 1024 word x 36bit
- 係数RAM: 1024 word x 24bit
- データRAM: 6144 word x 28bit
- JX pins (conditional branch control)

□ ADC部: マイクアンプと入力セレクタ付き24bitステレオADC

- サンプリング周波数: fs = 8kHz ~ 96kHz
- アナログ入力セレクタ: マイクアンプ付き差動orシングルエンド入力or疑似差動 x 1系統
シングルエンド入力 x 2系統
- チャンネル独立マイクアナログゲインアンプ付き (0~18dB(2dB Step), 18~36dB(3dB Step))
- アナログ特性 S/N: 106dB (fs=48kHz、差動入力、マイクゲイン=0dB)
- チャンネル独立デジタルボリューム内蔵(24dB~-103dB, 0.5dB Step, Mute)
- DCオフセットキャンセル用デジタルHPF
- 低ノイズマイクバイアス電圧出力 x 2系統

□ DAC部: 24bit DAC

- 2ch x 3系統
- サンプリング周波数: fs = 8kHz ~ 96kHz
- シングルエンド出力
- アナログ特性 S/N: 108dB (fs=48kHz)
- チャンネル独立デジタルボリューム内蔵(12dB~-115dB, 0.5dB Step, Mute)

□ SRC部:

- 2ch x 4系統
- FSI = 8kHz ~ 192kHz, FSO = 8kHz ~ 192kHz (FSO/FSI = 0.167 ~ 6.0)

□ Digital Interfaces

- デジタル入力ポート x 4系統 (TDM対応 : 1系統)
- デジタル出力ポート x 3系統 (TDM対応 : 1系統)
- 独立LRCK/BICK入出力ポート x 3系統
- データフォーマット: 前詰め32, 24bit / 後詰め24, 20, 16bit / I²S
- PCM Short / Long Frame対応
- TDM入出力モード対応(Max:8ch / 256fs, fs=96kHz)

- PLL回路内蔵
- μ Pインタフェース: SPI(Max 6MHz) / I²C(400KHz Fast-Mode)
- 電源電圧:
 - Analog: AVDD: 3.0V ~ 3.6V (Typ. 3.3V)
 - Digital: LVDD: 3.0V ~ 3.6V (Typ. 3.3V) (3.3V → 1.2Vレギュレータ内蔵)
 - I/F VDD33: 3.0V ~ 3.6V (Typ. 3.3V)
 - TVDD: 1.7V ~ 3.6V (Typ. 3.3V)
- 動作温度範囲: Ta = -40 ~ 85°C
- パッケージ: 48-pin LQFP (7mm x 7mm, 0.5mm pitch)

3. 目次

1. 概要.....	1
2. 特長.....	1
3. 目次.....	3
4. ブロック図.....	4
■ 全体ブロック図.....	4
5. ピン配置と機能説明.....	5
■ ピン配置図.....	5
■ ピン機能説明.....	6
■ 使用しないピンの処理について.....	8
■ プルダウン抵抗付きピンの状態.....	8
■ パワーダウン時、出力ピンの状態.....	9
6. 絶対最大定格.....	10
7. 推奨動作条件.....	10
8. 電气的特性.....	11
■ アナログ特性.....	11
■ 消費電流.....	15
9. デジタルフィルタ特性.....	16
■ ADC部.....	16
■ DAC部.....	17
■ SRC部.....	21
10. DC特性.....	23
11. スイッチング特性.....	24
■ システムクロック.....	24
■ パワーダウン.....	24
■ シリアルデータインタフェース(SDIN1 ~ SDIN4, SDOUT1 ~ SDOUT3).....	25
■ SPIインタフェース.....	28
■ I ² Cインタフェース.....	30
12. 外部接続回路例.....	31
■ 接続図.....	31
■ 周辺回路.....	32
13. パッケージ.....	34
■ 外形寸法図.....	34
■ 材質・メッキ仕様.....	34
■ マーキング.....	35
14. オーダリングガイド.....	36
15. 改訂履歴.....	36
重要な注意事項.....	37

4. ブロック図

■ 全体ブロック図

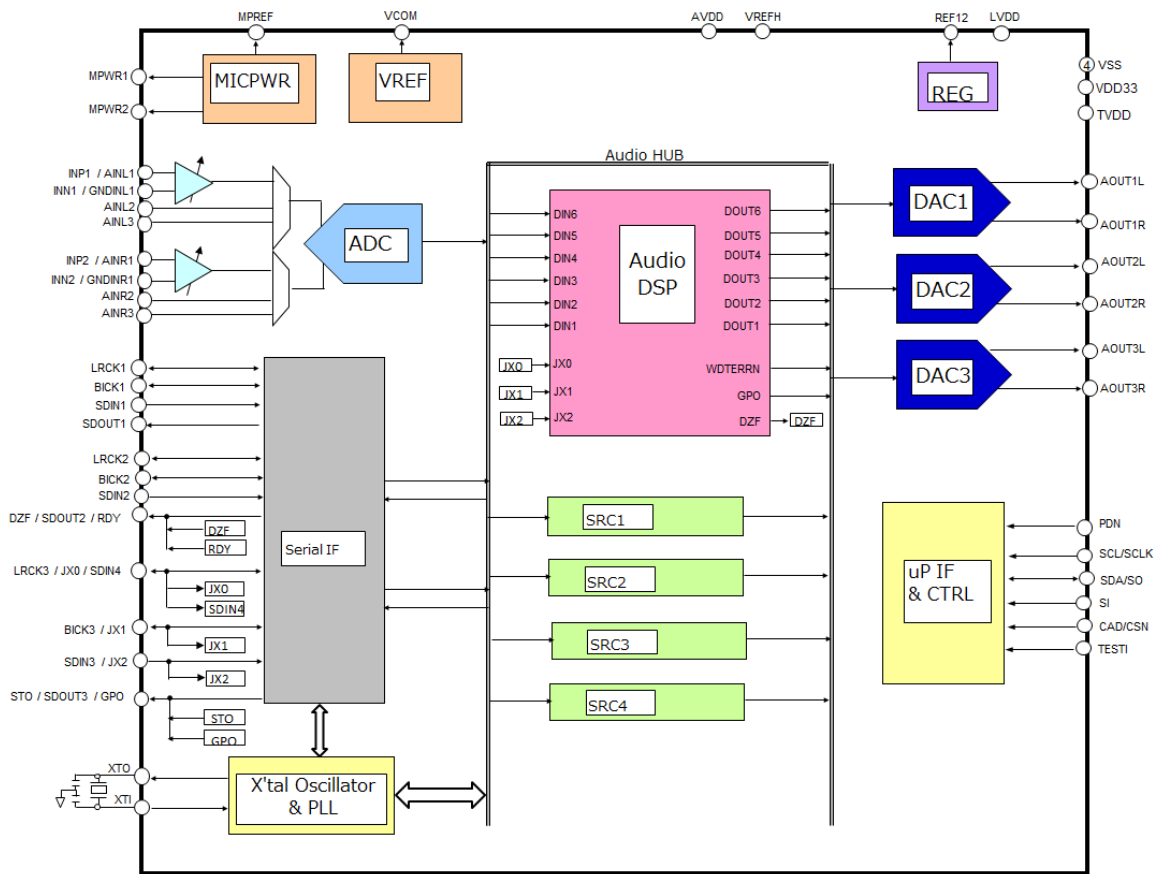
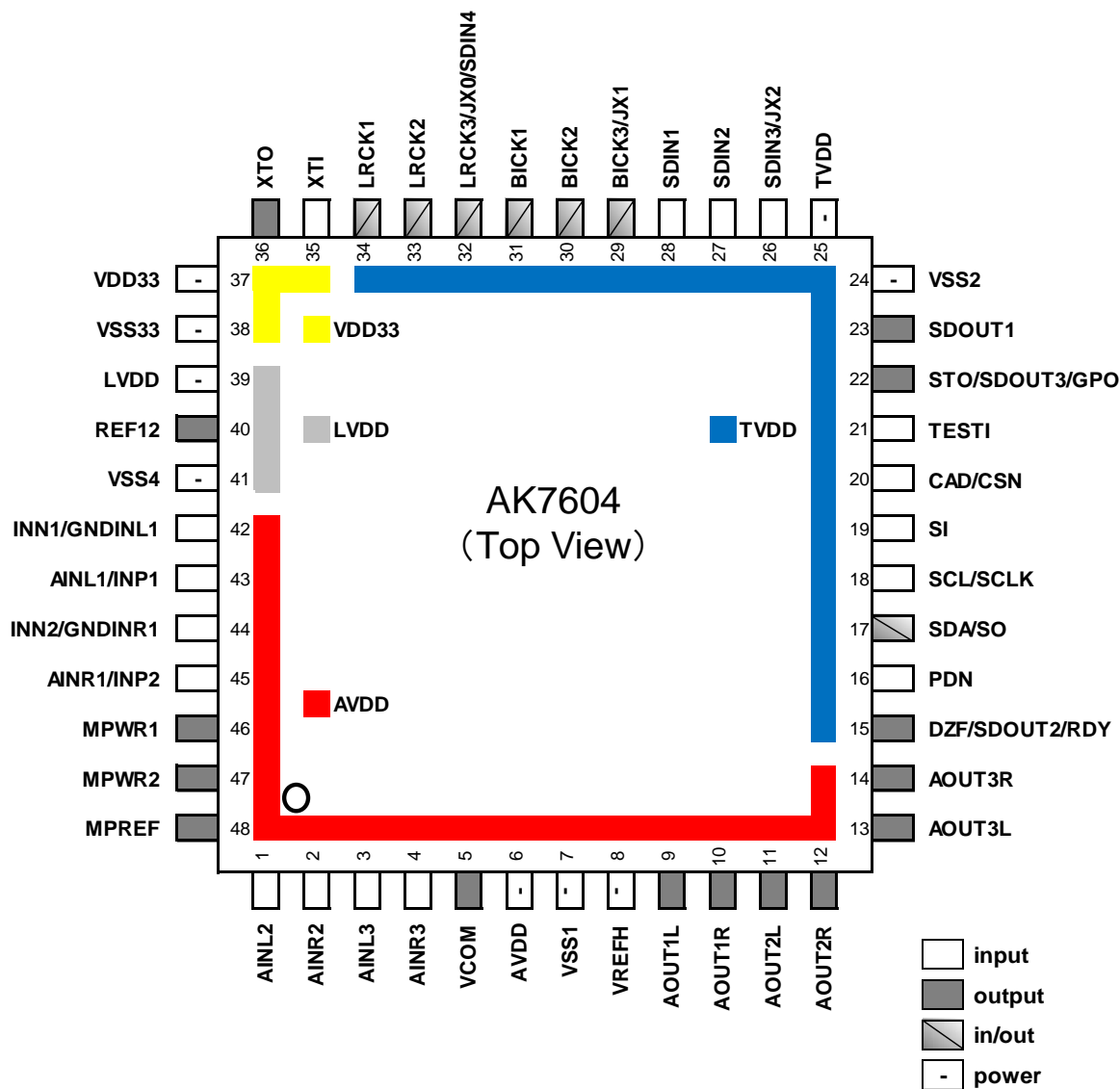


Figure 1. 全体ブロック図

5. ピン配置と機能説明

■ ピン配置図



■ ピン機能説明

No.	Pin Name	I/O	Function	供給電源
1	AINL2	I	ADC Lch シングルエンド入力 2 ピン	AVDD
2	AINR2	I	ADC Rch シングルエンド入力 2 ピン	AVDD
3	AINL3	I	ADC Lch シングルエンド入力 3 ピン	AVDD
4	AINR3	I	ADC Rch シングルエンド入力 3 ピン	AVDD
5	VCOM	O	アナログ部コモン電圧出力ピン ・ 2.2 μ F のセラミックコンデンサを VSS1 との間に接続してください。 ・ 外部回路には使用しないで下さい。 ・ パワーダウン時の出力は“L”です。	AVDD
6	AVDD	-	アナログ電源ピン 3.0~3.6V (Typ. 3.3V)	-
7	VSS1	-	グラウンド 1 ピン 0V	-
8	VREFH	I	アナログハイレベルリファレンス電圧入力ピン。 ・ AVDD と接続してください。	AVDD
9	AOUT1L	O	DAC1 Lch アナログ出力ピン ・ パワーダウン時の出力は“Hi-Z”です。	AVDD
10	AOUT1R	O	DAC1 Rch アナログ出力ピン ・ パワーダウン時の出力は“Hi-Z”です。	AVDD
11	AOUT2L	O	DAC2 Lch アナログ出力ピン ・ パワーダウン時の出力は“Hi-Z”です。	AVDD
12	AOUT2R	O	DAC2 Rch アナログ出力ピン ・ パワーダウン時の出力は“Hi-Z”です。	AVDD
13	AOUT3L	O	DAC3 Lch アナログ出力ピン ・ パワーダウン時の出力は“Hi-Z”です。	AVDD
14	AOUT3R	O	DAC3 Rch アナログ出力ピン ・ パワーダウン時の出力は“Hi-Z”です。	AVDD
15	DZF	O	Zero Detect ピン (DSP の GPO0 出力)	TVDD
	SDOUT2	O	シリアルデジタルデータ出力 2 ピン	
	RDY	O	RDY 信号出力ピン	
16	PDN	I	パワーダウンピン ・ AK7604 をパワーダウンするのに使用します。 ・ 電源立ち上げ時は“L”にしてください。	TVDD
17	SDA	I/O	I ² C インタフェース用シリアルデータ入出力ピン ・ パワーダウン時の出力は“Hi-Z”です。	TVDD
	SO	O	SPI インタフェース用シリアルデータ出力ピン ・ パワーダウン時の出力は“Hi-Z”です。 ・ プルアップ、又はプルダウンで使用してください。	TVDD
18	SCL	I	I ² C インタフェース用シリアルデータクロック入力ピン	TVDD
	SCLK	I	SPI インタフェース用シリアルデータクロック入力ピン	
19	SI	I	SPI インタフェース用シリアルデータ入力ピン	TVDD
20	CAD	I	I ² C インタフェース用バスアドレスピン ・ プルアップ、又はプルダウンで使用してください。	TVDD
	CSN	I	SPI インタフェース用のチップセレクトピン ・ パワーダウン状態、またはマイコンとの通信を行わない時は“H”にしてください。	

No.	Pin Name	I/O	Function	供給電源
21	TESTI	I	テスト入力ピン ・“L”にしてください。	TVDD
22	STO	O	ステータス信号出力ピン ・パワーダウン時の出力は“L”です。	TVDD
	SDOUT3	O	シリアルデジタルデータ出力 3 ピン	
	GPO	O	GPO 出力ピン (DSP の GPO1 出力)	
23	SDOUT1	O	シリアルデジタルデータ出力 1 ピン	TVDD
24	VSS2	-	グラウンド 2 ピン 0V	-
25	TVDD	-	デジタル IO 電源ピン 1.7~3.6V (typ.3.3V)	-
26	SDIN3	I	シリアルデジタルデータ入力 3 ピン	TVDD
	JX2	I	外部条件ジャンプ入力 2 ピン	TVDD
27	SDIN2	I	シリアルデジタルデータ入力 2 ピン	TVDD
28	SDIN1	I	シリアルデジタルデータ入力 1 ピン	TVDD
29	BICK3	I/O	シリアルビットクロック 3 ピン	TVDD
	JX1	I	外部条件ジャンプ入力 1 ピン	TVDD
30	BICK2	I/O	シリアルビットクロック 2 ピン	TVDD
31	BICK1	I/O	シリアルビットクロック 1 ピン	TVDD
32	LRCK3	I/O	LR チャンネル選択 3 ピン	TVDD
	JX0	I	外部条件ジャンプ入力 0 ピン	
	SDIN4	I	シリアルデジタルデータ入力 4 ピン	
33	LRCK2	I/O	LR チャンネル選択 2 ピン	TVDD
34	LRCK1	I/O	LR チャンネル選択 1 ピン	TVDD
35	XTI	I	発振回路入力ピン ・水晶振動子を使用する場合、水晶振動子を XTI pin と XTO pin に接続してください。 ・XTI pin を使用しない場合は、オープンにしてください。	VDD33
36	XTO	O	発振回路出力ピン ・水晶振動子を使用する場合、水晶振動子を XTI pin と XTO pin に接続してください。 ・水晶振動子を使用しない場合は、オープンにしてください。	VDD33
37	VDD33	-	デジタル IO 用 3.3V 電源ピン 3.3V (typ)	-
38	VSS3	-	グラウンド 3 ピン 0V	-
39	LVDD	-	デジタルコア電源ピン 3.0~3.6V (typ.3.3V)	
40	REF12	O	VREG 出力ピン ・2.2 μ F のセラミックコンデンサを VSS4 との間に接続してください。 ・外部回路には使用しないで下さい。	LVDD
41	VSS4	-	グラウンド 4 ピン 0V	-
42	INN1	I	ADC Lch 差動反転入力 1 ピン	AVDD
	GNDINL1	I	ADC Lch 疑似差動グラウンド入力 1 ピン	
43	INP1	I	ADC Lch 差動非反転入力 1 ピン	AVDD
	AINL1	I	ADC Lch シングルエンド入力/疑似差動入力 1 ピン	
44	INN2	I	ADC Rch 差動反転入力 2 ピン	AVDD
	GNDINR1	I	ADC Rch 疑似差動グラウンド入力 1 ピン	
45	INP2	I	ADC Rch 差動非反転入力 2 ピン	AVDD
	AINR1	I	ADC Rch シングルエンド入力/疑似差動入力 1 ピン	

No.	Pin Name	I/O	Function	供給電源
46	MPWR1	○	マイク用電源出力 1 ピン ・パワーダウン時の出力は“Hi-Z”です。	AVDD
47	MPWR2	○	マイク用電源出力 2 ピン ・パワーダウン時の出力は“Hi-Z”です。	AVDD
48	MPREF	○	マイクパワー電源 リップルフィルタピン ・1 μ F のセラミックコンデンサを VSS1 との間に接続してください。 ・外部回路には使用しないで下さい。	AVDD

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理してください。

Table 1. 使用しないピンの処理

Classification	Pin Name	Setting
Analog	MPREF, MPWR1, MPWR2, INP1/AINL1, INN1/GNDINL1, INP2/AINR1, INN2/GNDINR1, AINL2, AINR2, AINL3, AINR3, AOUT1L, AOUT1R, AOUT2L, AOUT2R, AOUT3L, AOUT3R	オープン
Digital	XTI, XTO, SDOUT1, DZF/SDOUT2/RDY, STO/SDOUT3/GPO	オープン
	SDIN3/JX2, SDIN2, SDIN1, LRCK3/JX0/SDIN4, LRCK2, LRCK1, BICK3/JX1, BICK2, BICK1, TESTI	VSS2 / VSS3に接続

■ プルダウン抵抗付きピンの状態

Table 2. プルダウン抵抗付きピンの状態

No.	Pin Name	パワーダウン状態 PDN pin = “L”	パワーダウン状態解除 PDN pin = “H” (スレーブ設定時)	パワーダウン状態解除 PDN pin = “H” (マスター設定時)
21	TESTI	プルダウン(25 k Ω)	プルダウン(25 k Ω)	プルダウン(25 k Ω)
34	LRCK1	プルダウン(50 k Ω)	入力 (プルダウン) (46 k Ω)	出力
31	BICK1	プルダウン(50 k Ω)	入力 (プルダウン) (46 k Ω)	出力
33	LRCK2	プルダウン(50 k Ω)	入力 (プルダウン) (46 k Ω)	出力
30	BICK2	プルダウン(50 k Ω)	入力 (プルダウン) (46 k Ω)	出力
32	LRCK3/JX0/SDIN4	プルダウン(50 k Ω)	入力 (プルダウン) (46 k Ω)	出力
29	BICK3/JX1	プルダウン(50 k Ω)	入力 (プルダウン) (46 k Ω)	出力
23	SDOUT1	プルダウン(50 k Ω)	出力	出力
15	DZF/SDOUT2/RDY	プルダウン(50 k Ω)	出力	出力
22	STO/SDOUT3/GPO	プルダウン(50 k Ω)	出力	出力
40	REF12	プルダウン(70 Ω)	出力	出力

Note

* 1. 抵抗値はLVDD=TVDD=VDD33=3.3V時のTyp値です。

■ パワーダウン時、出力ピンの状態

Table 3. パワーダウン時、出力ピンの状態

No	Pin Name	I/O	パワーダウン時の状態	No	Pin Name	I/O	パワーダウン時の状態
5	VCOM	O	“L”出力	31	BICK1	I/O	Input
48	MPREF	O	“L”出力	33	LRCK2	I/O	Input
46	MPWR1	O	“Hi-Z”出力	30	BICK2	I/O	Input
47	MPWR2	O	“Hi-Z”出力	32	LRCK3/JX0/SDIN4	I/O	Input
9	AOUT1L	O	“Hi-Z”出力	29	BICK3/JX1	I/O	Input
10	AOUT1R	O	“Hi-Z”出力	17	SDA/SO	I/O	“Hi-Z”出力
11	AOUT2L	O	“Hi-Z”出力	23	SDOUT1	O	“L”出力 (プルダウン)
12	AOUT2R	O	“Hi-Z”出力	15	DZF/SDOUT2/RDY	O	“L”出力 (プルダウン)
13	AOUT3L	O	“Hi-Z”出力	22	STO/SDOUT3/GPO	O	“L”出力 (プルダウン)
14	AOUT3R	O	“Hi-Z”出力	36	XTO	O	“H”出力
34	LRCK1	I/O	Input	40	REF12	O	“L”出力 (プルダウン)

6. 絶対最大定格

(VSS1=VSS2=VSS3=VSS4=0V * 2)

Parameter	Symbol	Min.	Max.	Unit
電源電圧				
Analog	AVDD	-0.3	4.3	V
Digital1(Core)	LVDD	-0.3	4.3	V
Digital2(I/F)	TVDD	-0.3	4.3	V
Digital3(I/F)	VDD33	-0.3	4.3	V
入力電流(除: 電源ピン)	IIN	—	±10	mA
アナログ入力電圧 * 3	VINA	-0.3	(AVDD+0.3) or 4.3	V
デジタル入力電圧 * 4	VIND1	-0.3	(TVDD+0.3) or 4.3	V
デジタル入力電圧 * 5	VIND2	-0.3	(VDD33+0.3) or 4.3	V
動作周囲温度	Ta	-40	85	°C
保存温度	Tstg	-65	150	°C

Notes

- * 2. すべての電圧はグラウンドに対する値です。VSS1, VSS2, VSS3, VSS4は同電位にして下さい。
- * 3. アナログ入力電圧のMax値は、(AVDD+0.3)Vまたは4.3Vのどちらか低い方です。
- * 4. SDIN1, SDIN2, SDIN3/JX2, LRCK1, BICK1, LRCK2, BICK2, LRCK3/JX0/SDIN4, BICK3/JX1, PDN, SCL/SCLK, CAD/CSN, SI, TESTI pinsのデジタル入力電圧のMax値は、(TVDD+0.3)Vまたは4.3Vのどちらか低い方です。
- * 5. XTI pinのデジタル入力電圧のMax値は、(VDD33+0.3)Vまたは4.3Vのどちらか低い方です。

注意：この値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は保証されません。

7. 推奨動作条件

(VSS1=VSS2=VSS3=VSS4=0V * 2)

Parameter	Symbol	Min.	Typ.	Max.	Unit
電源電圧					
Analog	AVDD	3.0	3.3	3.6	V
Digital1(Core)	LVDD	3.0	3.3	3.6	V
Digital2(I/F)	TVDD	1.7	3.3	3.6	V
Digital3(I/F)	VDD33	3.0	3.3	3.6	V
Difference1	AVDD – LVDD	-0.1	0	0.1	V
Difference2	AVDD – VDD33	-0.1	0	0.1	V
Difference3	LVDD – VDD33	-0.1	0	0.1	V
Difference4	LVDD - TVDD	-0.1	-	-	V

Notes

- * 6. AVDD, LVDD, TVDD, VDD33の立ち上げ順の規定はありません。PDN pin = “L”の状態でも各電源を立ち上げ、全ての電源が立ち上がった後、PDN pin = “H”にしてください。
- * 7. 周辺デバイスが電源ONの状態でもAK7604の電源をOFFにしないで下さい。また、I²Cインターフェースを使用する場合、SDA pin, SCL pinのプルアップ抵抗の接続先はTVDD以下にしてください。

注意：本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

8. 電気的特性

■ アナログ特性

1. MIC AMP

(Ta= 25°C; AVDD=LVDD=TVDD=VDD33=3.3V; VSS1=VSS2=VSS3=VSS4=0V)

Parameter		Min.	Typ.	Max.	Unit	
MIC AMP	入カインピーダンス(差動入力)	17	25	33	kΩ	
	入カインピーダンス(疑似差動入力, シングルエンド入力)	18	26	34	kΩ	
	Gain	MGNL[3:0]bits=0H, MGNR[3:0]bits=0H	-1	0	1	dB
		MGNL[3:0]bits=1H, MGNR[3:0]bits=1H	1	2	3	
		MGNL[3:0]bits=2H, MGNR[3:0]bits=2H	3	4	5	
		MGNL[3:0]bits=3H, MGNR[3:0]bits=3H	5	6	7	
		MGNL[3:0]bits=4H, MGNR[3:0]bits=4H	7	8	9	
		MGNL[3:0]bits=5H, MGNR[3:0]bits=5H	9	10	11	
		MGNL[3:0]bits=6H, MGNR[3:0]bits=6H	11	12	13	
		MGNL[3:0]bits=7H, MGNR[3:0]bits=7H	13	14	15	
		MGNL[3:0]bits=8H, MGNR[3:0]bits=8H	15	16	17	
		MGNL[3:0]bits=9H, MGNR[3:0]bits=9H	17	18	19	
		MGNL[3:0]bits=AH, MGNR[3:0]bits=AH	20	21	22	
		MGNL[3:0]bits=BH, MGNR[3:0]bits=BH	23	24	25	
		MGNL[3:0]bits=CH, MGNR[3:0]bits=CH	26	27	28	
MGNL[3:0]bits=DH, MGNR[3:0]bits=DH	29	30	31			
MGNL[3:0]bits=EH, MGNR[3:0]bits=EH	32	33	34			
MGNL[3:0]bits=FH, MGNR[3:0]bits=FH	35	36	37			

2. MIC Bias Output

(Ta= 25°C; AVDD=LVDD=TVDD=VDD33=3.3V; VSS1=VSS2=VSS3=VSS4=0V;

測定帯域=20Hz~20kHz)

Parameter		Min.	Typ.	Max.	Unit
MIC Bias	出力電圧	2.3	2.5	2.7	V
	負荷抵抗	2			kΩ
	負荷容量			30	pF
	出力ノイズ(A-weighted)		-114	-108	dBV

3. MIC AMP + ADC

(Ta= 25°C; AVDD=LVDD=TVDD=VDD33=3.3V; VSS1=VSS2=VSS3=VSS4=0V; 信号周波数=1kHz; 24bit Data; BICK=64fs; fs=48kHz時, 測定帯域BW=20Hz ~ 20kHz; fs=96kHz時, 測定帯域BW=20Hz ~ 40kHz; MGNL/R[3:0] bits=0h (0dB); 差動入力)

Parameter		Min.	Typ.	Max.	Unit
分解能				24	bit
入力フルスケール 電圧 * 8	差動入力 * 12	±2.55	±2.83	±3.11	Vpp
	差動入力 * 13	±0.321	±0.356	±0.391	
入力フルスケール 電圧 * 9	疑似差動入力 シングルエンド入力 * 12	2.55	2.83	3.11	Vpp
	疑似差動入力 シングルエンド入力 * 13	0.321	0.356	0.391	
入力フルスケール 電圧 * 10	シングルエンド入力	2.55	2.83	3.11	Vpp
S/(N+D) (-1dBFS)	fs=48kHz * 12	85	95		dB
	fs=48kHz * 13		87		
	fs=96kHz * 12		92		
	fs=96kHz * 13		84		
Dynamic Range (-60dBFS)	fs=48kHz (A-weighted) * 12	98	106		dB
	fs=48kHz (A-weighted) * 13		95		
	fs=96kHz * 12		99		
	fs=96kHz * 13		89		
S/N	fs=48kHz (A-weighted) * 12	98	106		dB
	fs=48kHz (A-weighted) * 13		95		
	fs=96kHz * 12		99		
	fs=96kHz * 13		89		
チャンネル間アイソレーション * 11		90	105		dB
チャンネル間ゲインミスマッチ			0.0	0.3	dB
CMRR * 14		60	80		dB

Notes

- * 8. 対象となる入力ピンは、INP1, INN1, INP2, INN2です。
- * 9. 対象となる入力ピンは、AINL1, AINR1です。
- * 10. 対象となる入力ピンは、AINL2, AINR2, AINL3, AINR3です。
- * 11. -1dBFSの信号を入力した場合の、Lch-Rch間のアイソレーションです。
- * 12. MGNL/R[3:0] bits = 0H (0dB)、入力フルスケール電圧はAVDDに比例(0.86×AVDD)します。
- * 13. MGNL/R[3:0] bits = 9H (+18dB)、入力フルスケール電圧はAVDDに比例(0.108×AVDD)します。
- * 14. 差動入力の両方に1kHz, 100mVppの正弦波を重畳した場合の同相信号除去比。差動入力として、1kHz, ±100mVppの正弦波を入れた場合を基準とします。

4. DAC

(Ta= 25°C; AVDD=LVDD=TVDD=VDD33=3.3V; VSS1=VSS2=VSS3=VSS4=0V; 信号周波数=1kHz; 24bit Data; BICK=64fs; fs=48kHz時, 測定帯域BW=20Hz ~ 20kHz; fs=96kHz時, 測定帯域BW=20Hz ~ 40kHz)

	Parameter	Min.	Typ.	Max.	Unit	
DAC1 DAC2 DAC3	分解能			24	bit	
	出力電圧					
		* 15	2.55	2.83	3.11	Vpp
	S/(N+D) (0dBFS)	fs=48kHz	80	91		dB
		fs=96kHz		89		
	Dynamic Range (-60dBFS)	fs=48kHz (A-weighted)	100	108		dB
		fs=96kHz		101		
	S/N	fs=48kHz (A-weighted)	100	108		dB
		fs=96kHz		101		
		チャンネル間アイソレーション (fin=1kHz) * 16	90	110		dB
	チャンネル間ゲインミスマッチ		0.0	0.7	dB	
	負荷抵抗					
	* 17	10			kΩ	
	負荷容量			30	pF	

Notes

- * 15. フルスケール出力電圧です。出力電圧はAVDDに比例(AVDD x 0.86)します。
- * 16. 0dBFSの信号を入力した場合のAOUT1L, AOUT1R間、AOUT2L, AOUT2R間、AOUT3L, AOUT3R間のアイソレーションです。
- * 17. AC負荷に対して。

5. SRC

(Ta= 25°C; AVDD=LVDD=TVDD=VDD33=3.3V; VSS1=VSS2=VSS3=VSS4=0V; 信号周波数=1kHz; 24bit Data; 測定帯域BW=20Hz ~ FSO/2)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Resolution				24	bit
Input Sample Rate	FSI	8		192 (* 18)	kHz
Output Sample Rate	FSO	8		192	kHz
THD+N (Input=1kHz, 0dBFS)					
Audio Mode (SRCAUDx bit = "1", x=1~4)					
FSO/FSI=192kHz/48kHz			-122		dB
FSO/FSI=44.1kHz/48kHz			-125		dB
FSO/FSI=48kHz/88.2kHz			-122		dB
FSO/FSI=48kHz/96kHz			-133		dB
FSO/FSI=44.1kHz/96kHz			-116		dB
FSO/FSI=48kHz/192kHz			-133		dB
FSO/FSI=8kHz/48kHz			-130		dB
Voice Mode (SRCAUDx bit = "0", x=1~4)					
FSO/FSI=24kHz/32kHz			-95		dB
FSO/FSI=16kHz/24kHz			-98		dB
FSO/FSI=24kHz/44.1kHz			-78		dB
FSO/FSI=16kHz/44.1kHz			-69		dB
FSO/FSI=8kHz/32kHz			-130		dB
Dynamic Range (Input=1kHz, -60dBFS)					
Audio Mode (SRCAUDx bit = "1", x=1~4)					
FSO/FSI=192kHz/48kHz			132		dB
FSO/FSI=44.1kHz/48kHz			136		dB
FSO/FSI=48kHz/88.2kHz			136		dB
FSO/FSI=48kHz/96kHz			135		dB
FSO/FSI=44.1kHz/96kHz			136		dB
FSO/FSI=48kHz/192kHz			136		dB
FSO/FSI=8kHz/48kHz			130		dB
Voice Mode (SRCAUDx bit = "0", x=1~4)					
FSO/FSI=24kHz/32kHz			134		dB
FSO/FSI=16kHz/24kHz			137		dB
FSO/FSI=24kHz/44.1kHz			132		dB
FSO/FSI=16kHz/44.1kHz			128		dB
FSO/FSI=8kHz/32kHz			130		dB
Dynamic Range (Input=1kHz, -60dBFS, A-weighted)					
FSO/FSI=44.1kHz/48kHz		-	137	-	dB
Ratio between Input and Output Sample Rate	FSO/FSI	0.167		6	-

Note

* 18. SRC1~SRC4のうち、動作するSRCのFSIの周波数の合計が384kHz以下になるように設定してください。例えば、FSIの周波数が96kHzの場合、SRCは4個同時に動作できますが、FSIの周波数が192kHzの場合、同時に2個までしか使えません。

■ 消費電流

(Ta= 25°C; AVDD=LVDD=VDD33=3.0~3.6V (Typ=3.3V, Max=3.6V); TVDD=1.7~3.6V (Typ=3.3V, Max=3.6V); VSS1=VSS2=VSS3=VSS4=0V; fs=96kHz; BICK=64fs; Master Mode; SDOUT1~3/LRCK1~3/BICK1~3=Output; CL=20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
動作時消費電流 * 19 (PDN pin = "H")	AVDD		28	42	mA
	LVDD		14.6	68	mA
	TVDD		4.5	7	mA
	VDD33		2	4	mA
パワーダウン時消費電流 (PDN pin = "L")	AVDD		1		μA
	LVDD		10		μA
	TVDD		1		μA
	VDD33		1		μA

Note

* 19. LVDDの消費電流値は使用周波数およびDSPプログラム内容によって変化します。

9. デジタルフィルタ特性

■ ADC部

(Ta=-40~85°C; AVDD=3.0~3.6V; LVDD=3.0~3.6V; TVDD=1.7~3.6V; VDD33=3.0~3.6V; VSS1=VSS2=VSS3=VSS4=0V)

fs=48kHz

Parameter		Symbol	Min.	Typ.	Max.	Unit
Passband * 20	0dB ~ -0.06dB	PB	0		22.1	kHz
	-3.0dB	PB		23.7		kHz
Stopband * 20		SB	27.8			kHz
Stopband Attenuation		SA	85.0			dB
Group Delay Distortion : 0Hz~20kHz		ΔGD		0		1/fs
Group Delay * 21		GD		20.0		1/fs
ADC Digital Filter(HPF)						
Frequency Response	-3.0dB	FR		0.9		Hz

fs=96kHz

Parameter		Symbol	Min.	Typ.	Max.	Unit
Passband * 20	0dB ~ -0.06dB	PB	0		44.2	kHz
	-3.0dB	PB		47.5		kHz
Stopband * 20		SB	55.6			kHz
Stopband Attenuation		SA	85.0			dB
Group Delay Distortion : 0Hz~40kHz		ΔGD		0		1/fs
Group Delay * 21		GD		20.0		1/fs
ADC Digital Filter(HPF)						
Frequency Response	-3.0dB	FR		1.9		Hz

Notes

- * 20. 各振幅特性の周波数はfs(サンプリングレート)に比例します。HPFの特性は含まれていません。各振幅特性の基準値は周波数応答の最大値となります。
- * 21. デジタルフィルタによる演算遅延で、アナログ信号が入力されてから両チャンネルの24bitデータが出力レジスタにセットされるまでの時間です。HPFによる群遅延も含まれます。

■ DAC部

(Ta=-40~85°C; AVDD=3.0~3.6V; LVDD=3.0~3.6V; TVDD=1.7~3.6V; VDD33=3.0~3.6V; VSS1=VSS2=VSS3=VSS4=0V)

1. Sharp Roll-Off Filter (DASD bit = "0", DASL bit = "0")

fs=48kHz

Parameter		Symbol	Min.	Typ.	Max.	Unit
SHARP ROLL-OFF						
Passband * 22	±0.05dB	PB	0		21.7	kHz
	-3.0dB	PB		23.4		kHz
Passband Ripple * 23		PR	-0.0032		0.0032	dB
Stopband * 22		SB	26.3			kHz
Stopband Attenuation * 25, * 26		SA	80.0			dB
Group Delay * 24		GD		27.3		1/fs
Digital Filter + SCF + SMF * 25						
Frequency Response : 20 ~ 20.0kHz			-0.3		0.1	dB

fs=96kHz

Parameter		Symbol	Min.	Typ.	Max.	Unit
SHARP ROLL-OFF						
Passband * 22	±0.05dB	PB	0		43.5	kHz
	-3.0dB	PB		46.8		kHz
Passband Ripple * 23		PR	-0.0032		0.0032	dB
Stopband * 22		SB	52.5			kHz
Stopband Attenuation * 25, * 26		SA	80.0			dB
Group Delay * 24		GD		27.3		1/fs
Digital Filter + SCF + SMF * 25						
Frequency Response : 0 ~ 40.0kHz			-0.5		0.1	dB

Notes

- * 22. 通過域、阻止域の周波数はfs(サンプリングレート)に比例し、
PB = 0.4535 × fs、SB = 0.546 × fsです。
- * 23. Interpolatorの初段、2倍オーバーサンプリングフィルタのパスバンド帯域内におけるゲインの振幅です。
- * 24. デジタルフィルタによる演算遅延で、16/20/24bitのインパルスデータが入力レジスタにセットされてからアナログ信号のピークが出力されるまでの時間です。
- * 25. 入力に1kHz、0dBのsine波を与えたときの出力レベルを0dBとします。
- * 26. 0Hz ~ fsまでの特性です。

2. Slow Roll-Off Filter (DASD bit = "0", DASL bit = "1")

fs=48kHz

Parameter		Symbol	Min.	Typ.	Max.	Unit
Slow ROLL-OFF						
Passband * 27	±0.05dB	PB	0		8.8	kHz
	-3.0dB	PB		19.8		kHz
Passband Ripple * 23		PR	-0.043		0.043	dB
Stopband * 27		SB	42.7			kHz
Stopband Attenuation * 25 , * 26		SA	73.0			dB
Group Delay * 24		GD		6.8		1/fs
Digital Filter + SCF + SMF * 25						
Frequency Response : 20 ~ 20.0kHz			-5.0		0.1	dB

fs=96kHz

Parameter		Symbol	Min.	Typ.	Max.	Unit
Slow ROLL-OFF						
Passband * 27	±0.05dB	PB	0		17.7	kHz
	-3.0dB	PB		39.5		kHz
Passband Ripple * 23		PR	-0.043		0.043	dB
Stopband * 27		SB	85.3			kHz
Stopband Attenuation * 25 , * 26		SA	73.0			dB
Group Delay * 24		GD		6.8		1/fs
Digital Filter + SCF + SMF * 25						
Frequency Response : 0 ~ 40.0kHz			-5.2		0.1	dB

Note

- * 27. 通過域、阻止域の周波数はfs(サンプリングレート)に比例し、
PB = 0.185 × fs, SB = 0.888 × fsです。

3. Short Delay Sharp Roll-Off Filter (DASD bit = "1", DASL bit = "0")

fs=48kHz

Parameter		Symbol	Min.	Typ.	Max.	Unit
SHORT DELAY SHARP ROLL-OFF						
Passband * 22	±0.05dB	PB	0		21.7	kHz
	-3.0dB	PB		23.4		kHz
Passband Ripple * 23		PR	-0.0031		0.0031	dB
Stopband * 22		SB	26.3			kHz
Stopband Attenuation * 25 , * 26		SA	80.0			dB
Group Delay * 24		GD		6.3		1/fs
Digital Filter + SCF + SMF * 25						
Frequency Response : 20 ~ 20.0kHz			-0.3		0.1	dB

fs=96kHz

Parameter		Symbol	Min.	Typ.	Max.	Unit
SHORT DELAY SHARP ROLL-OFF						
Passband * 22	±0.05dB	PB	0		43.5	kHz
	-3.0dB	PB		46.8		kHz
Passband Ripple * 23		PR	-0.0031		0.0031	dB
Stopband * 22		SB	52.5			kHz
Stopband Attenuation * 25 , * 26		SA	80.0			dB
Group Delay * 24		GD		6.3		1/fs
Digital Filter + SCF + SMF * 25						
Frequency Response : 0 ~ 40.0kHz			-0.5		0.1	dB

4. Short Delay Slow Roll-Off Filter (DASD bit = "1", DASL bit = "1")

fs=48kHz

Parameter		Symbol	Min.	Typ.	Max.	Unit
SHORT DELAY SLOW ROLL-OFF						
Passband * 28	±0.05dB	PB	0		12.0	kHz
	-3.0dB	PB		21.1		kHz
Passband Ripple * 23		PR	-0.05		0.05	dB
Stopband		SB	41.5			kHz
Stopband Attenuation * 25 , * 26		SA	82.0			dB
Group Delay * 24		GD		5.3		1/fs
Digital Filter + SCF + SMF						
Frequency Response : 20 ~ 20.0kHz			-4.8		0.1	dB

fs=96kHz

Parameter		Symbol	Min.	Typ.	Max.	Unit
SHORT DELAY SLOW ROLL-OFF						
Passband * 28	±0.05dB	PB	0		24.2	kHz
	-3.0dB	PB		42.1		kHz
Passband Ripple * 23		PR	-0.05		0.05	dB
Stopband * 28		SB	83.0			kHz
Stopband Attenuation * 25 , * 26		SA	82.0			dB
Group Delay * 24		GD		5.3		1/fs
Digital Filter + SCF + SMF * 25						
Frequency Response : 0 ~ 40.0kHz			-5.0		0.1	dB

Note

- * 28. 通過域、阻止域の周波数はfs(サンプリングレート)に比例し、
PB = 0.252 × fs, SB = 0.864 × fsです。

■ SRC部

($T_a = -40 \sim 85^\circ\text{C}$; $AVDD = 3.0 \sim 3.6\text{V}$; $LVDD = 3.0 \sim 3.6\text{V}$; $TVDD = 1.7 \sim 3.6\text{V}$; $VDD33 = 3.0 \sim 3.6\text{V}$;
 $VSS1 = VSS2 = VSS3 = VSS4 = 0\text{V}$)

1. Audio Mode (SRCAUDx bit = "1", x=1~4)

Parameter		Symbol	Min.	Typ.	Max.	Unit	
通過域	-0.01dB	$0.980 \leq \text{FSO/FSI} \leq 6.000$	PB	0		0.4583FSI	kHz
	-0.01dB	$0.900 \leq \text{FSO/FSI} < 0.990$	PB	0		0.4167FSI	kHz
	-0.01dB	$0.533 \leq \text{FSO/FSI} < 0.909$	PB	0		0.2182FSI	kHz
	-0.01dB	$0.490 \leq \text{FSO/FSI} < 0.539$	PB	0		0.2177FSI	kHz
	-0.01dB	$0.450 \leq \text{FSO/FSI} < 0.495$	PB	0		0.1948FSI	kHz
	-0.01dB	$0.225 \leq \text{FSO/FSI} < 0.455$	PB	0		0.1312FSI	kHz
	-0.50dB	$0.167 \leq \text{FSO/FSI} < 0.227$	PB	0		0.0658FSI	kHz
阻止域		$0.980 \leq \text{FSO/FSI} \leq 6.000$	SB	0.5417FSI			kHz
		$0.900 \leq \text{FSO/FSI} < 0.990$	SB	0.5021FSI			kHz
		$0.533 \leq \text{FSO/FSI} < 0.909$	SB	0.2974FSI			kHz
		$0.490 \leq \text{FSO/FSI} < 0.539$	SB	0.2812FSI			kHz
		$0.450 \leq \text{FSO/FSI} < 0.495$	SB	0.2604FSI			kHz
		$0.225 \leq \text{FSO/FSI} < 0.455$	SB	0.1802FSI			kHz
		$0.167 \leq \text{FSO/FSI} < 0.227$	SB	0.0970FSI			kHz
通過域リップル		$0.225 \leq \text{FSO/FSI} \leq 6.000$	PR			± 0.01	dB
		$0.167 \leq \text{FSO/FSI} < 0.227$	PR			± 0.50	dB
阻止域減衰量		$0.450 \leq \text{FSO/FSI} \leq 6.000$	SA	95.2			dB
		$0.167 \leq \text{FSO/FSI} < 0.455$	SA	85.0			dB
群遅延 * 29 ($T_s = 1/f_s$)			GD		67 ($55/\text{FSI} + 12/\text{FSO}$)		T_s

Note

* 29. SRCブロック単体での値です。入力と出力の位相ずれがない時の、SRCへデータが入力された後の入力側LRCKの立ち上がりから、データを出力する前の出力側LRCK立ち上がりまでの時間です。

2. Voice Mode (SRCAUDx bit = "0", x =1~4)

Parameter		Symbol	Min.	Typ.	Max.	Unit	
通過域	-0.01dB	$0.980 \leq \text{FSO/FSI} \leq 6.000$	PB	0		0.4583FSI	kHz
	-0.01dB	$0.900 \leq \text{FSO/FSI} < 0.990$	PB	0		0.4167FSI	kHz
	-0.50dB	$0.711 \leq \text{FSO/FSI} < 0.910$	PB	0		0.3420FSI	kHz
	-0.50dB	$0.653 \leq \text{FSO/FSI} < 0.718$	PB	0		0.3007FSI	kHz
	-0.50dB	$0.450 \leq \text{FSO/FSI} < 0.660$	PB	0		0.2230FSI	kHz
	-0.50dB	$0.327 \leq \text{FSO/FSI} < 0.455$	PB	0		0.1417FSI	kHz
	-0.50dB	$0.225 \leq \text{FSO/FSI} < 0.330$	PB	0		0.1018FSI	kHz
	-0.50dB	$0.167 \leq \text{FSO/FSI} < 0.227$	PB	0		0.0658FSI	kHz
阻止域		$0.980 \leq \text{FSO/FSI} \leq 6.000$	SB	0.5417FSI			kHz
		$0.900 \leq \text{FSO/FSI} < 0.990$	SB	0.5021FSI			kHz
		$0.711 \leq \text{FSO/FSI} < 0.910$	SB	0.3735FSI			kHz
		$0.653 \leq \text{FSO/FSI} < 0.718$	SB	0.3320FSI			kHz
		$0.450 \leq \text{FSO/FSI} < 0.660$	SB	0.2490FSI			kHz
		$0.327 \leq \text{FSO/FSI} < 0.455$	SB	0.1660FSI			kHz
		$0.225 \leq \text{FSO/FSI} < 0.330$	SB	0.1248FSI			kHz
		$0.167 \leq \text{FSO/FSI} < 0.227$	SB	0.0970FSI			kHz
通過域リップル		$0.900 \leq \text{FSO/FSI} \leq 6.000$	PR			±0.01	dB
		$0.167 \leq \text{FSO/FSI} \leq 0.910$	PR			±0.50	dB
阻止域減衰量		$0.900 \leq \text{FSO/FSI} \leq 6.000$	SA	95.2			dB
		$0.653 \leq \text{FSO/FSI} < 0.909$	SA	90.0			dB
		$0.450 \leq \text{FSO/FSI} \leq 0.660$	SA	70.0			dB
		$0.167 \leq \text{FSO/FSI} < 0.455$	SA	60.0			dB
群遅延 * 29 (Ts=1/fs)		GD		67 (55/FSI+12/FSO)			Ts

10. DC特性

(Ta=-40~85°C; AVDD=3.0~3.6V; LVDD=3.0~3.6V; TVDD=1.7~3.6V; VDD33=3.0~3.6V;
VSS1=VSS2=VSS3=VSS4=0V)

Parameter	Symbol	Min.	Typ	Max.	Unit
ハイレベル入力電圧1 * 30	VIH1	75%TVDD			V
ローレベル入力電圧1 * 30	VIL1			25%TVDD	V
ハイレベル入力電圧2 * 31	VIH2	75%VDD33			V
ローレベル入力電圧2 * 31	VIL2			25%VDD33	V
SCL, SDA ハイレベル入力電圧	VIH3	70%TVDD			V
SCL, SDA ローレベル入力電圧	VIL3			30%TVDD	V
ハイレベル出力電圧 Iout = -100μA * 32	VOH1	TVDD-0.3			V
ローレベル出力電圧 Iout = 100μA * 32	VOL1			0.3	V
SDA ローレベル出力電圧	VOL2	TVDD ≥ 2.0V (Iout = 3mA)		0.4	V
		TVDD < 2.0V (Iout = 3mA)		20%TVDD	V
入力リーク電流 * 33	Iin			±10	μA
入力リーク電流 プルダウン抵抗付きピン パワーダウン時 * 34, * 36	Iid		66		μA
入力リーク電流 プルダウン抵抗付きピン パワーダウン解除時 * 35, * 36	Iid		72		μA
入力リーク電流 TESTI pin	Iid		132		μA
入力リーク電流 XTI pin	Iix		17		μA

Notes

- * 30. SDIN1, SDIN2, SDIN3/JX2, LRCK1, BICK1, LRCK2, BICK2, LRCK3/JX0/SDIN4, BICK3/JX1, PDN, SCL/SCLK, CAD/CSN, TESTI, SI pinsが対象です。SCL pinは除きます。
- * 31. XTI pinが対象です。
- * 32. SDOUT1, DZF/SDOUT2/RDY, STO/SDOUT3/GPO, SDA/SO pinsが対象です。SDA pinは除きます。
- * 33. プルダウン抵抗付ピンとXTI pinを除きます。
- * 34. パワーダウン(PDN pin = "L")時、LRCK1, BICK1, LRCK2, BICK2, LRCK3/JX0/SDIN4, BICK3/JX1 pinsが対象です。プルダウン抵抗はTyp. 50kΩ@3.3Vです。
- * 35. パワーダウン解除(PDN pin = "H")時、LRCK1, BICK1, LRCK2, BICK2, LRCK3/JX0/SDIN4, BICK3/JX1 pinsが対象です。プルダウン抵抗はTyp. 46kΩ@3.3Vです。
- * 36. LVDD=TVDD=VDD33=3.3V, 入力ピンに3.3Vを印加した場合のリーク電流。

11. スイッチング特性

■ システムクロック

($T_a = -40 \sim 85^\circ\text{C}$; AVDD=3.0~3.6V; LVDD=3.0~3.6V; TVDD=1.7~3.6V; VDD33=3.0~3.6V; VSS1=VSS2=VSS3=VSS4=0V; $C_L=20\text{pF}$)

Parameter	Symbol	Min.	Typ.	Max.	Unit
XTI Input Timing					
a) X'tal Oscillator					
Input Frequency	fXTI	11.2896		18.432	MHz
b) XTI Clock Input					
Duty Cycle		40	50	60	%
Input Frequency	fXTI	0.256		24.576	MHz
LRCK/BICK Input Timing (Slave Mode)					
LRCK Input Timing					
Frequency	fs	8		192	kHz
BICK Input Timing					
Frequency * 37	fBCLK	0.256		24.576	MHz
Pulse Width Low	tBCLKL	0.4 / fBCLK			ns
Pulse Width High	tBCLKH	0.4 / fBCLK			ns
LRCK/BICK Output Timing (PLL Master Mode)					
LRCK Output Timing					
Frequency	fs	8		192	kHz
Pulse Width High					
PCM Mode	tLRCKH		1/fBCLK		ns
Except PCM Mode	tLRCKH		50		%
BICK Output Timing					
Frequency * 37	fBCLK	0.256		24.576	MHz
Duty	dBCLK		50		%

Note

* 37. $f_{BCLK} \geq 2 \times f_s \times$ (入出力データのデータ長)の周波数を満たす必要があります。

■ パワーダウン

($T_a = -40 \sim 85^\circ\text{C}$; AVDD=3.0~3.6V; LVDD=3.0~3.6V; TVDD=1.7~3.6V; VDD33=3.0~3.6V; VSS1=VSS2=VSS3=VSS4=0V)

Parameter	Symbol	Min.	Typ.	Max.	Unit
PDNパルス幅 * 38	tRST	600			ns

Note

* 38. 電源投入時はPDN pin = "L"にしてください。

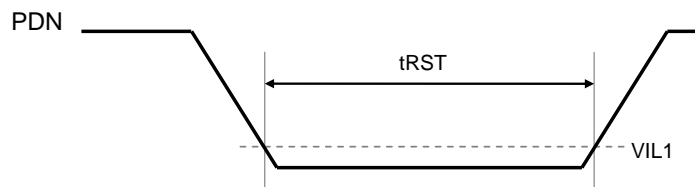


Figure 2. リセットタイミング波形

■ シリアルデータインタフェース(SDIN1 ~ SDIN4, SDOUT1 ~ SDOUT3)

(Ta=-40~85°C; AVDD=3.0~3.6V; LVDD=3.0~3.6V; TVDD=1.7~3.6V; VDD33=3.0~3.6V; VSS1=VSS2=VSS3=VSS4=0V; CL=20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
スレーブモード					
BICK“↑”からLRCKへの遅延時間 * 39	tBLRD	10			ns
LRCKからBICK“↑”への遅延時間	tLRBD	10			ns
シリアルデータ入力 ラッチセットアップ時間	tBSIDS	10			ns
シリアルデータ入力 ラッチホールド時間	tBSIDH	5			ns
BICK“↓”からシリアルデータ出力遅延時間 * 40	tBSOD1			20	ns
BICK“↑”からシリアルデータ出力遅延時間 * 39, * 41	tBSOD2	5		30	ns
マスタモード					
BICK周波数	fBCLK		32, 48, 64, 128, 256		fs
BICKデューティ比			50		%
BICK“↓”からLRCKへの遅延時間 * 40	tMBL	-10		10	ns
シリアルデータ入力 ラッチセットアップ時間	tBSIDS	10			ns
シリアルデータ入力 ラッチホールド時間	tBSIDH	10			ns
BICK“↓”からシリアルデータ出力遅延時間 * 40, * 41	tBSOD			10	ns

Notes

- * 39. レジスタBCKPx bit = “1”でBICKの極性を反転させた場合は、BICKの“↓”からになります。
- * 40. レジスタBCKPx bit = “1”でBICKの極性を反転させた場合は、BICKの“↑”からになります。
- * 41. スレーブモード動作時、サンプリング周波数が96kHz且つTDM256モード、又はサンプリング周波数が192kHz且つTDM128モードのようにBICKが12.288MHzよりも高速で動作する場合、SDOPHx bit = “1”に設定してください。SDOUTx pinはBICKの“↑”基準でデータを出力します。マスタモード動作時は、SDOPHx bit = “0”で使用して下さい。

1. スレーブモード

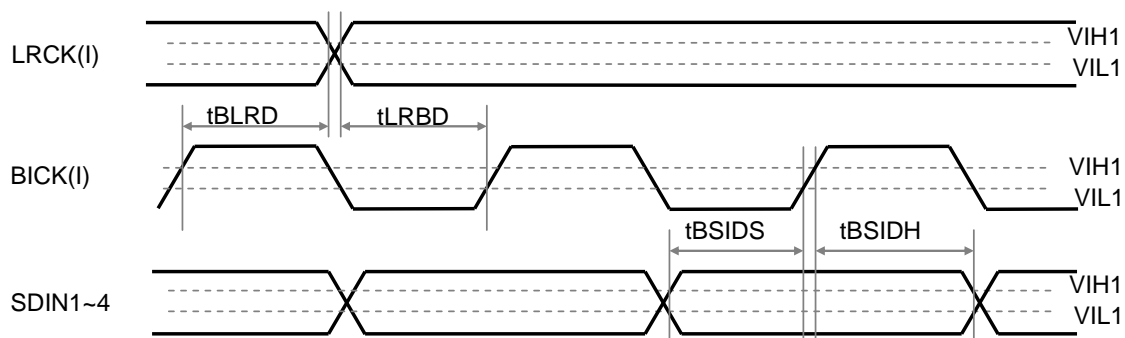


Figure 3. スレーブモード時 シリアルインタフェース入カタイミング波形

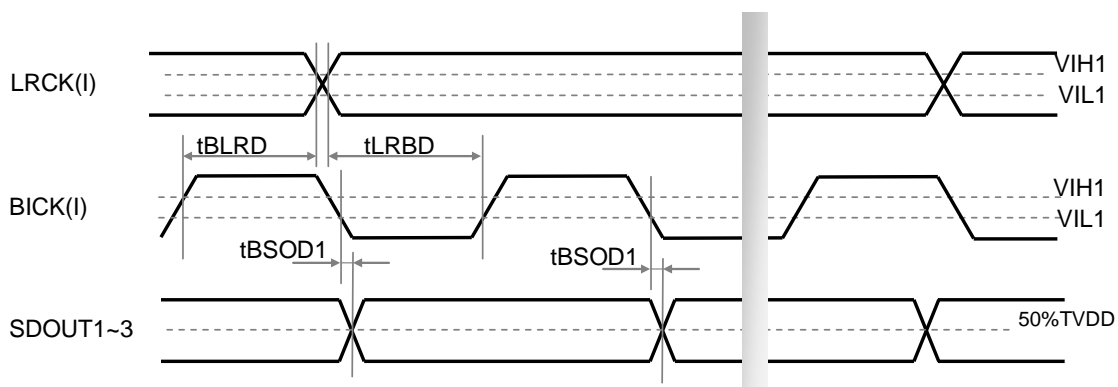


Figure 4. スレーブモード時 シリアルインタフェース出カタイミング波形 (SDOPHx bit = "0")

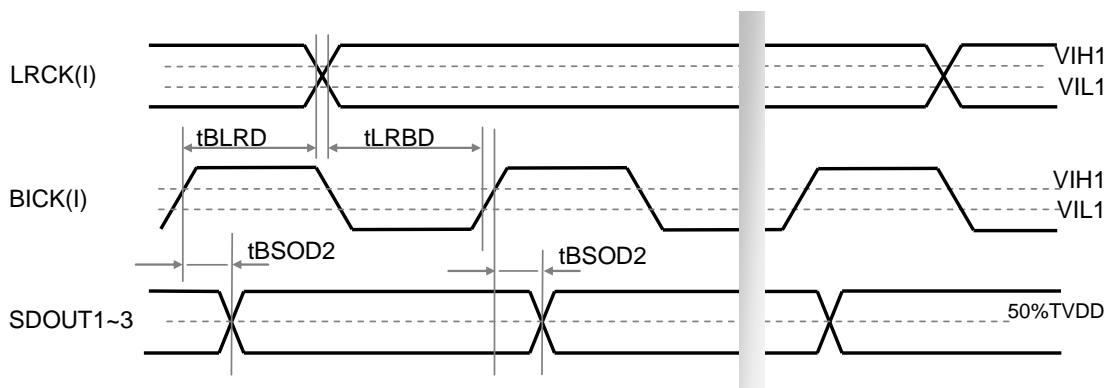


Figure 5. スレーブモード時 シリアルインタフェース出カタイミング波形 (SDOPHx bit = "1")

2. マスタモード

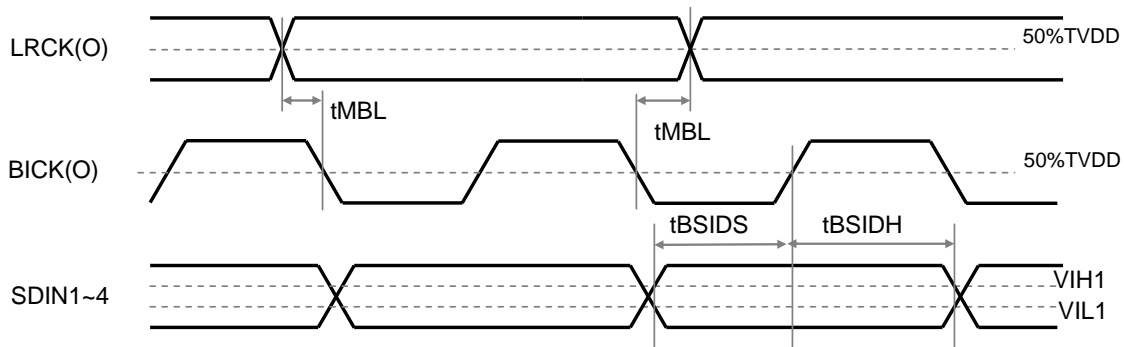


Figure 6. マスタモード時 シリアルインタフェース入力タイミング波形

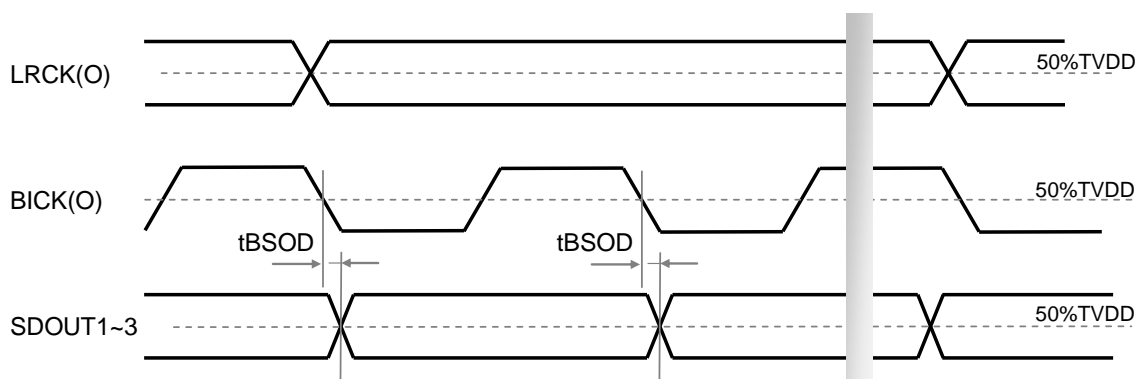


Figure 7. マスタモード時 シリアルインタフェース出力タイミング波形(SDOPHx bit = "0")

■ SPIインタフェース

(Ta=-40~85°C; AVDD=3.0~3.6V; LVDD=3.0~3.6V; TVDD=1.7~3.6V; VDD33=3.0~3.6V; VSS1=VSS2=VSS3=VSS4=0V; CL=20pF)

1. SPI低速モード

Parameter	Symbol	Min.	Typ.	Max.	Unit
マイコンインタフェース用信号					
SCLK 周波数 * 43	fSCLK			3.0	MHz
SCLK ローレベル幅	tSCLKL	160			ns
SCLK ハイレベル幅	tSCLKH	160			ns
マイコン→AK7604					
CSNハイレベル幅	tWRQH	300			ns
CSN “↑” からPDN “↑”	tRST	360			ns
PDN “↑”からCSN “↓”	tIRRQ	1			ms
CSN “↓”からSCLK “↓”	tWSC	300			ns
SCLK “↑”からCSN “↑”	tSCW	480			ns
SI ラッチセットアップ時間	tSIS	120			ns
SI ラッチホールド時間	tSIH	120			ns
AK7604→マイコン					
SCLKの“↓”からSO出力遅延時間	tSOS			120	ns
SCLKの“↑”からSO出力ホールド時間 * 42	tSOH	120			ns

2. SPI高速モード

Parameter	Symbol	Min.	Typ.	Max.	Unit
マイコンインタフェース用信号					
SCLK 周波数 * 43	fSCLK			6	MHz
SCLK ローレベル幅	tSCLKL	72			ns
SCLK ハイレベル幅	tSCLKH	72			ns
マイコン→AK7604					
CSNハイレベル幅	tWRQH	150			ns
CSN “↑” からPDN “↑”	tRST	180			ns
PDN “↑”からCSN “↓”	tIRRQ	1			ms
CSN “↓”からSCLK “↓”	tWSC	150			ns
SCLK “↑”からCSN “↑”	tSCW	240			ns
SI ラッチセットアップ時間	tSIS	60			ns
SI ラッチホールド時間	tSIH	60			ns
AK7604→マイコン					
SCLKの“↓”からSO出力遅延時間	tSOS			60	ns
SCLKの“↑”からSO出力ホールド時間 * 42	tSOH	60			ns

Notes

- * 42. コマンドコードの24bit (コマンド8bit + アドレス16bit)目入力時は除きます。書き込み準備データ読み出しコマンド24Hの場合は8bit(コマンド8bit)目になります。
- * 43. I²CからSPIインタフェースに切り替えるためのダミーコマンドの発行、コントロールレジスタへのアクセスは常にSPI高速モード(Max. 6MHz)で行えます。DSPのRAM領域へのアクセスはクロックリセット(CKRESETN bit = “0”)時、SPI低速モード (Max. 3MHz) 、PLLロック(CKRESETN bit = “1”かつPLLがロック)時、SPI高速モード (Max. 6MHz)で行えます。また、PLLアンロック時、DSPのRAM領域にアクセスする際、DLRDY bitを“1”に設定する必要があります。

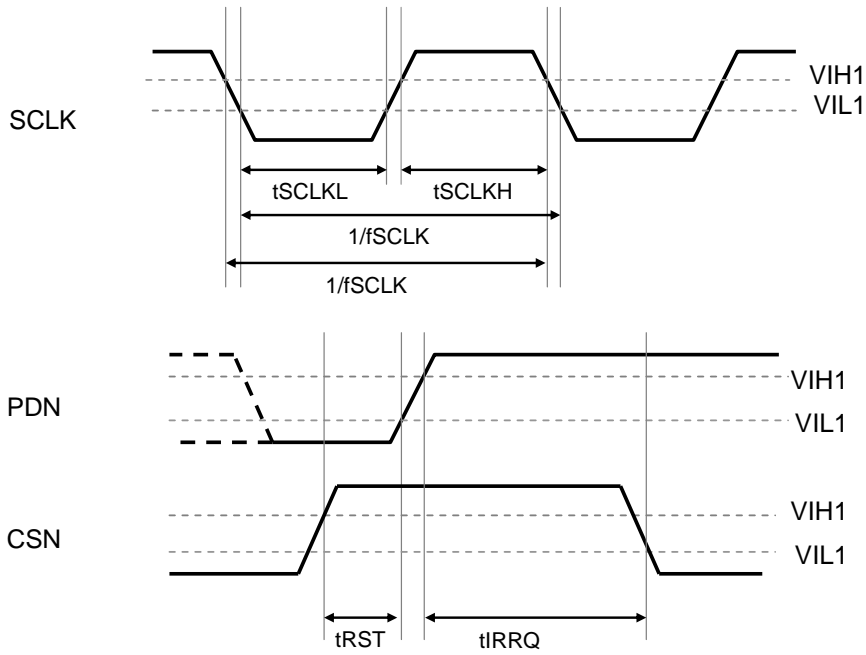


Figure 8. SPIインタフェースタイミング波形1

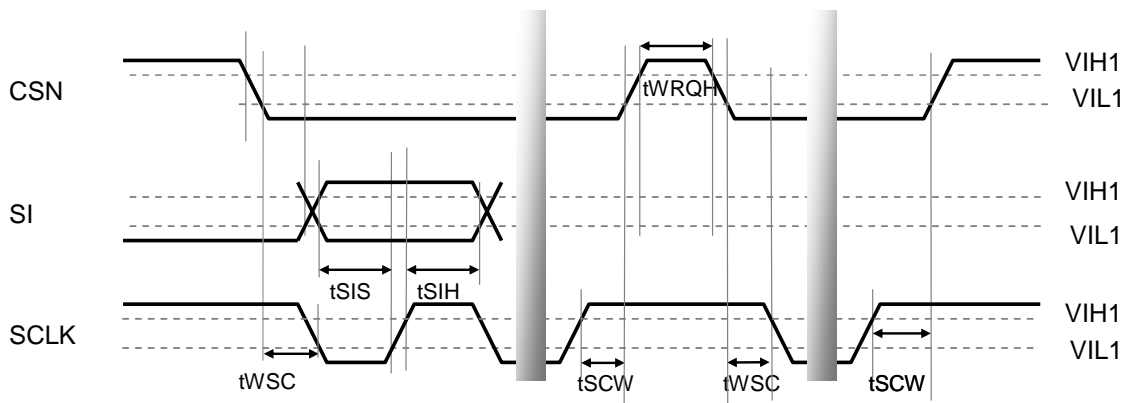


Figure 9. SPIインタフェースタイミング波形2 (マイコン→AK7604)

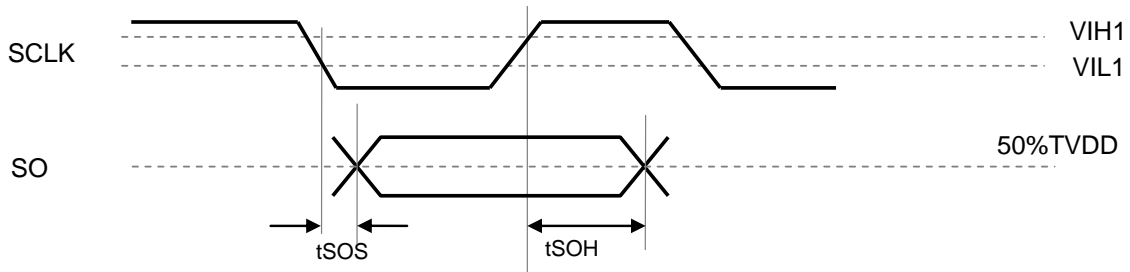


Figure 10. SPIインタフェースタイミング波形3 (AK7604→マイコン)

■ I²C インタフェース

(Ta=-40~85°C; AVDD=3.0~3.6V; LVDD=3.0~3.6V; TVDD=1.7~3.6V; VDD33=3.0~3.6V; VSS1=VSS2=VSS3=VSS4=0V)

I²C: Fast Mode

Parameter	Symbol	Min.	Typ.	Max.	Unit
I ² C Timing					
SCL clock frequency	fSCL	-	-	400	kHz
Bus Free Time Between Transmissions	tBMF	1.3	-	-	μs
Start Condition Hold Time (prior to first Clock pulse)	tHD:STA	0.6	-	-	μs
Clock Low Time	tLOW	1.3	-	-	μs
Clock High Time	tHIGH	0.6	-	-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.6	-	-	μs
SDA Hold Time from SCL Falling	tHD:DAT	0	-	-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1	-	-	μs
Rise Time of Both SDA and SCL Lines	tR	-	-	0.3	μs
Fall Time of Both SDA and SCL Lines	tF	-	-	0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6	-	-	μs
Pulse Width of Spike Noise Suppressed By Input Filter	tSP	0	-	50	ns
Capacitive load on bus	Cb	-	-	400	pF

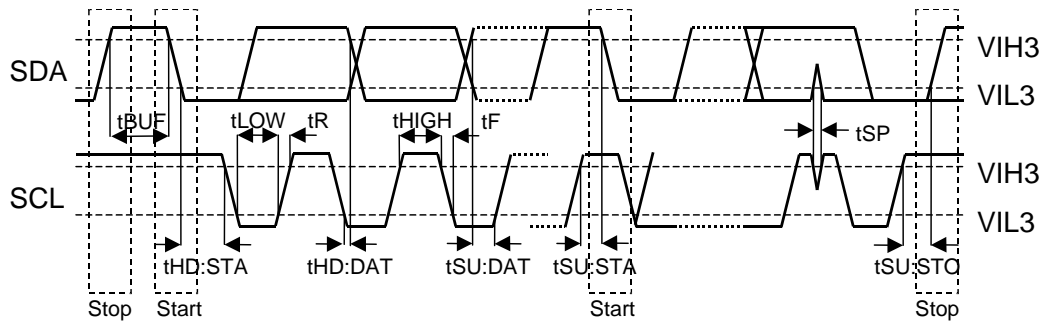


Figure 11. I²C インタフェース タイミング波形

12. 外部接続回路例

■ 接続図

I²Cインタフェース時の接続例

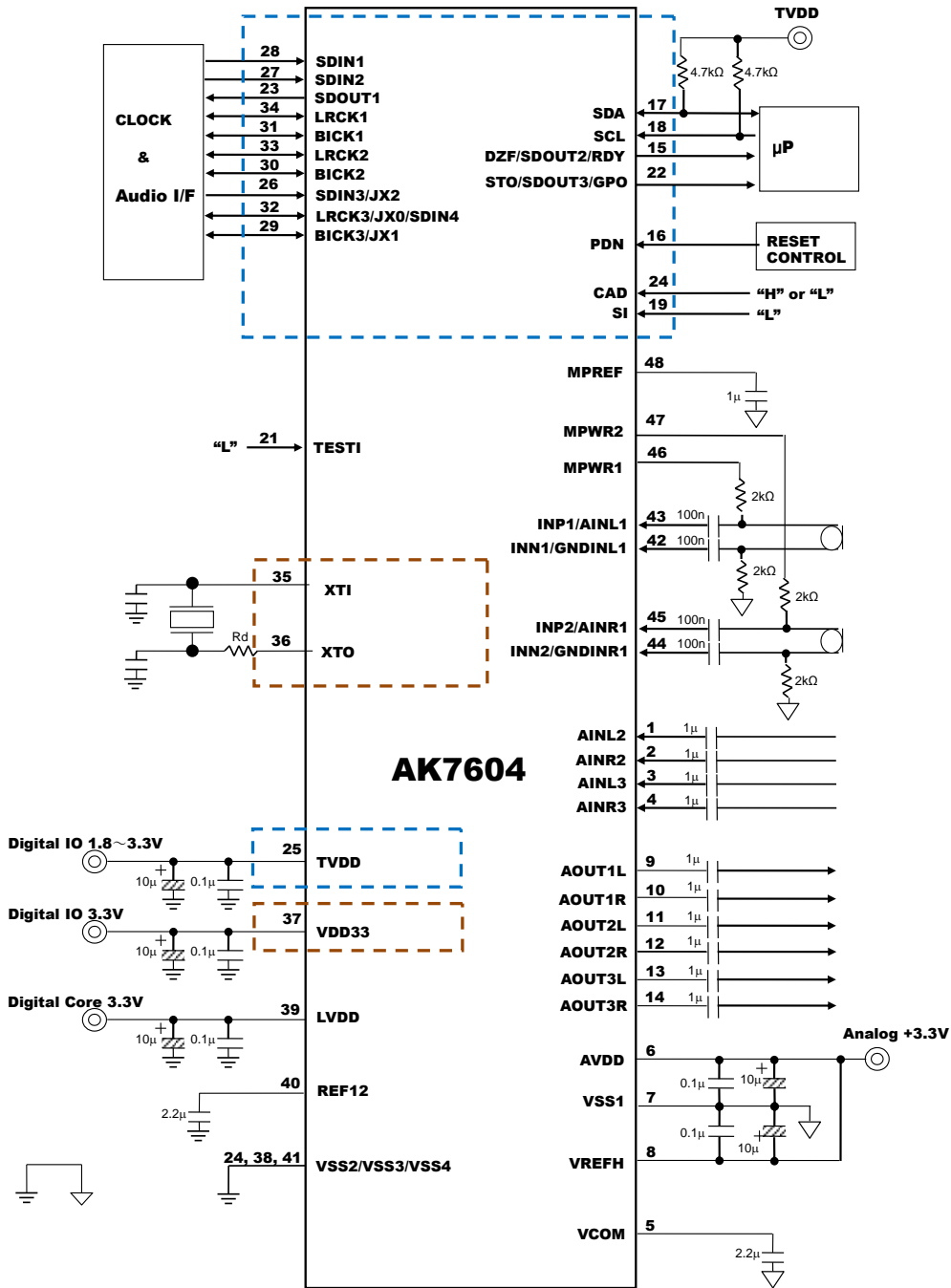


Figure 12. I²Cインタフェース時の接続例

■ 周辺回路

1. グランド

VSS1, VSS2, VSS3, VSS4は、同電位になるように接続してください。デカップリングコンデンサ、特に小容量のセラミックコンデンサはAK7604の近くで接続して下さい。

2. 基準電圧

VCOM pinはAVDD/2電圧を出力しており、アナログ信号のコモン電圧として使われます。高周波ノイズを除去するために、2.2 μ F程度のセラミックコンデンサをVSS1との間に接続して下さい。

VCOM pinは外部回路には使用しないでください。また、デジタル信号、特にクロック信号は変調器へのカップリングを避けるため、VCOM pinからできるだけ離して下さい。

3. アナログ入力

アナログ入力信号はアナログ変調器に入力されます。AVDD=3.3V、AVSS=0.0Vのとき、差動入力ピンにおける入力レンジは ± 2.83 Vpp(Typ.)、シングルエンド入力ピンにおける入力レンジは2.83Vpp(Typ.)です。尚、デジタル出力コードのフォーマットは2's complement(2の補数)です。DCオフセットは内蔵のHPFでキャンセルされます。

AK7604のアナログ入力ピンには、パワーダウン解除後にAVDD/2の内部動作点が生成されます。内部動作点生成回路は、各入力ピンに対して25k Ω (Typ.)の内部インピーダンスを持ちます。各入力ピンにDC成分除去用コンデンサを接続する場合には内部インピーダンスとの時定数により内部動作点が立ち上がりやすくなります。

AK7604は $f_s=48$ kHz, 96kHzの時、6.144MHzでアナログ入力をサンプリングします。AK7604内部には、AAF(アンチ・エリアシング・フィルタ)が内蔵されており、ADC前段に外部でローパスフィルタを通過させる必要はありません。しかし、D/Aコンバータ変換後のオーディオ信号など、帯域外ノイズの大きな信号を入力する場合には、ADC前段に外部でローパスフィルタを通過させることを推奨します。

AK7604のアナログ電源電圧は+3.3V(Typ.)であり、アナログ入力ピンには、AVDD+0.3V以上、AVSS-0.3V以下の電圧と、10mA以上の電流を入力してはいけません。過大電流の流入は、内部の保護回路の破壊、さらにはラッチアップを引き起こし、ICの破壊に至ります。従って、周辺のアナログ回路の電圧が ± 15 V等の場合はアナログ入力ピンを絶対最大定格以上の信号から保護する必要があります。

4. アナログ出力

アナログ出力はシングルエンド出力です。出力レンジはVCOM電圧を中心に $0.86 \times AVDD$ (Typ.)です。入力コードのフォーマットは、2's compliment(2の補数)で、7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)での理想値はVCOM電圧が出力されます。VCOM電圧はAVDD/2(Typ.)です。 $\Delta\Sigma$ 変調器が発生する帯域外ノイズ(シェーピングノイズ)は、内蔵のスイッチトキャパシタフィルタ(SCF)と、連続時間フィルタ(CTF)で除去されます。

5. 水晶振動子

AK7604のXTI pin及びXTO pinに接続する水晶振動子は、発振余裕度の観点から、以下の等価回路パラメータを満たすもの、XTI pin、XTO pinに接続する容量は以下の値を使用することを推奨します。

Table 4. 水晶振動子接続時の推奨抵抗と容量

発振周波数	R_1 (Max)	C_0 (Max)	XTI, XTO pin 接続容量
12.288MHz	120 Ω	2.5pF	22pF
18.432MHz	80 Ω	2.5pF	15pF

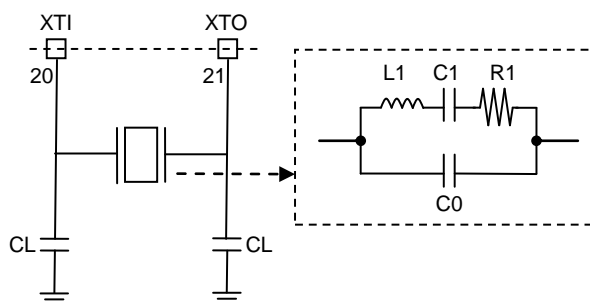
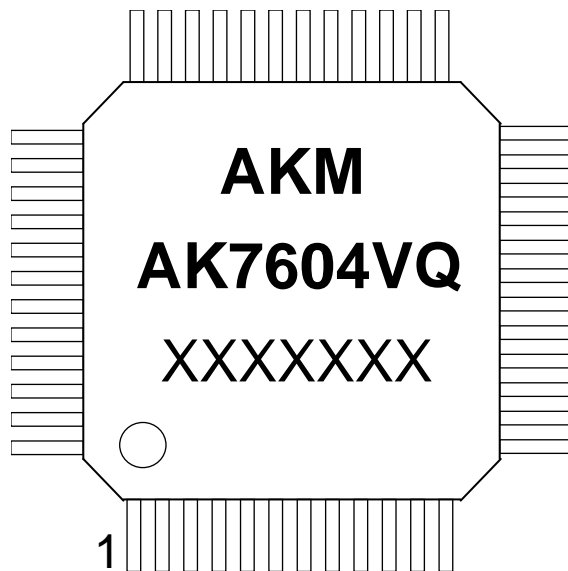


Figure 13. 水晶振動子の電氣的等価回路

■ マーキング



- 1) Pin #1 indication
- 2) Date Code: XXXXXXXX(7 digits)
- 3) Marking Code: AK7604VQ
- 4) Asahi Kasei Logo

14. オーダリングガイド

AK7604VQ -40 ~ +85°C 48-pin LQFP (0.5mm pitch)
AKD7604 AK7604評価ボード

15. 改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
2018/09/27	00	初版		

重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替および外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。