



AK7736A

2Ch SRC 内蔵 Audio/HF DSP

概要

2chSRCを内蔵したシグナルプロセッサです。オーディオ処理に必要な各種データ用メモリを内蔵しているため、サラウンド処理、タイムアライメント処理、パラメトリックイコライザ等の音響処理を1チップで実行可能です。また、データ、フィルタ係数の双方を浮動小数点データで扱うことが可能ですので、高精度なIIR/FIRフィルタを簡単に実現できます。AK7736AはプログラマブルDSPですので、マイコン/F経由でコードを書き換えることで、音響処理に加え、AKM製の高性能ハンズフリーも実現可能です。

特長

□ DSP

-データ幅 :	24bit
-マシンサイクル :	最速8.1ns (2560fs, fs=48kHz時)
-ステップ数 :	fs=48kHz : 最大2560ステップ fs=8kHz : 最大15360ステップ fs=16kHz : 最大7680ステップ
-乗算器 :	20×24→44bit (倍精度演算可)
-除算器 :	20÷20→20bit (浮動小数点正規化機能付)
-ALU :	48bit 算術・論理演算 (オーバーフローマジック4bit)
-シフト :	乗算・DBUS±15bitシフト・間接シフト機能付き
-プログラムRAM(PRAM) :	6144word×36bit
-係数RAM(CRAM) :	4096word×24bit
-データRAM(DRAM) :	4096word×24bit (Bankサイズ可変)
-オフセットレジスタ (OFREG) :	32word×15bit
-遅延用RAM(DLRAM) :	16384word×24bit (Bankサイズ可変)
-レジスタ :	48bit×4個 (ACC) [ALU用] 24bit×12個 (TMP) [DBUS接続] 24bit×6段スタック(PTMP) [DBUS接続]

□ ステレオ24bit SRC

-SRC: FSI=8kHz~96kHz対応 / FSO=8kHz~96kHz対応 (FSO/FSI = 0.167~6.0 対応)

□ モノラル24bit 簡易SRC

-FSCONV: FSI=44.1kHz~48kHz対応 / FSO=8kHz~16kHz対応

□ 入出力デジタルインタフェース

- 8chシリアルデータ入力
- 8chシリアルデータ出力
- サンプル周波数: 8~96kHz

□ マイコンインタフェース: SPI, I2CBUS(400kHz Fast-Mode)

□ PLL内蔵

□ 電源電圧:

- VDD 3.0~3.6V typ 3.3V (内部電源用レギュレータ内蔵)
- TVDD 1.7~3.6V (1~8pin)

□ 動作温度範囲: -40°C~85°C

□ パッケージ: 48pin LQFP

表記について

0x##, #h表記は、16進数を表します。(#=0,1,2,~,9,A,B,C,D,E,F)

コントロールレジスタ名は、bitもしくはbitsで表記します。

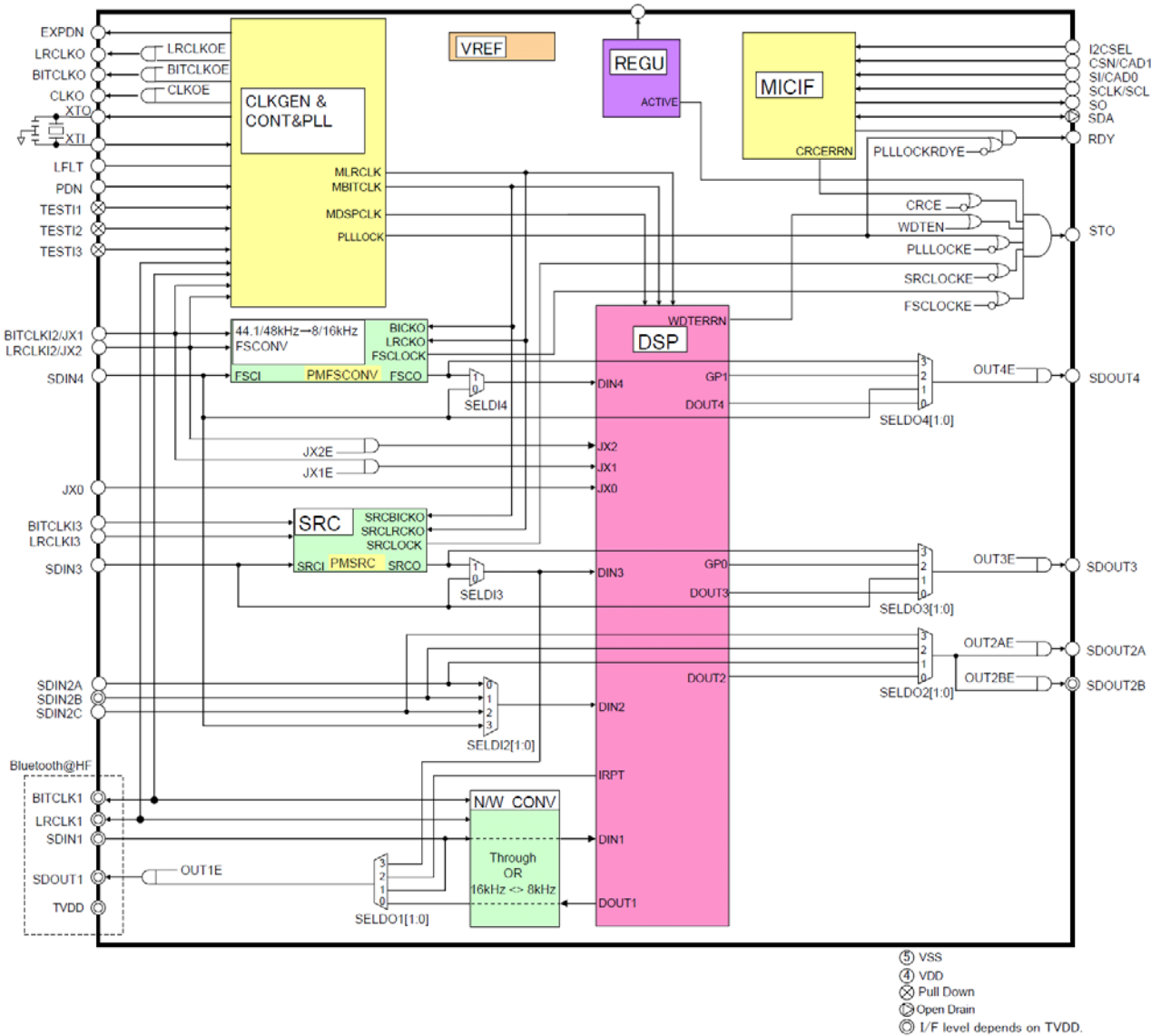


Figure 1.ブロック図

Note 1. N/W CONV はエラー! 参照元が見つかりません。を参照ください。

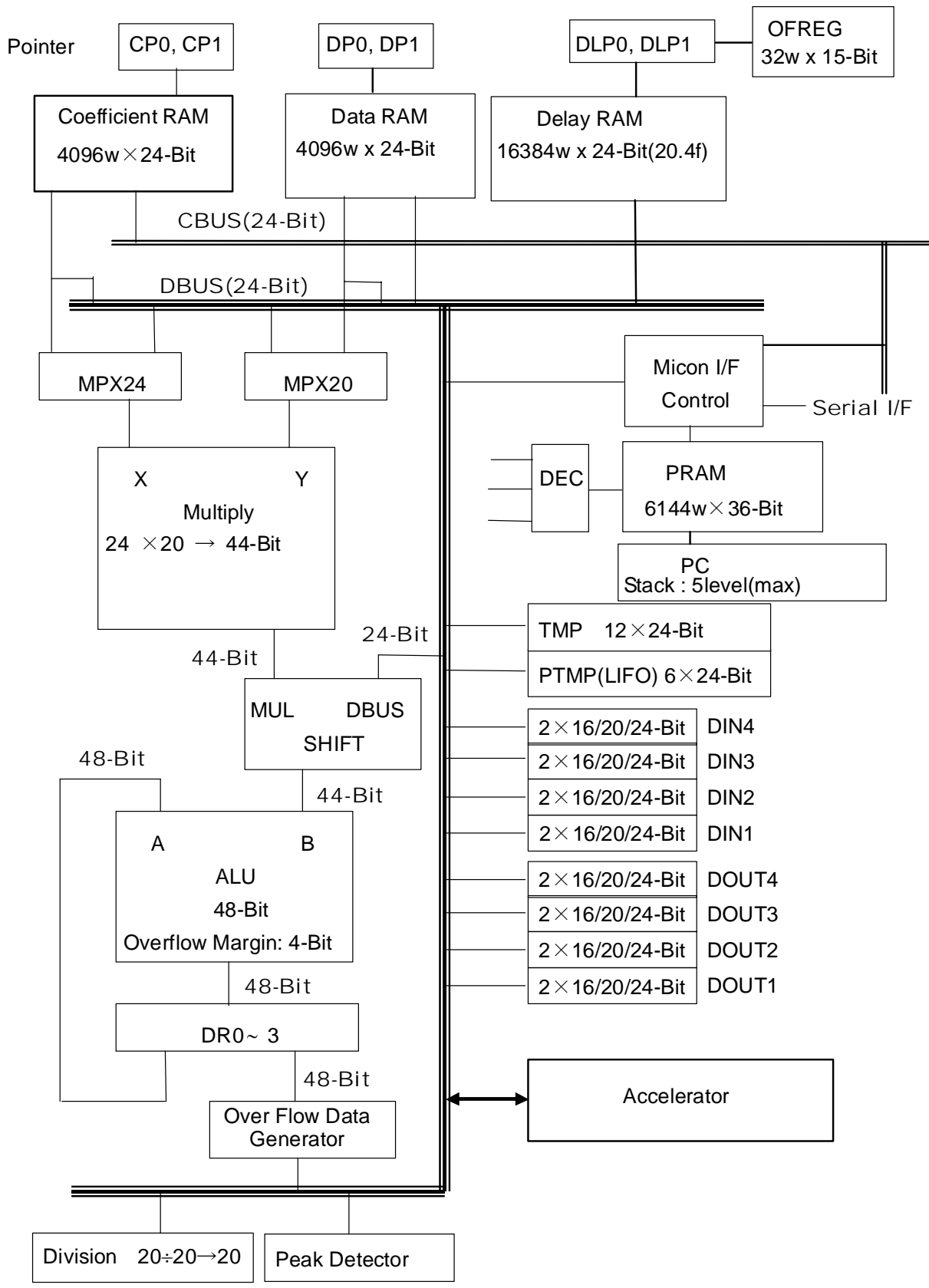


Figure 2. AK7736A メイン DSP ブロック図

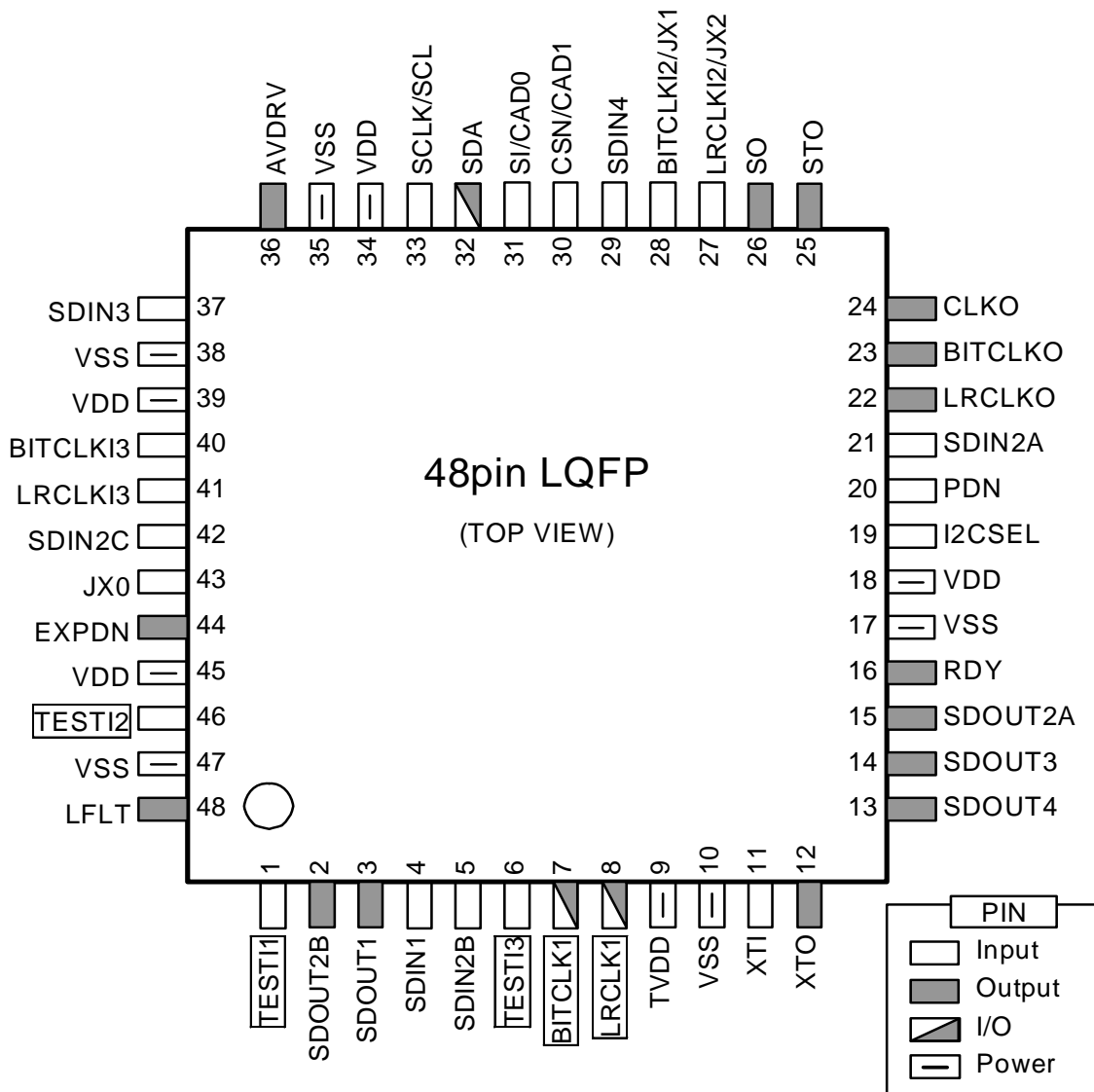
■ オーダリングガイド

AK7736AVQ
AKD7736A

-40 ~ +85°C 48pin LQFP (0.5mm pitch)
Evaluation Board for AK7736A

■ ピン配置

AK7736ALQFP



注) ***プルダウン抵抗付き ***:ピン名

ピン/機能

No	pin名称	I/O	機能	分類
1	TESTI1	I	テストピン (プルダウン抵抗付) VSSに接続して下さい。	テスト
2	SDOUT2B	O	シリアルデータ2B出力ピン	シリアルデータ
3	SDOUT1	O	シリアルデータ1出力ピン	
4	SDIN1	I	シリアルデータ1入力	シリアルデータ
5	SDIN2B	I	シリアルデータ2B入力	
6	TESTI3	I	テストピン (プルダウン抵抗付) VSSに接続して下さい。	テスト
7	BITCLK1	I/O	シリアルビットクロック1ピン (プルダウン抵抗付)	システムクロック
8	LRCLK1	I/O	LRチャンネル選択1ピン (プルダウン抵抗付)	
9	TVDD	-	AK7736A 1pin-8pin I/O用電源ピン 1.7~3.6V	電源
10	VSS	-	AK7736A グランドピン 0V	
11	XTI	I	発振回路入力ピン 水晶振動子を使用する場合は、水晶振動子をXTI pinとXTO pinに接続します。水晶振動子を使用しない場合は、外部クロックをXTI pinに入力します。	システムクロック
12	XTO	O	発振回路出力ピン 水晶振動子を使用する場合は、水晶振動子をXTI pinとXTO pinに接続します。外部クロックを使用する場合はオープンにしてください。	
13	SDOUT4	O	シリアルデータ4出力ピン	シリアルデータ
14	SDOUT3	O	シリアルデータ3出力ピン	
15	SDOUT2A	O	シリアルデータ2A出力ピン	
16	RDY	O	RDY pin	ステータス
17	VSS	-	AK7736A グランドピン 0V	電源
18	VDD	-	AK7736A 電源ピン 3.0~3.6V (typ 3.3V)	
19	I2CSEL	I	I2CBUS選択ピン I2CSEL pin="L": SPIインタフェース I2CSEL pin="H": I2CBUSインタフェース I2CSEL pinは"L(VSS)", "H(VDD)"固定で使用してください。	I2C選択
20	PDN	I	パワーダウンNピン (パワーダウン用) AK7736Aをパワーダウンするのに使用します。 電源立ち上げ時は"L"にしてください。	パワーダウン
21	SDIN2A	I	シリアルデータ2A入力	シリアルデータ
22	LRCLKO	O	LRチャンネル選択出力ピン	システムクロック
23	BITCLKO	O	出力シリアルビットクロックピン	
24	CLKO	O	クロック出力ピン	クロック出力
25	STO	O	ステータス出力ピン	ステータス
26	SO	O	SO pin CSN pin="H"の時、Hi-Z出力です。	マイコンIF
27	LRCLKI2	I	LRチャンネル選択入力2ピン (FSCONV用)	システムクロック
	JX2	I	外部条件Jump2 pin	
28	BITCLKI2	I	入力シリアルビットクロック2ピン (FSCONV用)	システムクロック
	JX1	I	外部条件Jump1 pin	
29	SDIN4	I	シリアルデータ4入力ピン	シリアルデータ

30	CSN	I	マイコンインタフェース用リクエストNピン (I2CSEL pin=“L”) パワーダウン中および、マイコンとのインタフェースを行わない場合は、CSN pin=“H”にしてください。	マイコンIF
	CAD1	I	I2CBUSアドレス1ピン (I2CSEL pin=“H”)	I2C
31	SI	I	マイコンインタフェース用シリアルデータ入力ピン (I2CSEL pin=“L”) 使用しない場合は、SI pin=“L”にしてください。	マイコンIF
	CAD0	I	I2CBUSアドレス0ピン (I2CSEL pin=“H”)	I2C
32	SDA	O	I2CSEL pin=“L” “Hi-Z”出力です。I2CSEL pin=“L”のときはオープンにしてください。	オープン
		I/O	I2CSEL pin=“H” SDA I2CBUSインタフェース	I2C
33	SCLK	I	I2CSEL pin=“L” マイコンインタフェース用シリアルデータクロックピン クロックを入力しない時は、SCLK pin=“H”にしてください。	マイコンIF
	SCL	I	I2CSEL pin=“H” SCL I2CBUSインタフェース	I2C
34	VDD	-	AK7736A電源ピン 3.0~3.6V (typ 3.3V)	電源
35	VSS	-	AK7736Aグラウンドピン 0V	
36	AVDRV		AVDRV pin 1μFのコンデンサを35pin(VSS)との間に接続します。 外部回路には使用しないで下さい。	アナログ出力
37	SDIN3	I	シリアルデータ3入力	シリアルデータ
38	VSS	-	AK7736Aグラウンドピン 0V	電源
39	VDD	-	AK7736A電源 pin 3.0~3.6V (typ 3.3V)	
40	BITCLKI3	I	入力シリアルビットクロック3ピン (SRC用)	システム クロック
41	LRCLKI3	I	LRチャンネル選択入力3ピン (SRC用)	
42	SDIN2C	I	シリアルデータ2C入力	シリアル データ
43	JX0	I	外部条件JUMP0入力ピン	外部条件
44	EXPDN	O	パワーダウン信号出力ピン	パワーダウン
45	VDD	-	AK7736A電源ピン 3.0~3.6V (typ 3.3V)	電源
46	TESTI2	I	テストピン (プルダウン抵抗付) ・VSSに接続して下さい。	テスト
47	VSS	-	AK7736Aグラウンドピン 0V	電源
48	LFLT	O	PLL用C接続ピン C=12nFを47pin(VSS)に接続します。	アナログ出力

Note 2. デジタル入力ピンは、オープンにしないで下さい。

Note 3. I2CSEL pin は“L(VSS)”または“H(VDD)”固定で使用して下さい。

■ 使用しないピンの処理について

使用しない入出力pinは下記の設定を行い、適切に処理して下さい。

Pin Name	Setting
出力ピン	オープン
双方向ピン	
SDA	オープン
LRCLK1	VSSに接続
BITCLK1	VSSに接続
入力ピン	VSSに接続

■ パワーダウン時(PDN pin = “L”) の出力ピン状態

No	pin名称	I/O	パワーダウン時の状態	No	pin名称	I/O	パワーダウン時の状態
2	SDOUT2B	O	“L”出力	22	LRCLKO	O	“L”出力
3	SDOUT1	O	“L”出力	23	BITCLKO	O	“L”出力
7	BITCLK1	I/O	入力	24	CLKO	O	“L”出力
8	LRCLK1	I/O	入力	25	STO	O	“L”出力
12	XTO	O	“H”出力	26	SO	O	“Hi-Z”出力
13	SDOUT4	O	“L”出力	32	SDA	I/O	“Hi-Z”出力
14	SDOUT3	O	“L”出力	44	EXPDN	O	“L”出力
15	SDOUT2A	O	“L”出力	48	LFLT	O	“L”出力
16	RDY	O	“L”出力				

■ I2CSEL pinとSDA pinの関係

	I2CSEL	PDN	SDA
SPI	L	L	Hi-Z
インタフェース	L	H	Hi-Z
I2CBUS対応	H	L	“Hi-Z” → pull-up
	H	H	function

絶対最大定格

(VSS=0V: すべての電圧はグラウンドに対する値です)

Parameter	Symbol	min	max	Unit
電源電圧				
TVDD	TVDD	-0.3	4.3	V
VDD	VDD	-0.3	4.3	V
入力電流(除: 電源ピン)	IIN	—	±10	mA
デジタル入力電圧(1pin-8pin)	VINDT	-0.3	(TVDD+0.3)	V
デジタル入力電圧(1pin-8pin以外)	VIND	-0.3	(VDD+0.3)	
動作周囲温度	Ta	-40	85	°C
保存温度	Tstg	-65	150	°C

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は保証されません。

推奨動作条件

(VSS=0V: 全ての電圧はグラウンドに対する値です)

Parameter	Symbol	min	typ	max	Unit
電源電圧					
TVDD	TVDD	1.7	1.8	3.6	V
VDD	VDD	3.0	3.3	3.6	V

Note 4. TVDD は 1pin-8pin I/O 用電源ピンです。

Note 5. TVDD, VDD の立ち上げ順の規定はありません。PDN pin=“L”の状態でご電源を立ち上げ、全ての電源が立ち上がった後、PDN pin=“H”にしてください。

Note 6. I2CBUS を使用する場合(I2CSEL pin=“H”)、周辺デバイスが電源 ON の状態で AK7736A の電源を OFF にしないで下さい。また、SDA, SCL のプルアップ抵抗の接続先は VDD 以下にしてください。(SDA, SCL pin には VDD に対して、ダイオードが存在します)

電氣的特性

■ SRC特性

1) SRC

(Ta= -40°C~85°C; TVDD=1.8V, VDD=3.3V; VSS=0V; data = 24bit; measurement bandwidth = 20Hz~FSO/2; unless otherwise specified.)

Parameter	Symbol	min	typ	max	Unit
Resolution				24	Bits
Input Sample Rate	FSI	8		96	kHz
Output Sample Rate	FSO	8		96	kHz
THD+N (Input= 1kHz, 0dBFS)					
FSO/FSI=44.1kHz/48kHz			-112		dB
FSO/FSI=44.1kHz/96kHz			-111		dB
FSO/FSI=48kHz/44.1kHz			-112		dB
FSO/FSI=48kHz/96kHz			-113		dB
FSO/FSI=48kHz/8kHz			-111	-103	dB
FSO/FSI=16kHz/48kHz			-113		dB
FSO/FSI=16kHz/44.1kHz			-100		dB
FSO/FSI=8kHz/48kHz			-113		dB
FSO/FSI=8kHz/44.1kHz			-95		dB
Dynamic Range (Input= 1kHz, -60dBFS)					
FSO/FSI=44.1kHz/48kHz			113		dB
FSO/FSI=44.1kHz/96kHz			113		dB
FSO/FSI=48kHz/44.1kHz			113		dB
FSO/FSI=48kHz/96kHz			113		dB
FSO/FSI=48kHz/8kHz		108	113		dB
FSO/FSI=16kHz/48kHz			113		dB
FSO/FSI=16kHz/44.1kHz			113		dB
FSO/FSI=8kHz/48kHz			111		dB
FSO/FSI=8kHz/44.1kHz			114		dB
Dynamic Range (Input= 1kHz, -60dBFS, A-weighted)					
FSO/FSI=44.1kHz/48kHz			115		dB
Ratio between Input and Output Sample Rate	FSO/FSI	0.167		6	-

2) FSCONV

(Ta= -40°C ~85°C; TVDD=1.8V, VDD=3.3V; VSS=0V; data = 24bit; measurement bandwidth = 20Hz~FSO/2; unless otherwise specified.)

Parameter	Symbol	min	typ	max	Unit
Resolution				24	Bits
Input Sample Rate	FSI	44.1		48	kHz
Output Sample Rate	FSO	8		16	kHz
THD+N (Input= 1kHz, 0dBFS)					
FSO/FSI=16kHz/48kHz			-114		dB
FSO/FSI=16kHz/44.1kHz			-95		dB
FSO/FSI=8kHz/48kHz			-115		dB
FSO/FSI=8kHz/44.1kHz			-97		dB
Dynamic Range (Input= 1kHz, -60dBFS)					
FSO/FSI=16kHz/48kHz			114		dB
FSO/FSI=16kHz/44.1kHz			114		dB
FSO/FSI=8kHz/48kHz			114		dB
FSO/FSI=8kHz/44.1kHz			114		dB
Dynamic Range (Input= 1kHz, -60dBFS, A-weighted)					
FSO/FSI=8kHz/48kHz			117		dB
Ratio between Input and Output Sample Rate	FSO/FSI	0.167		0.363	-

Note 7. FSCONV への入力信号の帯域は、出力サンプリングレート 8kHz の場合 4kHz 以上、出力サンプリングレートが 16kHz の場合 8kHz 以上が、十分に減衰されている必要があります。

■ DC特性

(Ta = -40°C ~ 85°C, VSS = 0V, VDD = 3.0 ~ 3.6V, TVDD = 1.7 ~ 3.6V)

Parameter	Symbol	min	typ	max	Unit
ハイレベル入力電圧1 (Note 8)	VIH1	80%TVDD			V
ローレベル入力電圧1 (Note 8)	VIL1			20%TVDD	V
ハイレベル入力電圧2 (Note 9)	VIH2	80%VDD			V
ローレベル入力電圧2 (Note 9)	VIL2			20%VDD	V
SCL, SDA ハイレベル入力電圧	VIH3	70%VDD			V
SCL, SDA ローレベル入力電圧	VIL3			30%VDD	V
ハイレベル出力電圧1 Iout = -100μA (Note 8)					
1.7 ≤ TVDD < 3.0	VOH1	TVDD-0.3			V
3.0 ≤ TVDD ≤ 3.6	VOH1	TVDD-0.5			
ローレベル出力電圧1 Iout = 100μA (Note 8)					
1.7 ≤ TVDD < 3.0	VOL1			0.3	V
3.0 ≤ TVDD ≤ 3.6	VOL1			0.5	
ハイレベル出力電圧2 Iout = -100μA (Note 9)	VOH2	VDD-0.5			V
ローレベル出力電圧2 Iout = 100μA (Note 9)	VOL2			0.5	V
SDA ローレベル出力電圧 Iout = 3mA	VOL3			0.4	V
入力リーク電流 (Note 10)	Iin			±10	μA
入力リーク電流 プルダウン抵抗付きピン (Note 11)	Iid		81		μA

Note 8. 1pin-8pin に対応します。

Note 9. 1pin-8pin, SDA, SCL を除いたピンに対応します。

Note 10. プルダウン抵抗付きピン, XTI pin を除きます。

Note 11. プルダウン抵抗付きピン (typ. 40.7kΩ) は LRCLK1, BITCLK1, TESTI1, TESTI2, TESTI3 pin です。

■ 消費電流

(Ta = 25°C, VSS = 0V, VDD = 3.0 ~ 3.6V (typ = 3.3V, max = 3.6V), TVDD = 1.7 ~ 3.6V (typ = 1.8V, max = 3.6V))

	Parameter	min	typ	max	Unit
動作時消費電流 (Note 12)	TVDD		0.3	0.5	mA
	VDD		31	50	mA
パワーダウン時消費電流 (PDN = L)	TVDD		0.01		μA
	VDD		1		μA

Note 12. 消費電流値は使用周波数および DSP プログラム内容によって変化します。

デジタルフィルタ特性

■ SRC部

(Ta= -40°C~85°C, VDD=3.0~3.6V, TVDD=1.7~3.6V, VSS =0V)

Parameter		Symbol	min	typ	max	Unit
通過域 -0.01dB	$0.980 \leq \text{FSO/FSI} \leq 6.000$	PB	0		0.4583FSI	kHz
	$0.900 \leq \text{FSO/FSI} < 0.990$	PB	0		0.4167FSI	kHz
	$0.533 \leq \text{FSO/FSI} < 0.909$	PB	0		0.2182FSI	kHz
	$0.490 \leq \text{FSO/FSI} < 0.539$	PB	0		0.2177FSI	kHz
	$0.450 \leq \text{FSO/FSI} < 0.495$	PB	0		0.1948FSI	kHz
	$0.225 \leq \text{FSO/FSI} < 0.455$	PB	0		0.1312FSI	kHz
通過域 -0.50dB	$0.167 \leq \text{FSO/FSI} < 0.227$	PB	0		0.0658FSI	kHz
阻止域	$0.980 \leq \text{FSO/FSI} \leq 6.000$	SB	0.5417FSI			kHz
	$0.900 \leq \text{FSO/FSI} < 0.990$	SB	0.5021FSI			kHz
	$0.533 \leq \text{FSO/FSI} < 0.909$	SB	0.2974FSI			kHz
	$0.490 \leq \text{FSO/FSI} < 0.539$	SB	0.2812FSI			kHz
	$0.450 \leq \text{FSO/FSI} < 0.495$	SB	0.2604FSI			kHz
	$0.225 \leq \text{FSO/FSI} < 0.455$	SB	0.1802FSI			kHz
通過域リップル	$0.225 \leq \text{FSO/FSI} \leq 6.000$	PR			±0.01	dB
	$0.167 \leq \text{FSO/FSI} < 0.227$	PR			±0.50	dB
阻止域減衰量	$0.450 \leq \text{FSO/FSI} \leq 6.000$	SA	95.2			dB
	$0.167 \leq \text{FSO/FSI} < 0.455$	SA	90.0			dB
群遅延 (Ts=1/fs) Note 13		GD		63		Ts

Note 13. 入力と出力の位相ずれがない時の L, R のデータが入力された後の LRCLKI3 の立ち上がりから、L, R データを出力する前の LRCLKO の立ち上がりまでの時間です。

■ FSCONV部

(Ta= -40°C~85°C, VDD=3.0~3.6V, TVDD=1.7~3.6V, VSS =0V)

Parameter		Symbol	min	typ	max	Unit
通過域 -0.01dB	$0.167 \leq \text{FSO/FSI} \leq 0.363$	PB	0		0.1814FSI	kHz
阻止域	$0.167 \leq \text{FSO/FSI} \leq 0.363$	SB	0.8185FSI			kHz
通過域リップル	$0.167 \leq \text{FSO/FSI} \leq 0.363$	PR			±0.005	dB
阻止域減衰量	$0.167 \leq \text{FSO/FSI} \leq 0.363$	SA	94.0			dB
群遅延 (Ts=1/fs) (Note 14)		GD		9		Ts

Note 7. FSCONVへの入力信号の帯域は、出力サンプリングレート 8kHzの場合 4kHz以上、出力サンプリングレートが 16kHzの場合 8kHz以上が、十分に減衰されている必要があります。

Note 14. 入力と出力の位相ずれがない時の、データが入力された後の LRCLKI2 の立ち上がりから、データを出力する前の LRCLKO の立ち上がりまでの時間です。

スイッチング特性

■ システムクロック

(Ta= -40°C~85°C; VDD=3.0~3.6V, TVDD=1.7~3.6V, VSS =0V; CL=20pF)

Parameter		Symbol	min	typ	max
a)水晶振動子使用時					
CKM[2:0]bits=0h	fXTI		11.2896 12.288		MHz
CKM[2:0]bits=1h	fXTI		16.9344 18.432		MHz
b)外部クロック使用時					
デューティ比		40	50	60	%
CKM[2:0]bits=0h,2h	fXTI	11.0	11.2896 12.288	12.4	MHz
CKM[2:0]bits=1h	fXTI	16.5	16.9344 18.432	18.6	MHz
LRCLK1周波数 (Note 15)	fs	8		96	kHz
BITCLK1周波数 (Note 16)			32,48,64		fs
ハイレベル幅	tBCLKH	64			ns
ローレベル幅	tBCLKL	64			ns
周波数	fBCLK	0.23	3.072	6.2	MHz
LRCLKI2周波数(FSCONV) (Note 17)	fs	44.1		48	kHz
BITCLKI2周波数(FSCONV) (Note 18)			32,48,64,128		fs
ハイレベル幅	tBCLKH	64			ns
ローレベル幅	tBCLKL	64			ns
周波数	fBCLK	1.25	3.072	6.2	MHz
LRCLKI3周波数(SRC)	fs	8		96	kHz
BITCLKI3周波数(SRC)			32,48,64,128		fs
ハイレベル幅	tBCLKH	32			ns
ローレベル幅	tBCLKL	32			ns
周波数	fBCLK	0.23	3.072	12.4	MHz

Note 15. LRCLK1 とサンプリングレート(fs)は、一致している必要があります。

Note 16. BITCLK1 を内部動作用の基準クロックとして使用する場合は、LRCLK1 と同期し、周波数は固定している必要があります。

Note 17. CKM mode 4時は fs=8~48kHzです。

Note 18. CKM mode 4時は 128fsは禁止です。

■ パワーダウン

(Ta= -40°C~85°C; VDD=3.0~3.6V, TVDD=1.7~3.6V, VSS =0V)

Parameter	Symbol	min	typ	max	Unit
PDN (Note 19)	tRST	600			ns

Note 19. 電源投入時は“L”にしてください。

■ シリアルデータインタフェース

(Ta= -40°C ~85°C; VDD=3.0~3.6V, TVDD=1.7~3.6V, VSS =0V; CL=20pF)

Parameter	Symbol	min	typ	max	Unit
DSP部入力 SDIN1, 2A, 2B, 2C, 3, 4 (Note 20)					
BITCLK1 “↑”からLRCLK1への遅延時間 (Note 21)	tBLRD	20			ns
LRCLK1からBITCLK1 “↑”への遅延時間 (Note 21)	tLRBD	20			ns
シリアルデータ入力 ラッチセットアップ時間	tBSIDS	80			ns
シリアルデータ入力 ラッチホールド時間	tBSIDH	80			ns
SRC部入力 SDIN3					
BITCLKI3 “↑”からLRCLKI3への遅延時間 (Note 22)	tBLRD	20			ns
LRCLKI3からBITCLKI3 “↑”への遅延時間 (Note 22)	tLRBD	20			ns
シリアルデータ入力 ラッチセットアップ時間	tBSIDS	40			ns
シリアルデータ入力 ラッチホールド時間	tBSIDH	40			ns
FSCONV部入力 SDIN4 (Note 23)					
BITCLKI2 “↑”からLRCLKI2への遅延時間 (Note 24)	tBLRD	20			ns
LRCLKI2からBITCLKI2 “↑”への遅延時間 (Note 24)	tLRBD	20			ns
シリアルデータ入力 ラッチセットアップ時間	tBSIDS	40			ns
シリアルデータ入力 ラッチホールド時間	tBSIDH	40			ns
出力 SDOUT1, SDOUT2, SDOUT3, SDOUT4					
BITCLKO周波数 (Note 25)	fBCLK		64		fs
BITCLKOデューティ比 (Note 25)			50		%
BITCLKO “↓”からLRCLKOへの遅延時間 (Note 26)	tMBL	-20		40	ns
LRCLK1からシリアルデータ出力遅延時間 (Note 27)	tLRD			80	ns
BITCLK1 “↓”からシリアルデータ出力遅延時間 (Note 28)	tBSOD			80	ns
LRCLKOからシリアルデータ出力遅延時間 (Note 27)	tLRD			80	
BITCLKO “↓”からシリアルデータ出力遅延時間 (Note 29)	tBSOD			80	
SDINn → SDOUTn (n=1, 2A, 2B, 2C, 3, 4)					
SDINnからSDOUTn出力遅延時間	tIOD			60	ns

Note 20. CKM mode 4時は LRCLKI2, BITCLKI2 からの時間です。

Note 21. BITCLK1の極性が反転している場合は BITCLK1の “↓”になります。

Note 22. BITCLKI3の極性が反転している場合は BITCLKI3の “↓”になります。

Note 23. CKM mode 4時を除きます。

Note 24. BITCLKI2の極性が反転している場合は BITCLKI2の “↓”になります。

Note 25. スレーブモード時は除きます。

Note 26. コントロールレジスタ BCKOP bit= “1”時は BITCLKOの “↑”に対しての値です。

Note 27. I2S 互換モード時は除きます

Note 28. BITCLK1の極性を反転させた場合は BITCLK1の “↑”になります。

Note 29. BITCLKOの極性を反転させた場合は BITCLKOの “↑”になります。

■ マイコンインタフェース

(Ta= -40°C ~85°C; VDD=3.0~3.6V, TVDD=1.7~3.6V, VSS=0V; CL=20pF)

Parameter	Symbol	min	typ	max	Unit
マイコンインタフェース用信号					
SCLK 周波数	fSCLK			2.1	MHz
SCLK ローレベル幅	tSCLKL	200			ns
SCLK ハイレベル幅	tSCLKH	200			ns
マイコン→AK7736A CSNハイレベル幅	tWRQH	500			ns
CSN “↑”からPDN “↑”	tRST	600			ns
PDN “↑”からCSN “↓”	tIRRQ	1			ms
CSN “↓”からSCLK “↓”	tWSC	500			ns
SCLK “↑”からCSN “↑”	tSCW	800			ns
SI ラッチセットアップ時間	tSIS	200			ns
SI ラッチホールド時間	tSIH	200			ns
AK7736A→マイコン					
SCLKの “↓”からSO出力遅延時間	tSOS			200	ns
SCLKの “↑”からSO出力ホールド時間 (Note 30)	tSOH	200			ns

Note 30. コマンドコードの 8bit 目入力時は除きます。

■ I2CBUSインタフェース

(Ta= -40°C ~85°C; VDD=3.0~3.6V, TVDD=1.7~3.6V, VSS=0V; CL=20pF)

Parameter	Symbol	min	typ	max	Unit
I2C Timing					
SCL clock frequency	fSCL			400	kHz
Bus Free Time Between Transmissions	tBUF	1.3			μs
Start Condition Hold Time (prior to first Clock pulse)	tHD:STA	0.6			μs
Clock Low Time	tLOW	1.3			μs
Clock High Time	tHIGH	0.6			μs
Setup Time for Repeated Start Condition	tSU:STA	0.6			μs
SDA Hold Time from SCL Falling	tHD:DAT	0		0.9	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1			μs
Rise Time of Both SDA and SCL Lines	tR			0.3	μs
Fall Time of Both SDA and SCL Lines	tF			0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6			μs
Pulse Width of Spike Noise Suppressed By Input Filter	tSP	0		50	ns
Capacitive load on bus	Cb			400	pF

■ タイミング波形

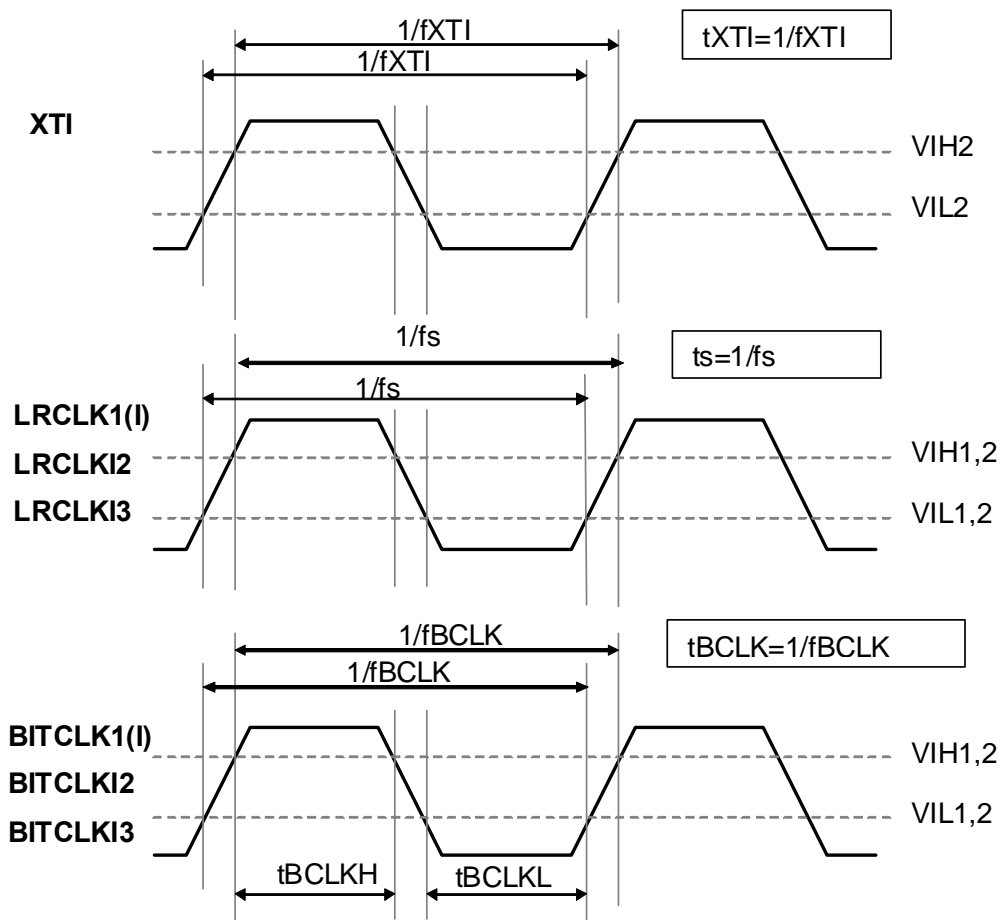


Figure 3. システムクロック

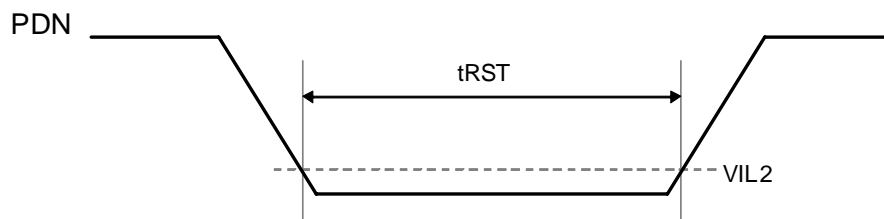


Figure 4. パワーダウン

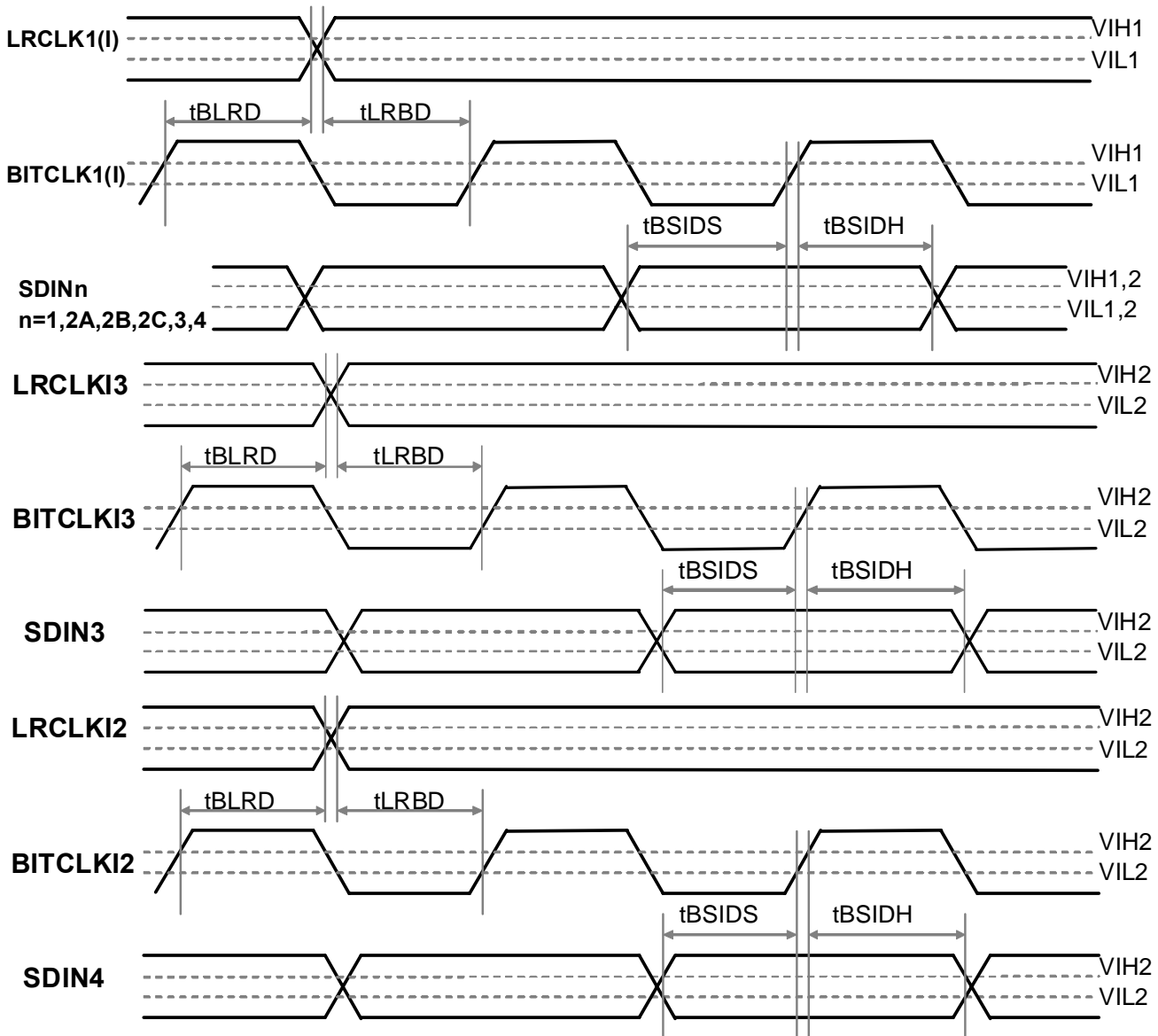


Figure 5. スレーブモード入力インタフェース

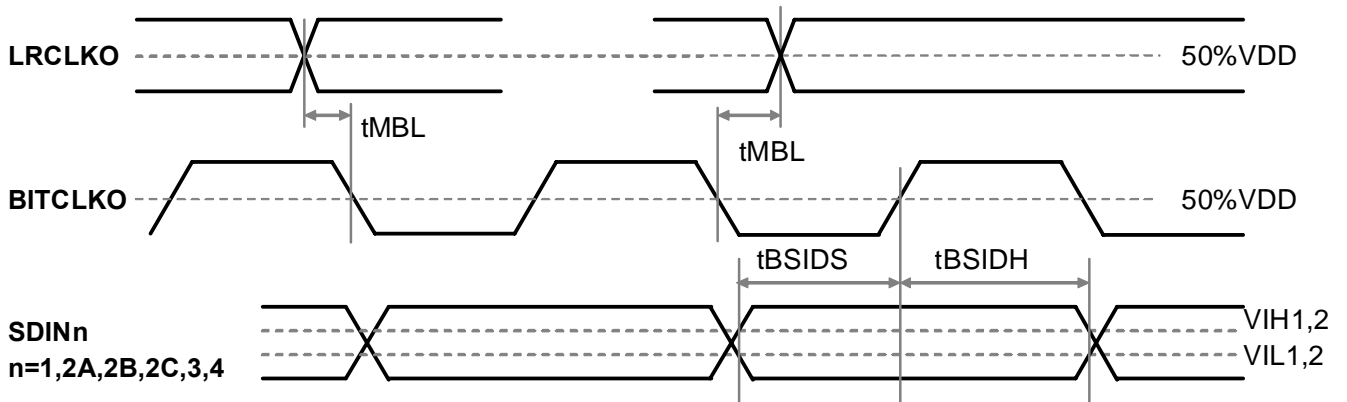


Figure 6. マスタモード入力インタフェース

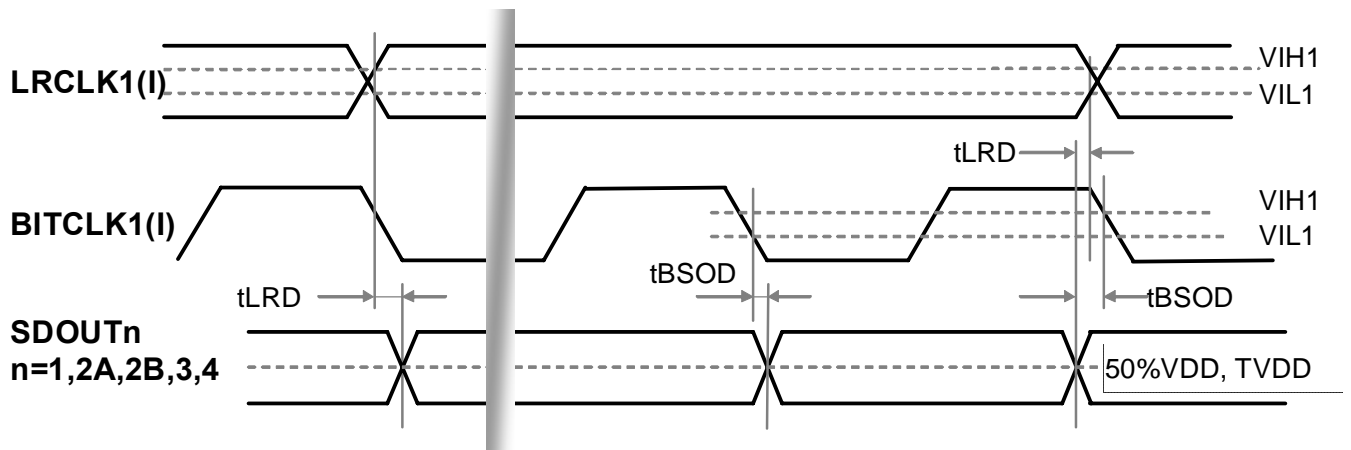


Figure 7. スレーブモード出力インタフェース

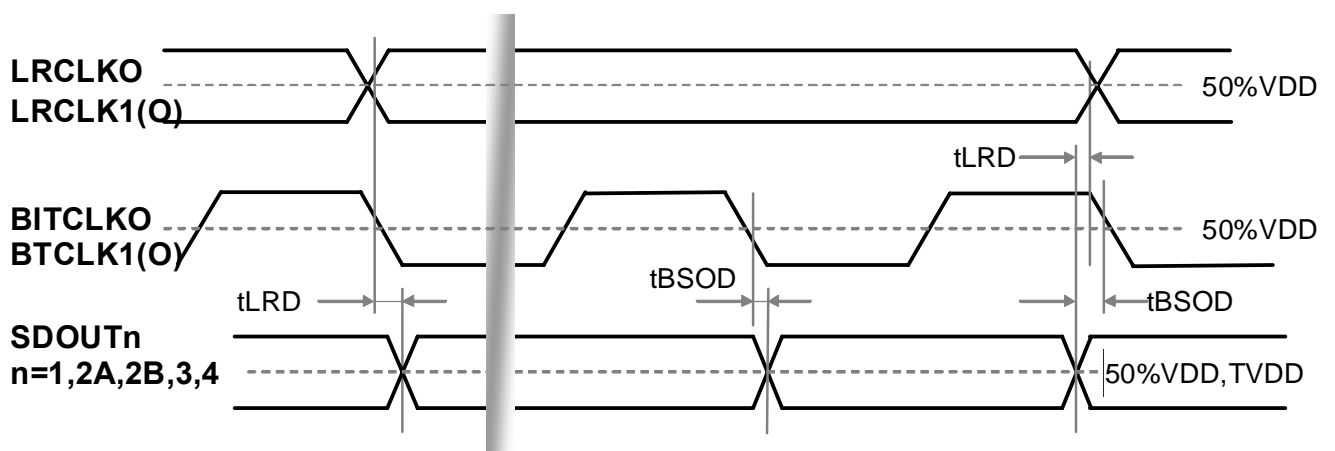


Figure 8. マスタモード出力インタフェース

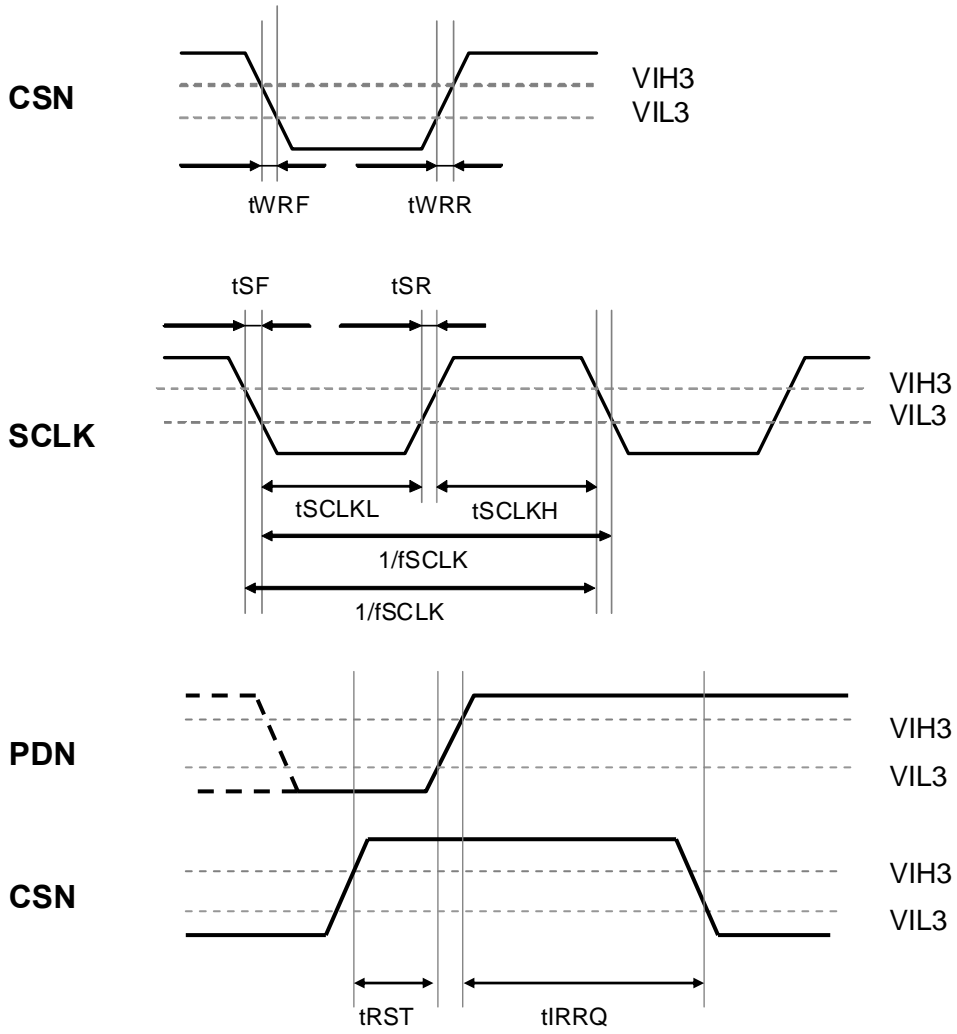


Figure 9. マイコンインタフェース用信号

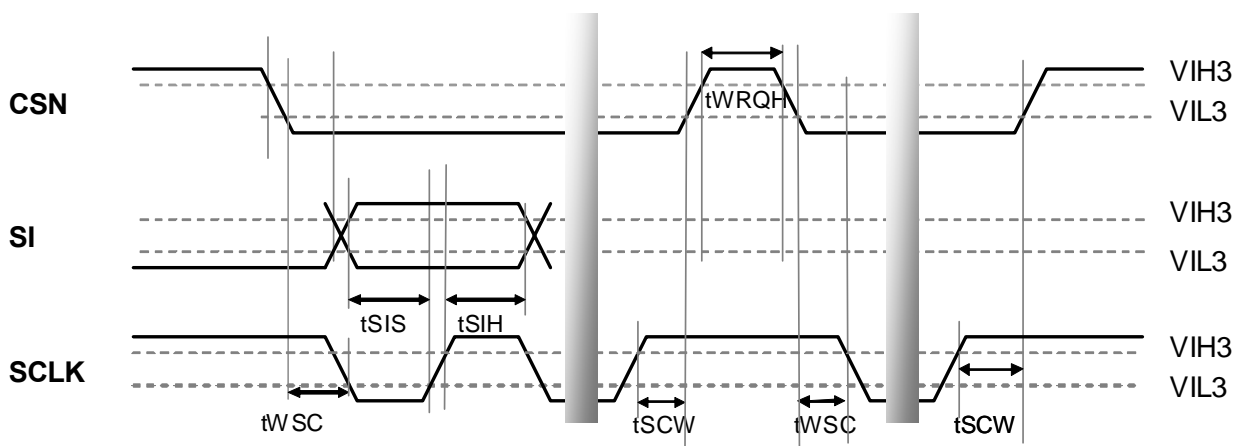


Figure 10. マイコン→AK7736A

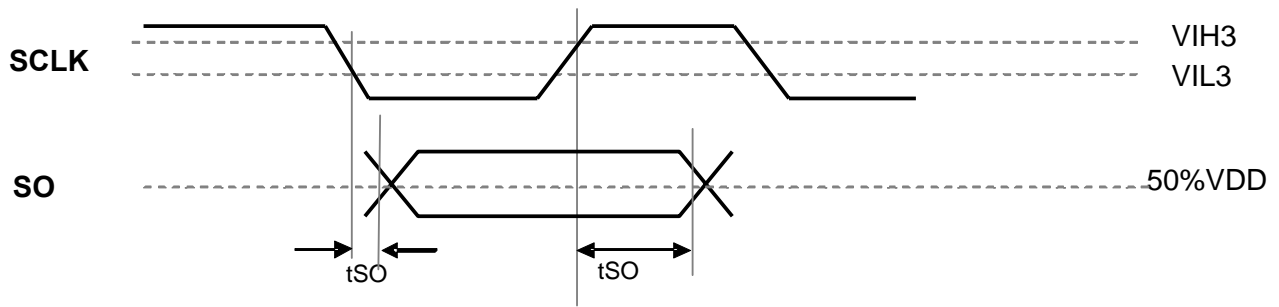


Figure 11. AK7736A→マイコン

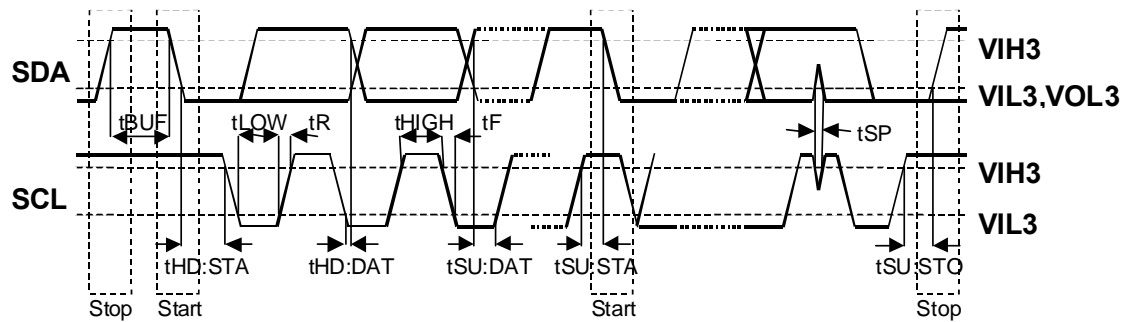
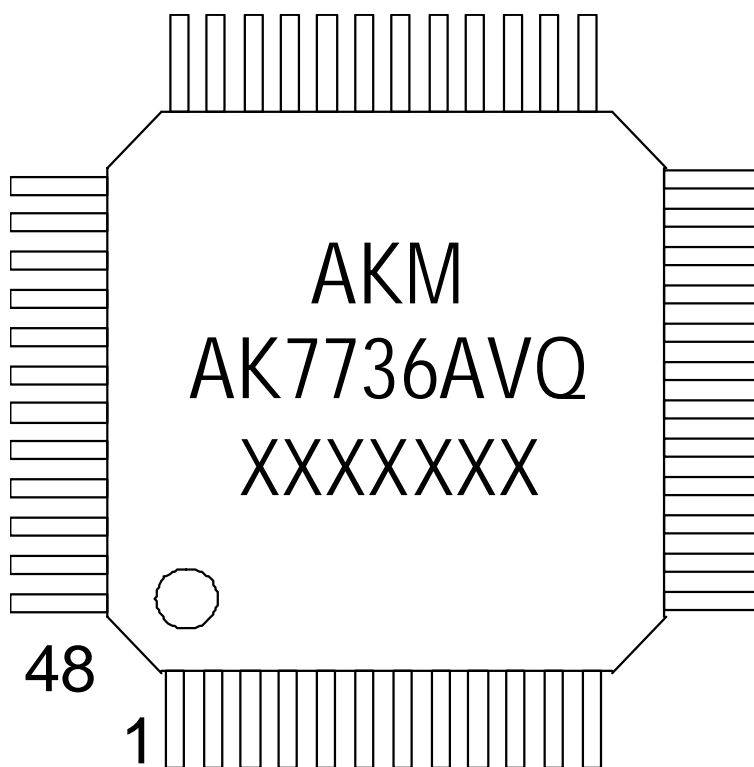


Figure 12. I2CBUSインタフェース

マーキング



- 1) pin #1 indication
- 2) Date Code: XXXXXXX(7 digits)
- 3) Marking Code: AK7736AVQ
- 4) Asahi Kasei Logo

改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
12/12/17	00	初版		

重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
- 本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器設計において本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報を使用される場合は、お客様の責任において行ってください。本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。また、当該使用に起因する、工業所有権その他の第三者の所有する権利に対する侵害につきましても同様です。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取りください。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。

旭化成エレクトロニクス製品のご検討ありがとうございます。

より詳しい資料を用意しておりますので、お手数ですが弊社営業担当、あるいは弊社特約店営業担当までお申し付けください。