



# AK7758

## DSP with Stereo CODEC + Mic/Lineout Amp

### 1. 概要

AK7758は、ステレオオーディオCODEC、マイクアンプ、ラインアウトアンプ、デジタルオーディオインタフェースを内蔵したシグナルプロセッサです。DSP、Sub DSPは共に3072step (48kHzサンプリング時) 並列演算能力を持ち、RAMベースDSPのため、プログラムを書き換えることで、ユーザの要望に合わせた音響処理効果や、独自開発の高性能HF機能を実現させることも可能です。36-pin QFNパッケージに実装されます。

### 2. 特長

#### □ DSP部:

- データ幅: 28-bit (略式浮動小数点对応)
- マシンサイクル: 最速6.8ns (3072fs, fs=48kHz時)
- 乗算器: 24 x 24 → 48-bit (倍精度演算可)
- 除算器: 24 / 24 → 24-bit (浮動小数点正規化機能付)
- ALU: 52-bit 算術演算 (with overflow margin 4-bit)
- プログラムRAM (PRAM): 6144 x 36-bit
- 係数RAM (CRAM) : 4096 x 24-bit
- データRAM (DRAM) : 4096 x 28-bit (24-bit 浮動小数点对応)
- オフセットレジスタ (OFREG): 32 x 14-bit
- 遅延用RAM (DLRAM) : 16384 x 28-bit
- JX pins (Interrupt)

#### □ Sub DSP部:

- データ幅: 28-bit (略式浮動小数点对応)
- マシンサイクル:最速6.8ns (3072fs, fs=48kHz時)
- 乗算器: 24 x 24 → 48-bit (倍精度演算可)
- 除算器: 24 / 24 → 24-bit (浮動小数正規化機能付)
- ALU: 52bit算術演算 (with overflow margin 4bit)
- プログラムRAM (PRAM): 1024 x 36-bit
- 係数RAM (CRAM) : 3072 x 24-bit
- データRAM (DRAM) : 3072 x 28-bit
- 遅延用RAM (DLRAM) : 3072 x 28-bit

#### □ Two Digital Interfaces (I/F 1, I/F 2)

- デジタル信号入力ポート(6ch) 前詰24-bit / 後詰24, 20, 16-bit及びI<sup>2</sup>Sフォーマット対応
- デジタル信号出力ポート(8ch) 前詰24-bit / 後詰24, 20, 16-bit及びI<sup>2</sup>Sフォーマット対応
- Short / Long Frame 対応
- TDM 128fs(4ch), 192fs(6ch), 256fs (8ch) フォーマット対応

- ステレオ24-bit ADC:
  - サンプリング周波数:  $f_s = 8\text{kHz} \sim 48\text{kHz}$
  - ADC特性 S/(N+D): 91dB; DR, S/N: 102dB
  - 2系統アナログ入力セレクタ(差動、シングルエンド入力)
  - 2系統アナログ入力レンジ調整用アンプ内蔵(シングルエンド入力)
  - チャンネル独立マイクアナログゲインアンプ(0 ~ 18dB(2dB Step), 18dB~36dB(3dB Step))
  - アナログDRC(ダイナミックレンジ制御機能)
  - チャンネル独立デジタルボリューム内蔵(24dB ~ -103dB, 0.5dB Step, Mute)
  - DCオフセットキャンセル用デジタルHPF
- ライン入力
  - シングルエンド
  - ラインアンプ内蔵(21dB ~ -21dB, 3dB Step, Mute)
- ステレオ 24-bit DAC
  - サンプリング周波数:  $f_s = 8\text{kHz} \sim 48\text{kHz}$
  - デジタルボリューム内蔵(12dB ~ -115dB, 0.5dB Step, Mute)
- ライン出力
  - シングルエンド
  - S/(N+D): 89dB; DR, S/N: 106dB
  - ステレオアナログボリューム内蔵(+0 ~ -28dB, 2.0dB Step, Mute)
- アナログミキサー
- デジタルミキサー
- 2chデジタルマイクインタフェース内蔵
- 3系統アナログスルーパス
- PLL回路内蔵
- I<sup>2</sup>C bootloader
  - EEPROMマット選択可能
- $\mu$ Pインタフェース: SPI, I<sup>2</sup>CBUS(400kHz Fast-Mode)
- 電源電圧:

アナログ	AVDD:	3.0V ~ 3.6V (typ. 3.3V)
デジタル1	LVDD:	3.0V ~ 3.6V (typ. 3.3V)
デジタル2	DVDD:	1.14V~1.3V(typ. 1.2V)(外部電源 or 内部レギュレータ選択可能)
I/F	TVDD1/2:	1.7V ~ 3.6V (typ. 3.3V)
- 動作温度範囲: -40 ~ 85°C
- パッケージ: 36-pin QFN (0.5mm pitch)

**3. 目次**

1. 概要 .....	1
2. 特長 .....	1
3. 目次 .....	3
4. ブロック図と機能説明 .....	4
4.1. デバイスブロック図 .....	4
4.2. DSP部ブロック図 .....	5
4.3. Sub DSP部ブロック図 .....	6
5. ピン配置と機能説明 .....	7
5.1. ピン配置図 .....	7
5.2. ピン機能説明 .....	8
5.3. 使用しないピンの処理について .....	10
5.4. 各デジタルピンとデジタル電源の関連 .....	10
5.5. パワーダウン時、及びパワーダウン解除時のピン状態 .....	11
6. 絶対最大定格 .....	12
7. 推奨動作条件 .....	13
8. 電気的特性 .....	14
8.1. アナログ特性 .....	14
8.2. DC特性 .....	19
8.3. 消費電流 .....	20
8.4. デジタルフィルタ特性 .....	21
8.5. スイッチング特性 .....	22
9. パッケージ .....	29
9.1. パッケージ外形寸法図 .....	29
9.2. 材質・メッキ仕様 .....	29
9.3. マーキング .....	30
10. オーダリングガイド .....	30
11. 改訂履歴 .....	30
重要な注意事項 .....	31

4. ブロック図と機能説明

4.1. デバイスブロック図

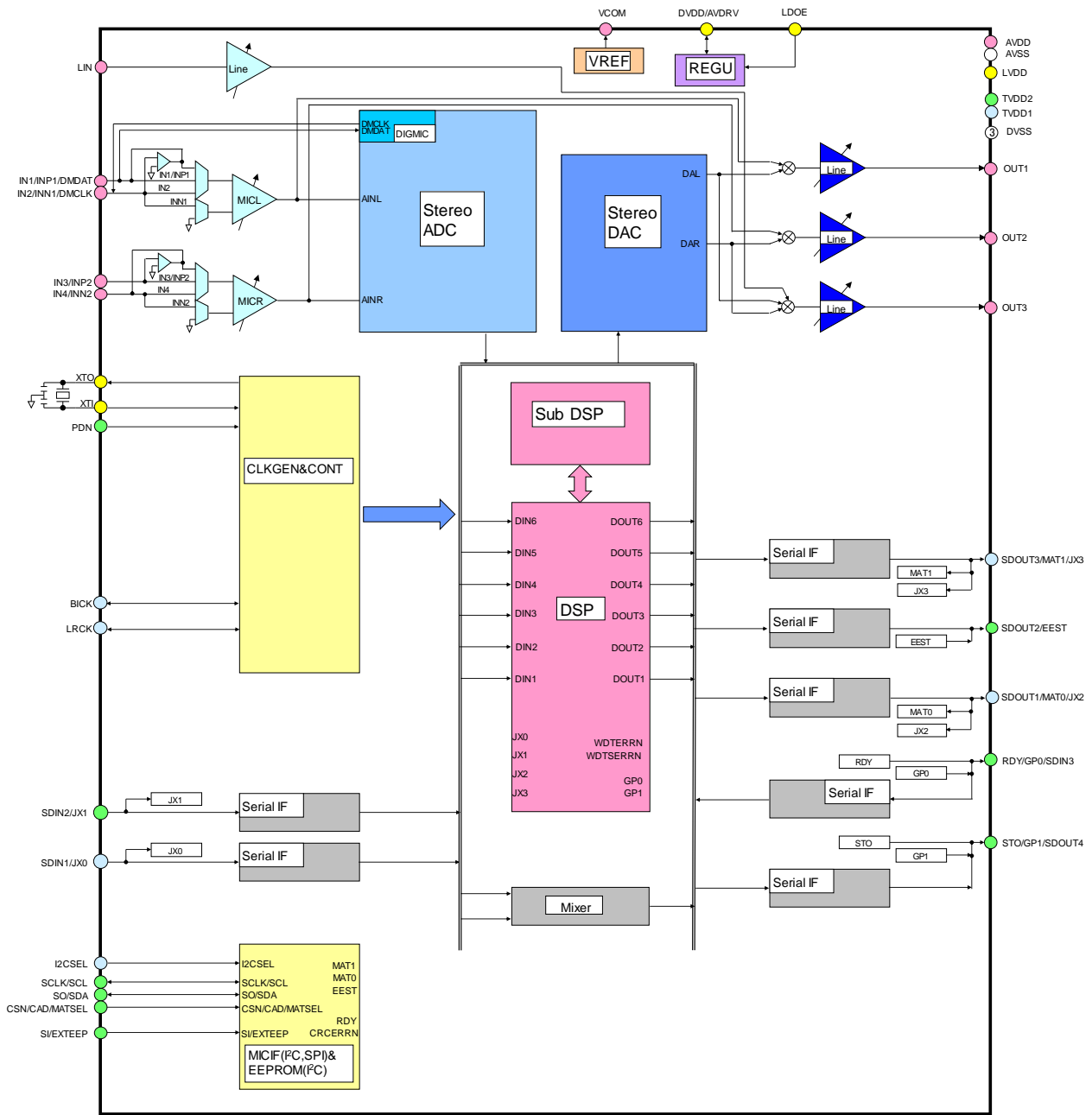


Figure 1. 全体ブロック図

4.2. DSP部ブロック図

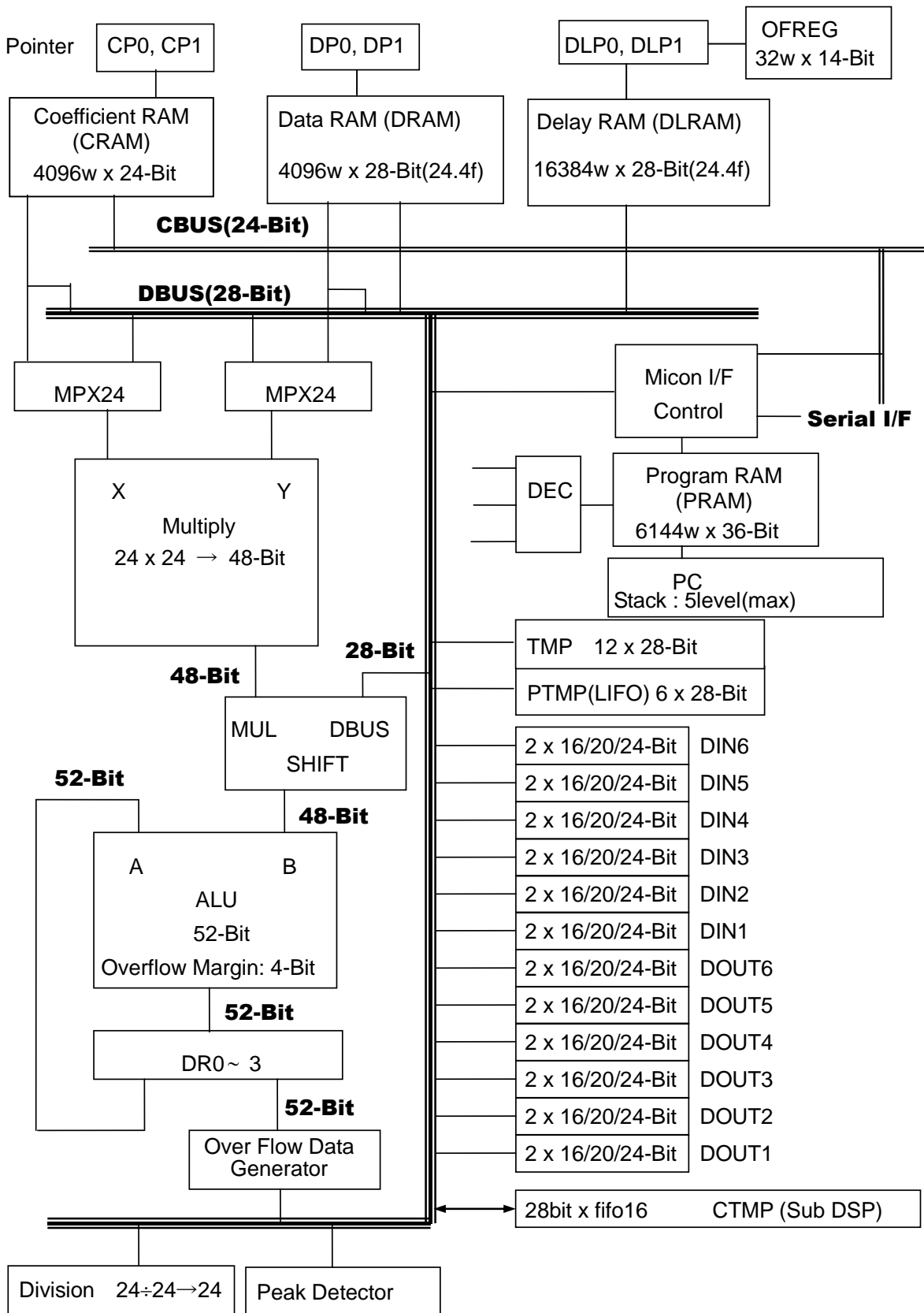


Figure 2. DSP ブロック図

4.3. Sub DSP 部ブロック図

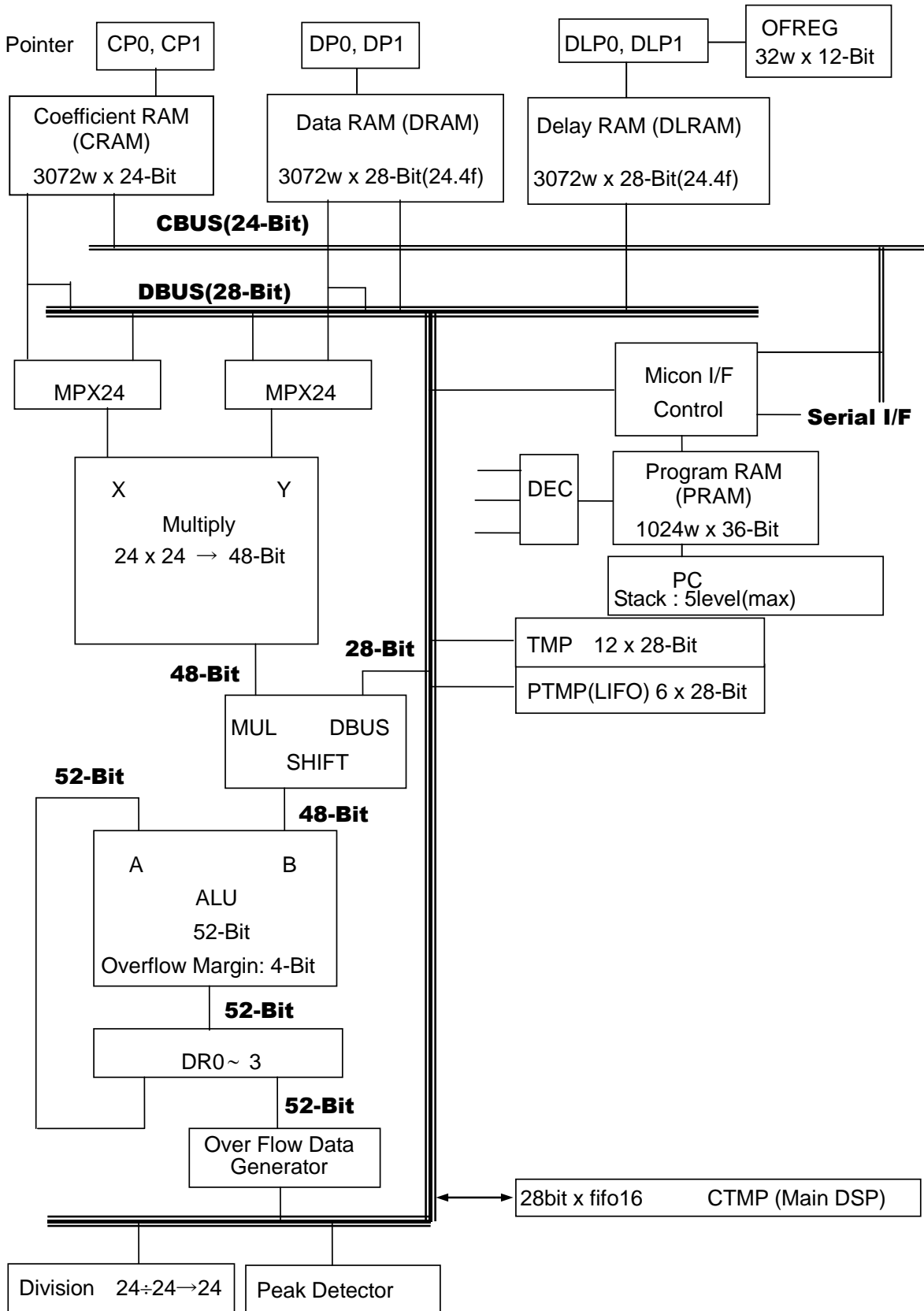


Figure 3. Sub DSP ブロック図

5. ピン配置と機能説明

5.1. ピン配置図

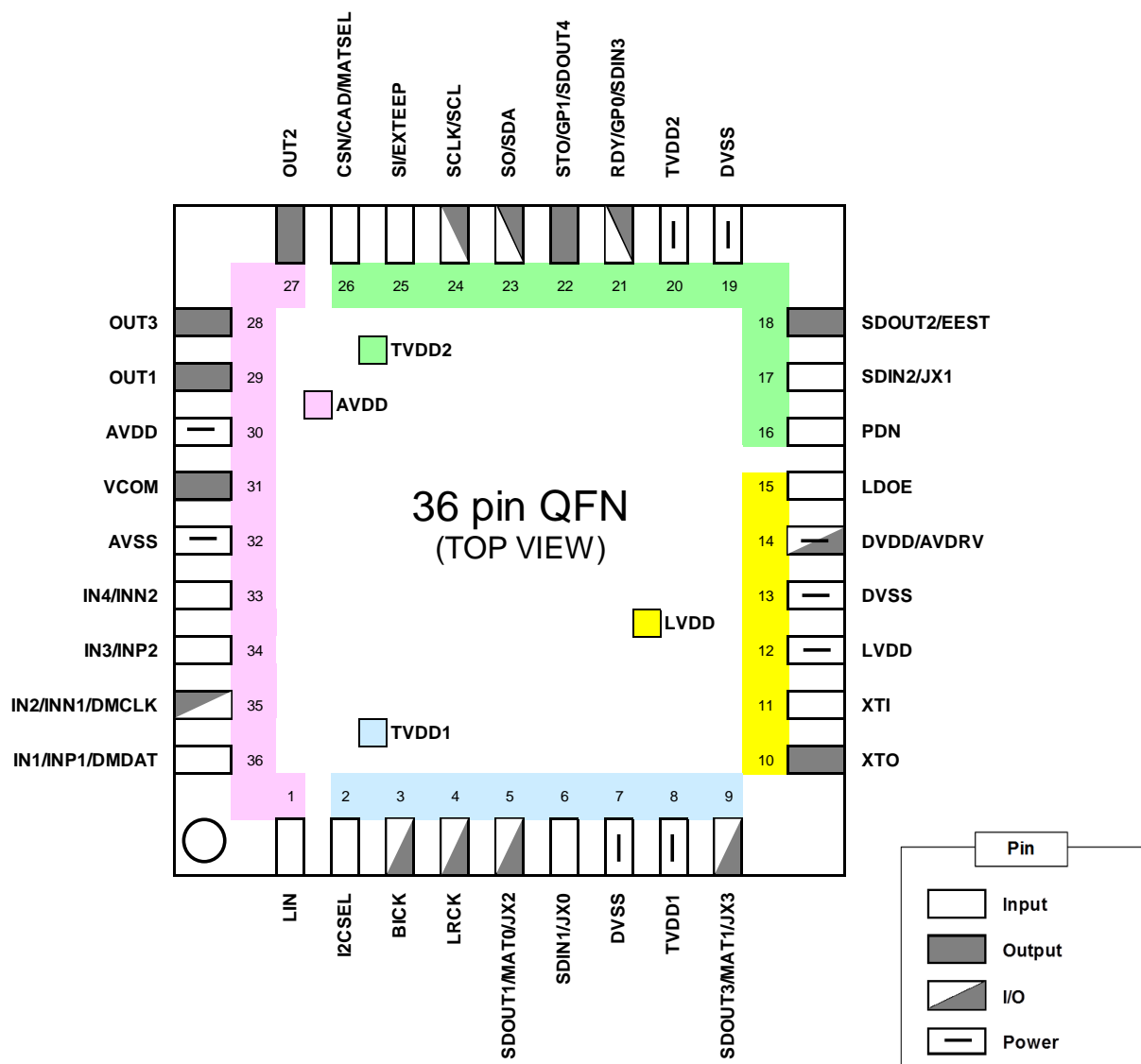


Figure 4. ピン配置図

## 5.2. ピン機能説明

No.	Pin名称	I/O	機能
1	LIN	I	ライン入力ピン
2	I2CSEL	I	I2CBUS選択ピン I2CSEL pin = "L": SPIインタフェース I2CSEL pin = "H": I <sup>2</sup> CBUSインタフェース I2CSELは、“L(DVSS)”, “H(TVDD1)”固定で使用してください。
3	BICK	I/O	シリアルビットクロックピン(プルダウン抵抗付き)
4	LRCK	I/O	LRチャンネル選択ピン(プルダウン抵抗付き)
5	SDOUT1	O	シリアルデータ1出力ピン (SDOUT1E bit = “1”)
	MAT0	I	EEPROMダウンロード マット選択アドレス0ピン(プルダウン抵抗付き) (I2CSEL pin = EXTEEP pin = MATSEL pin = “H”)
	JX2	I	外部条件Jump2ピン(プルダウン抵抗付き) (SDOUT1E bit = “0” & (D1JX2E bit = “1” or D2JX2E bit = “1”))
6	SDIN1	I	シリアルデータ1入力ピン(SDIN1SEL bit = “0”)
	JX0	I	外部条件Jump0ピン (SDIN1SEL bit = “1” & (D1JX0E bit = “1” or D2JX0E bit = “1”))
7	DVSS	-	グランドピン 0V
8	TVDD1	-	デジタルIO電源1ピン 1.7~3.6V (typ.3.3V)
9	SDOUT3	O	シリアルデータ3出力ピン (SDOUT3E bit = “1”)
	MAT1	I	EEPROMダウンロード マット選択アドレス1ピン(プルダウン抵抗付き) (I2CSEL pin = EXTEEP pin = MATSEL pin = “H”)
	JX3	I	外部条件Jump3ピン(プルダウン抵抗付き) (SDOUT3E bit = “0” & (D1JX3E bit = “1” or D2JX3E bit = “1”))
10	XTO	O	発振回路出力ピン 水晶振動子を使用する場合、水晶振動子をXTI pinとXTO pinに接続します。 水晶振動子を使用しない場合は、オープンにしてください。
11	XTI	I	発振回路入力ピン 水晶振動子を使用する場合は、水晶振動子をXTI pinとXTO pinに接続します。 水晶振動子を使用しない場合は、外部クロックを接続するか、もしくはオープンにしてください。
12	LVDD	-	デジタルコア電源ピン 3.0~3.6V (typ. 3.3V)
13	DVSS	-	デジタルグランドピン 0V
14	DVDD	-	デジタルコア電源ピン 1.14~1.3V (typ. 1.2V) (LDOE pin = “L”)
	AVDRV	O	LDO出力ピン (LDOE pin = “H”) 2.2 $\mu$ F( $\pm$ 30%)のコンデンサを13pin(DVSS)との間に接続します。 外部回路には使用しないでください。
15	LDOE	I	LDO選択ピン LDOE pin = “L”: 14 pin 外部1.2V供給 LDOE pin = “H”: 14 pin LDO Output(LDO動作) LDOE pinは、“L(DVSS)”, “H(LVDD)”固定で使用してください。
16	PDN	I	パワーダウンNピン AK7758をパワーダウンするのに使用します。 電源立ち上げ時は“L”にしてください。
17	SDIN2	I	シリアルデータ2入力ピン (SDIN2SEL bit = “0”)
	JX1	I	外部条件Jump1ピン (SDIN2SEL bit = “1” & (D1JX1E bit = “1” or D2JX1E bit = “1”))
18	SDOUT2	O	シリアルデータ2出力ピン(SDOUT2E bit = “1”)
	EEST	O	EEPROMインタフェース ステータスピン(EEPROMダウンロード使用時)



19	DVSS	-	デジタルグランドピン 0V
20	TVDD2	-	デジタルIO電源2ピン 1.7~3.6V (typ.3.3V)
21	RDY	O	RDYピン (RDYE bit = "1" & RDYSEL bit = "0")
	GP0	O	General Purpose Outout 0ピン (RDYE bit = "1" & RDYSEL bit = "1")
	SDIN3	I	シリアルデータ3入力ピン(プルダウン抵抗付き) (SDIN3SEL bit = "1" & RDYE bit = "0")
22	STO	O	ステータス出力ピン (STOE bit = "1" & STOSEL [1:0] bits = "00")
	GP1	O	General Purpose Output 1ピン (STOE bit = "1" & STOSEL [1:0] bits = "01")
	SDOUT4	O	シリアルデータ4出力ピン (STOE bit = "1" & STOSEL [1:0] bits = "10")
23	SO	O	SO pin (I2CSEL pin = "L")
	SDA	I/O	SDA pin I <sup>2</sup> CBUSインタフェース(I2CSEL pin = "H")
24	SCLK	I	SPIインタフェース用シリアルデータクロックピン(I2CSEL pin = "L") クロックを入力しない時は、SCLK pin = "H"にしてください。
	SCL	I/O	SCL pin I <sup>2</sup> CBUSインタフェース(I2CSEL pin = "H") EEPROMダウンロード(EXTEEP pin = "H")時は出力ピンとなります。
25	SI	I	SPIインタフェース用シリアルデータ入力ピン(I2CSEL pin = "L") 使用しない場合は、SI pin = "L"にしてください。
	EXTEEP	I	EEPROMダウンロードコントロールピン(I2CSEL pin = "H")
26	CSN	I	SPIインタフェース用ChipSelectNピン (I2CSEL pin = "L") パワーダウン中および、マイコンとのインタフェースを行わない場合は、 CSN pin = "H"にしてください。
	CAD	I	I <sup>2</sup> CBUSアドレスピン(I2CSEL pin = "H")
	MATSEL	I	EEPROMダウンロード マット選択ピン(I2CSEL pin = EXTEEP pin = "H")
27	OUT2	O	ライン出力2ピン
28	OUT3	O	ライン出力3ピン
29	OUT1	O	ライン出力1ピン
30	AVDD	-	アナログ電源ピン 3.0~3.6V (typ.3.3V)
31	VCOM	O	アナログ部コモン電圧出力ピン 2.2μFのセラミックコンデンサをAVSSとの間に接続してください。 外部回路には使用しないでください。
32	AVSS	-	グランドピン 0V
33	IN4/INN2	I	ADC 入力ピン(AINE bit = "1")
34	IN3/INP2	I	ADC 入力ピン(AINE bit = "1")
35	IN2/INN1	I	ADC 入力ピン(AINE bit = "1")
	DMCLK	O	デジタルマイククロック出力ピン (DMIC bit = "1")
36	IN1/INP1	I	ADC 入力ピン(AINE bit = "1")
	DMDAT	I	デジタルマイクデータ入力ピン (DMIC bit = "1")

Note 1. パッケージ裏面の露出パッド(Exposed Pad)はオープンもしくはグランドに接続してください。

Note 2. デジタル入力ピンは、オープンにしないでください。アナログ入力ピンを使用しない場合は、オープンにしてください。

Note 3. ピン機能説明に記載の"プルダウン抵抗付き"はパワーダウン解除(PDN pin = "H")直後のピン状態をさします

### 5.3. 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

区分	ピン名	設定
Analog	LIN, IN1/INP1, IN2/INN1, IN3/INP2, IN4/INN2, OUT1, OUT3, OUT2	オープン
Digital	BICK, LRCK, SDOUT1/MAT0/JX2, SDOUT3/MAT1/JX3, XTO, XTI SDOUT2/EEST, RDY/GP0/SDIN3, STO/GP1/SDOUT4, DMDAT, DMCLK	オープン
	SDIN1/JX0, SDIN2/JX1	DVSSに接続

Table 1. 使用しない入力ピンの処理

Note 4. LRCK, BICK pin を使用しない場合、DVSS に接続することを薦めますが、プルダウン抵抗付きピンのため、オープンにしても問題ありません。

### 5.4. 各デジタルピンとデジタル電源の関連

電源ピン	デジタルピン
AVDD	DMDAT, DMCLK
TVDD1	I2CSEL, BICK, LRCK, SDOUT1/MAT0/JX2, SDIN1/JX0, SDOUT3/MAT1/JX3
TVDD2	CSN/CAD/MATSEL, SI/EXTEEP, SCLK/SCL, SO/SDA, STO/GP1/SDOUT4, RDY/GP0/SDIN3, SDOUT2/EEST, SDIN2/JX1, PDN
LVDD	XTO, XTI, LDOE

Table 2. 各デジタルピンとデジタル電源の関連

## 5.5. パワーダウン時、及びパワーダウン解除時のピン状態

No.	Pin名称	I/O	PDN pin="L"			PDN pin="H" (@default時)	
			I/O	状態		I/O	状態
				LDOE pin="L"	LDOE pin="H"		
1	LIN	I	I	"Hi-Z"	"Hi-Z"	I	アナログ入力
3	BICK	I/O	I	Pull Down(46kΩ)	Pull Down(50kΩ)	I	Pull Down(46kΩ)
4	LRCK	I/O	I	Pull Down(46kΩ)	Pull Down(50kΩ)	I	Pull Down(46kΩ)
5	SDOUT1	O					
	MAT0	I	I	Pull Down(46kΩ)	Pull Down(50kΩ)	I	Pull Down(46kΩ)
	JX2	I					
9	SDOUT3	O					
	MAT1	I	I	Pull Down(46kΩ)	Pull Down(50kΩ)	I	Pull Down(46kΩ)
	JX3	I					
10	XTO	O	O	"H"	"H"	O	XTI入力の反転
14	AVDRV	O	O	-	Pull Down(70Ω)	O	出力(LDOE pin="H")
18	SDOUT2	O	O	"L"	Pull Down(50kΩ)	O	"L"
	EEST	O	O			O	"L"
21	RDY	O				-	-
	GP0	O	I	Pull Down(46kΩ)	Pull Down(50kΩ)	-	-
	SDIN3	I				I	Pull Down(46kΩ)
22	STO	O				O	"H"
	GP1	O	O	"H"	Pull Down(50kΩ)		
	SDOUT4	O					
23	SO	O	-	"Hi-Z" (@CSN="H")	"Hi-Z"	-	"Hi-Z" (@CSN="H")
	SDA	I/O	-	"Hi-Z"	"Hi-Z"	-	"Hi-Z"
24	SCLK	I	I	"Hi-Z"	"Hi-Z"	I	入力 (I2CSEL pin="L")
		I	I	"Hi-Z"	"Hi-Z"	I	入力 (I2CSEL pin="H", EXTEEP pin="L")
		O	O	"Hi-Z"	"Hi-Z"	O	出力 (I2CSEL pin="H", EXTEEP pin="H")
27	OUT2	O	O	"Hi-Z"	"Hi-Z"	O	"Hi-Z"
28	OUT3	O	O	"Hi-Z"	"Hi-Z"	O	"Hi-Z"
29	OUT1	O	O	"Hi-Z"	"Hi-Z"	O	"Hi-Z"
31	VCOM	O	O	"L"	"L"	O	アナログ出力
33	IN4/INN2	I	I	"Hi-Z"	"Hi-Z"	I	アナログ入力 (AINE bit="1")
34	IN3/INP2	I	I	"Hi-Z"	"Hi-Z"	I	アナログ入力 (AINE bit="1")
35	IN2/INN1	I	I	"Hi-Z"	"Hi-Z"	I	アナログ入力 (AINE bit="1")
	DMCLK	O	O	"Hi-Z"	"Hi-Z"	O	デジタル出力 (DMIC bit="1")
36	IN1/INP1	I	I	"Hi-Z"	"Hi-Z"	I	アナログ入力 (AINE bit="1")
	DMDAT	I	I	"Hi-Z"	"Hi-Z"	I	デジタル入力 (DMIC bit="1")

Table 3. パワーダウン時、及びパワーダウン解除時のピン状態

## 6. 絶対最大定格

(AVSS=DVSS=0V: Note 5)

Parameter	Symbol	Min.	Max.	Unit
電源電圧				
Analog	AVDD	-0.3	4.3	V
Digital1(Core:LVDD)	LVDD	-0.3	4.3	V
Digital2(I/F1)	TVDD1	-0.3	4.3	V
Digital3(I/F2)	TVDD2	-0.3	4.3	V
Digital4(Core:DVDD)	VD12	-0.3	1.6	V
DVSS-AVSS (Note 5)	$\Delta$ GND	-0.3	0.3	V
AVDD-LVDD (Note 6)	$\Delta$ AVDD	-0.3	0.3	V
AVDD-TVDD1	$\Delta$ TVDD1	-0.3	4.3	V
入力電流(除: 電源ピン)	IIN	—	$\pm 10$	mA
アナログ入力電圧 (Note 7)	VINA	-0.3	$(AVDD+0.3) \leq 4.3$	V
デジタル入力電圧 (Note 8)	VIND1	-0.3	$(LVDD+0.3) \leq 4.3$	V
デジタル入力電圧 (Note 9)	VIND2	-0.3	$(TVDD1+0.3) \leq 4.3$	V
デジタル入力電圧 (Note 10)	VIND3	-0.3	$(TVDD2+0.3) \leq 4.3$	V
動作周囲温度	Ta	-40	85	°C
保存温度	Tstg	-65	150	°C

Note 5. すべての電圧はグラウンドに対する値です。AVSS と DVSS は、同電位にしてください。

Note 6. AVDD と LVDD は、同電位にしてください。

Note 7. アナログ入力電圧の max 値は、 $(AVDD+0.3)V$  または  $4.3V$  のどちらか低い方です。

Note 8. XTI, LDOE pin のデジタル入力電圧の max 値は、 $(LVDD+0.3)V$  または  $4.3V$  のどちらか低い方です。

Note 9. I2CSEL, BICK, LRCK, MAT0/JX2, SDIN1/JX0, MAT1/JX3 pin のデジタル入力電圧の max 値は $(TVDD1+0.3V)$ または、 $4.3V$  のどちらか低い方です。

Note 10. CSN/CAD/MATSEL, SI/EXTEEP, SCLK/SCL, SDA, SDIN3,SDIN2/JX1, PDN pin のデジタル入力電圧の max 値は、 $(TVDD2+0.3V)$ または  $4.3V$  のどちらか低い方です。

注意：この値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は保証されません。

## 7. 推奨動作条件

(AVSS=DVSS=0V: Note 5)

Parameter	Symbol	Min.	Typ.	Max.	Unit
電源電圧					
Analog	AVDD	3.0	3.3	3.6	V
Digital1 (Core: LVDD)	LVDD	3.0	3.3	3.6	V
Digital2 (I/F: TVDD1)	TVDD1	1.7	3.3	3.6	V
Digital3 (I/F: TVDD2)	TVDD2	1.7	3.3	3.6	V
Digital4 (Core: DVDD)	VD12	1.14	1.2	1.3	V

Note 11. DVDD を外部供給する場合、AVDD, LVDD, TVDD1/2 を立ち上げた後に DVDD を立ち上げてください。AVDD, LVDD, TVDD1/2 の立ち上げ順の規定はありません。PDN pin = “L” の状態で各電源を立ち上げ、全ての電源が立ち上がった後、PDN pin = “H” にしてください。

Note 12. I<sup>2</sup>CBUS を使用(I2CSEL pin = “H”)する場合、周辺デバイスが電源 ON の状態で AK7758 の電源を OFF にしないでください。また、SDA, SCL pin のプルアップ抵抗の接続先は TVDD2 以下にしてください。

注意：本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

## 8. 電気的特性

## 8.1. アナログ特性

## 8.1.1. MIC Amp ゲイン

(Ta= 25°C; AVDD=LVDD=TVDD1/2=3.3V, AVSS=DVSS=0V; LDOE pin =“H”)

	Parameter		Min.	Typ.	Max.	Unit
	MGNL[3:0]	MGNR[3:0]				
MIC Amp Gain	0x0	0x0	-1	0	1	dB
	0x1	0x1	1	2	3	dB
	0x2	0x2	3	4	5	dB
	0x3	0x3	5	6	7	dB
	0x4	0x4	7	8	9	dB
	0x5	0x5	9	10	11	dB
	0x6	0x6	11	12	13	dB
	0x7	0x7	13	14	15	dB
	0x8	0x8	15	16	17	dB
	0x9	0x9	17	18	19	dB
	0xA	0xA	20	21	22	dB
	0xB	0xB	23	24	25	dB
	0xC	0xC	26	27	28	dB
	0xD	0xD	29	30	31	dB
	0xE	0xE	32	33	34	dB
	0xF	0xF	35	36	37	dB

## 8.1.2. Line-in Amp ゲイン

(Ta= 25°C; AVDD=LVDD=TVDD1/2=3.3V, AVSS=DVSS=0V; LDOE pin =“H”)

	Parameter		Min.	Typ.	Max.	Unit
	LIGN[3:0]					
Line-in Amp Gain	0x0		-1	0	1	dB
	0x1		-4	-3	-2	dB
	0x2		-7	-6	-5	dB
	0x3		-10	-9	-8	dB
	0x4		-13	-12	-11	dB
	0x5		-16	-15	-14	dB
	0x6		-19	-18	-17	dB
	0x7		-22	-21	-20	dB
	0x8			N/A		dB
	0x9		+2	+3	+4	dB
	0xA		+5	+6	+7	dB
	0xB		+8	+9	+10	dB
	0xC		+11	+12	+13	dB
	0xD		+14	+15	+16	dB
	0xE		+17	+18	+19	dB
	0xF		+20	+21	+22	dB

(N/A: Not available)

## 8.1.3. MIC Amp + ADC

(Ta= 25°C; AVDD=LVDD=TVDD1/2=3.3V, AVSS=DVSS=0V; LDOE pin =“H”; 信号周波数1kHz, サンプリングレートfs=48kHz, 測定周波数=20Hz~20kHz)

	Parameter	Min.	Typ.	Max.	Unit	
MIC Amp	入力インピーダンス	14	20		kΩ	
MIC Amp + ADC	分解能			24	bit	
	ダイナミック特性(差動入力時)					
	S/(N+D) (-1dBFS)	fs=48kHz (Note 16)	80	91		dB
		fs=48kHz (Note 17)		88		dB
	Dynamic Range (-60dBFS)	fs=48kHz (A-weighted) (Note 16)	94	102		dB
		fs=48kHz (A-weighted) (Note 17)		93		dB
	S/N	fs=48kHz (A-weighted) (Note 16)	94	102		dB
		fs=48kHz (A-weighted) (Note 17)		93		dB
	チャンネル間アイソレーション (Note 13)		90	105		dB
	DC精度(差動入力時)					
	チャンネル間ゲインミスマッチ			0.0	0.3	dB
	アナログ入力					
	入力電圧(差動入力時) (Note 14)	(Note 16)	±2.0	±2.2	±2.4	Vp-p
(Note 17)			±0.277		Vp-p	
入力電圧(シングルエンド入力時) (Note 15)	(Note 16)	2.0	2.2	2.4	Vp-p	
	(Note 17)		0.277		Vp-p	

Note 13. -1dBFS の信号を入力した場合の、Lch-Rch 間のアイソレーションです。

Note 14. 対象となる入力ピンは、INP1/INN1, INP2/INN2 です。

Note 15. 対象となる入力ピンは、IN1, IN2, IN3, IN4 です。

Note 16. MGNL/R[3:0] bits = 0x0 (0dB)

Note 17. MGNL/R[3:0] bits = 0x9 (18dB)

## 8.1.4. ATT Amp + MIC Amp + ADC

( $T_a = 25^\circ\text{C}$ ;  $AVDD = LVDD = TVDD1/2 = 3.3\text{V}$ ,  $AVSS = DVSS = 0\text{V}$ ; LDOE pin = "H"; 信号周波数1kHz, サンプルレート $f_s = 48\text{kHz}$ , 測定周波数=20Hz~20kHz)

	Parameter	Min.	Typ.	Max.	Unit	
ATT Amp	Feedback Resistance( $R_f$ )	10		30	k $\Omega$	
	Load Capacitance( $CL$ )			20	pF	
	Phase compensation capacitance ( $C_c$ ) (Note 18)	10			pF	
ATT Amp + MIC Amp + ADC	分解能			24	bit	
	ダイナミック特性					
	S/(N+D) (-1dBFS) (Note 19)	$f_s = 48\text{kHz}$	74	84		dB
	Dynamic Range (-60dBFS)	$f_s = 48\text{kHz}$ (A-weighted)	88	98		dB
	S/N	$f_s = 48\text{kHz}$ (A-weighted)	88	98		dB
	チャンネル間アイソレーション (Note 20)		90	99		dB
	DC精度					
チャンネル間ゲインミスマッチ			0.0	0.3	dB	

Note 18. IN1pin と IN2pin 及び、IN3pin と IN4pin 間に接続する容量です。ATT Amp を使用する際には必ず接続してください。

Note 19. 外付け入力抵抗  $R_i$  を 47k $\Omega$ 、Feedback 抵抗  $R_f$  を 16k $\Omega$ 、 $C_c$  を 47pF に設定した状態で 5.76Vpp の信号を入力し、マイクアンプのゲインを 0dB (MGNL/R[3:0] bits = 0x0) 設定にした場合です。(5.76 Vpp x 16k $\Omega$  / 47k $\Omega$  = 1.96Vpp @ -1dBFS)

Note 20. -1dBFS の信号を入力した場合の、Lch-Rch 間のアイソレーションです。

Note 21. ATT Amp + MIC Amp + ADC パスを使用する際は、MIC Amp のゲインは 0dB に設定して使用してください。もし、MIC Amp のゲインを 4dB 以上に設定して使用した場合、ADC の動作は保証できません。

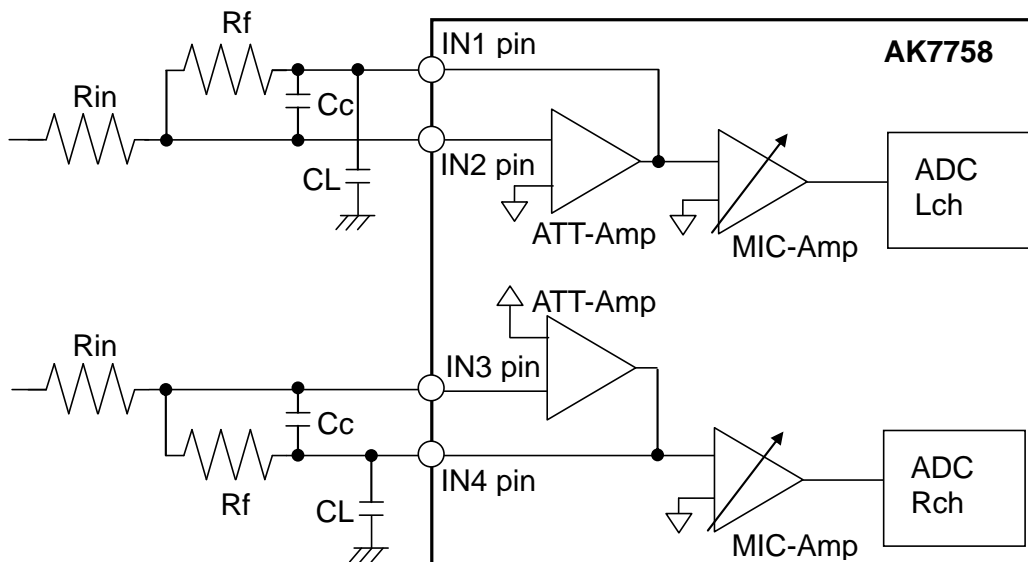


Figure 5. ATT-AMP使用時の接続図



## 8.1.5. Line-in Amp + Line-out Amp

(Ta= 25°C; AVDD=LVDD=TVDD1/2=3.3V, AVSS=DVSS=0V; LDOE pin = "H"; 信号周波数1kHz, 測定周波数=20Hz~20kHz)

	Parameter	Min.	Typ.	Max.	Unit	
Line-in Amp	入力インピーダンス	14	20		kΩ	
Line-in Amp + Line-out Amp	ダイナミック特性					
	S/(N+D) (0dBFS)	(Note 23)	77	81		dB
		(Note 24)		82		dB
	Dynamic Range (-60dBFS) (A-weighted)	(Note 23)	95	103		dB
		(Note 24)		92		dB
	S/N (A-weighted)	(Note 23)	95	103		dB
(Note 24)			92		dB	
	アナログ入力					
入力電圧(Note 22)	(Note 23)	2.28	2.51	2.74	Vp-p	
	(Note 24)		0.316		Vp-p	

Note 22. 対象となる入力ピンは、LIN pin です。OUT3 pin の出力電圧が 0dBFS (AVDD x 0.76) になる電圧です。

Note 23. LIGN[3:0] bits = 0x0 (0dB), LOVOL3[3:0] bits = 0xF(0dB), LO3SW1 bit = "0", LO3SW2 bit = "0", LO3SW3 bit = "1"

Note 24. LIGN[3:0] bits = 0xE (+18 dB), LOVOL3[3:0] bits = 0xF(0dB), LO3SW1 bit = "0", LO3SW2 bit = "0", LO3SW3 bit = "1"

## 8.1.6. Line-out Ampゲイン

(Ta= 25°C; AVDD=LVDD=TVDD1/2=3.3V, AVSS=DVSS=0V; LDOE pin = "H")

	Parameter			Min.	Typ.	Max.	Unit
Line-out Amp	LOVOL1[3:0]	LOVOL2[3:0]	LOVOL3[3:0]				
	0x0	0x0	0x0		mute		dB
	0x1	0x1	0x1	-29	-28	-27	dB
	0x2	0x2	0x2	-27	-26	-25	dB
	0x3	0x3	0x3	-25	-24	-23	dB
	0x4	0x4	0x4	-23	-22	-21	dB
	0x5	0x5	0x5	-21	-20	-19	dB
	0x6	0x6	0x6	-19	-18	-17	dB
	0x7	0x7	0x7	-17	-16	-15	dB
	0x8	0x8	0x8	-15	-14	-13	dB
	0x9	0x9	0x9	-13	-12	-11	dB
	0xA	0xA	0xA	-11	-10	-9	dB
	0xB	0xB	0xB	-9	-8	-7	dB
	0xC	0xC	0xC	-7	-6	-5	dB
	0xD	0xD	0xD	-5	-4	-3	dB
	0xE	0xE	0xE	-3	-2	-1	dB
0xF	0xF	0xF	-1	0	1	dB	

## 8.1.7. DAC + Line-out Amp

(Ta= 25°C; AVDD=LVDD=TVDD1/2=3.3V, AVSS=DVSS=0V; LDOE pin =“H”; 信号周波数1kHz, サンプリングレートfs=48kHz, 測定周波数=20Hz~20kHz)

Parameter		Min.	Typ.	Max.	Unit	
DAC + Line-out Amp	分解能			24	bit	
	ダイナミック特性 (OUT1,OUT2,OUT3)					
	S/(N+D) (0 dBFS)	fs=48kHz	80	89		dB
	Dynamic Range (-60dBFS)	fs=48kHz (A-weighted)	100	106		dB
	S/N	fs=48kHz (A-weighted)	100	106		dB
	チャンネル間アイソレーション (f=1kHz) (Note 25)		90	110		dB
	DC精度					
	チャンネル間ゲインミスマッチ			0.0	0.5	dB
	アナログ出力					
	出力電圧 (Note 26)		2.28	2.51	2.74	Vp-p
	負荷抵抗		10			kΩ
	負荷容量				30	pF

Note 25. DAC の Lch-Rch 間のアイソレーションです。

Note 26. フルスケール出力電圧です。出力電圧は AVDD に比例(AVDD x 0.76)します。

## 8.1.8. MIC Amp + Line-out Amp

(Ta= 25°C; AVDD=LVDD=TVDD1/2=3.3V, AVSS=DVSS=0V; LDOE pin =“H”; 信号周波数1kHz, 測定周波数=20Hz~20kHz)

Parameter		Min.	Typ.	Max.	Unit	
MIC Amp + Line-out Amp	ダイナミック特性(差動入力時)					
	S/(N+D) (0dBFS)	(Note 29)	77	82		dB
		(Note 30)		82		dB
	Dynamic Range (-60dBFS) (A-weighted)	(Note 29)	101	104		dB
		(Note 30)		93		dB
	S/N (A-weighted)	(Note 29)	101	104		dB
		(Note 30)		93		dB
	アナログ入力					
	入力電圧(差動入力時) (Note 27)	(Note 29)	±2.28	±2.51	±2.74	Vp-p
		(Note 30)		±0.316		Vp-p
入力電圧(シングルエンド入力時) (Note 28)	(Note 29)	2.28	2.51	2.74	Vp-p	
	(Note 30)		0.316		Vp-p	

Note 27. 対象となる入力ピンは、INP1/INN1, INP2/INN2 です。

Note 28. 対象となる入力ピンは、IN1, IN2, IN3, IN4 です。

Note 29. MGNL/R[3:0] bits = 0x0 (0dB)

Note 30. MGNL/R[3:0] bits = 0x9 (18dB)

## 8.2. DC特性

(Ta= -40~85°C; AVDD=3.3V, DVDD=1.2V, LVDD=3.0~3.6V, TVDD1/2=1.7~3.6V, AVSS=DVSS=0V)

Parameter	記号	Min.	Typ.	Max.	Unit
ハイレベル入力電圧	VIH	80%LVDD 80%TVDD1 80%TVDD2			V
ローレベル入力電圧	VIL			20%LVDD 20%TVDD1 20%TVDD2	V
SCL, SDAハイレベル入力電圧	VIH2	70%TVDD2			V
SCL, SDAローレベル入力電圧	VIL2			30%TVDD2	V
DMDATハイレベル入力電圧 (DMIC bit = "1")	VIH3	65%AVDD			V
DMDATローレベル入力電圧 (DMIC bit = "1")	VIL3			35%AVDD	V
ハイレベル出力電圧 Iout= -100μA (Note 31)	VOH	TVDD1-0.3 TVDD2-0.3			V
ローレベル出力電圧 Iout=100μA (Note 32)	VOL			0.3	V
SCL, SDA ローレベル出力電圧 Iout=3mA	TVDD2 ≥ 2.0V	VOL2		0.4	V
	TVDD2 < 2.0V	VOL2		20%TVDD2	V
DMCLKハイレベル出力電圧 Iout = -80μA (DMIC bit = "1")	VOH3	AVDD-0.4			V
DMCLKローレベル出力電圧 Iout = 80μA (DMIC bit = "1")	VOL3			0.4	V
入力リーク電流 (Note 33)	lin			±10	μA
入力リーク電流 プルダウン抵抗付きピン LDOモード(LDOE pin = "H")かつ パワーダウン(PDN pin = "L")時 (Note 34)	lid		66		μA
入力リーク電流 プルダウン抵抗付きピン パワーダウン解除(PDN pin = "H")時 (Note 35)	lid		77		μA
入力リーク電流 XTI pin	lix		17		μA

Note 31. XTO pin を除きます。

Note 32. SDA, XTO pin を除きます。

Note 33. プルダウン抵抗付きピン、XTI pin を除きます。

Note 34. LRCK, BICK, SDOUT1/MAT0/JX2, SDOUT3/MAT1/JX3, RDY/GP0/SDIN3, SDOUT2/EEST, STO/GP1/SDOUT4 pin (Typ 50 kΩ@3.3V)

Note 35. LRCK, BICK, SDOUT1/MAT0/JX2, SDOUT3/MAT1/JX3, RDY/GP0/SDIN3 pin (Typ 46kΩ@3.3V)

## 8.3. 消費電流

(Ta=25°C, AVDD=LVDD=3.0~3.6V (Typ.=3.3V, Max.=3.6V), DVDD=1.14~1.3V (Typ.=1.2V, Max.=1.3V), TVDD1/2=1.7~3.6V (Typ.=3.3V, Max.=3.6V), AVSS=DVSS=0V, fs=48kHz, BICK=64fs, SDOOUT1~4 / LRCK / BICK = Output, CL=20pF)

	パラメータ	Min.	Typ.	Max.	単位
動作時消費電流1 (LDOE pin = "L") (Note 36)	AVDD+LVDD		19	27	mA
	TVDD1+TVDD2		1.4	2	mA
	DVDD		29	85	mA
動作時消費電流2 (LDOE pin = "H") (Note 36)	AVDD+LVDD		51	110	mA
	TVDD1+TVDD2		1.4	2	mA
パワーダウン時消費電流1 (PDN pin = "L", LDOE pin = "L")	AVDD+LVDD		10		μA
	TVDD1+TVDD2		10		μA
	DVDD		400		μA
パワーダウン時消費電流2 (PDN pin = "L", LDOE pin = "H")	AVDD+LVDD		1.5		μA
	TVDD1+TVDD2		1		μA

Note 36. DVDDの消費電流は、DSPプログラムの内容によって変化します。

## 8.4. デジタルフィルタ特性

### 8.4.1. ADC部

( $T_a = -40 \sim 85^\circ\text{C}$ ;  $AVDD = LVDD = 3.0 \sim 3.6\text{V}$ ,  $TVDD1/2 = 1.7 \sim 3.6\text{V}$ ,  $DVDD = 1.14 \sim 1.3\text{V}$ ,  $AVSS = DVSS = 0\text{V}$ ;  
 $f_s = 48\text{kHz}$  (Note 37))

Parameter		Symbol	Min.	Typ.	Max.	Unit
通過域 (Note 38)	+0.14dB ~ -0.12dB	PB	0		20.7	kHz
	-0.87dB			21.6		kHz
	-3.0dB			22.8		kHz
阻止域 (Note 39)		SB	28.4			kHz
通過域リップル (Note 38)		PR			$\pm 0.14$	dB
阻止域減衰量 (Note 39, Note 40)		SA	65			dB
群遅延歪		$\Delta GD$		0		$\mu\text{s}$
群遅延 ( $T_s = 1/f_s$ )		GD		12.5		$T_s$

Note 37. 各振幅特性の周波数はサンプリングレート( $f_s$ )に比例します。

ハイパスフィルタの特性は含まれていません。

Note 38. 通過域は  $f_s = 48\text{kHz}$  のとき、DC から 18.9kHz です。

Note 39. 阻止域は  $f_s = 48\text{kHz}$  のとき、28kHz から 3.044MHz です。

Note 40.  $f_s = 48\text{kHz}$  のときアナログ変調器は 3.072MHz でアナログ入力をサンプリングします。

従って、サンプリング周波数の整数倍の帯域( $n \times 3.072\text{MHz} \pm 21.99\text{kHz}$ ;  $n = 0, 1, 2, 3, \dots$ )中に存在する入力信号については、デジタルフィルタによっては減衰されません。

### 8.4.2. DAC

( $T_a = -40 \sim 85^\circ\text{C}$ ;  $AVDD = LVDD = 3.0 \sim 3.6\text{V}$ ,  $TVDD1/2 = 1.7 \sim 3.6\text{V}$ ,  $DVDD = 1.14 \sim 1.3\text{V}$ ,  $AVSS = DVSS = 0\text{V}$ ;  
 $f_s = 48\text{kHz}$ )

Parameter		Symbol	Min.	Typ.	Max.	Unit
通過域 (Note 41)	( $\pm 0.05\text{dB}$ )	PB	0		21.7	kHz
	(-6.0dB)			24		kHz
阻止域 (Note 41)		SB	26.2			kHz
通過域リップル		PR			$\pm 0.05$	dB
阻止域減衰量		SA	64			dB
群遅延 ( $T_s = 1/f_s$ ) (Note 42)		GD		24		$T_s$
デジタルフィルタ+アナログフィルタ						
振幅特性	20Hz~20.0kHz			$\pm 0.5$		dB

Note 41. 各振幅特性の周波数はサンプリングレート( $f_s$ )に比例します。

$PB = 0.4535 \times f_s$  (@  $\pm 0.05\text{dB}$ )、 $SB = 0.5465 \times f_s$  です。

Note 42. デジタルフィルタによる演算遅延で、データが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

## 8.5. スイッチング特性

## 8.5.1. システムクロック

( $T_a = -40 \sim 85^\circ\text{C}$ ;  $AVDD = 3.0 \sim 3.6\text{V}$ ,  $TVDD1/2 = 1.7 \sim 3.6\text{V}$ ,  $DVDD = 1.14 \sim 1.3\text{V}$ ,  $AVSS = DVSS = 0\text{V}$ ,  $CL = 20\text{pF}$ )

Parameter	Symbol	Min.	Typ.	Max.	Unit
水晶振動子使用時					
入力周波数	fXTI	11.2896		18.432	MHz
外部クロック使用時					
デューティ比		40	50	60	%
入力周波数	fXTI	11.0		18.6	MHz
LRCK周波数 (Note 43)	fs	8		48	kHz
BICK周波数 (Note 44)					
通常インタフェース	ハイレベル幅	tBCLKH	128		ns
	ローレベル幅	tBCLKL	128		ns
	周波数	fBCLK	0.23	3.072	3.1
TDMインタフェース	ハイレベル幅	tBCLKH	32		ns
	ローレベル幅	tBCLKL	32		ns
	周波数	fBCLK	1.8	12.288	12.3

Note 43. LRCK とサンプリングレート(fs)は、一致している必要があります。

Note 44. BICK を内部動作の基準クロックとして使用する場合は、LRCK と同期し、周波数は固定している必要があります。

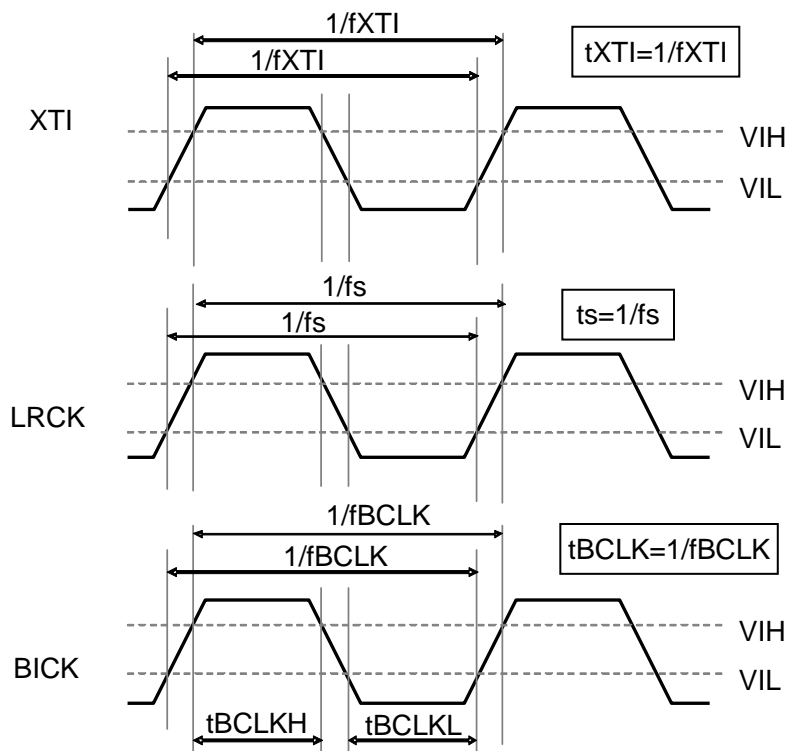


Figure 6. システムクロックタイミング波形

## 8.5.2. パワーダウン

(Ta= -40~85°C; AVDD=LVDD=3.0~3.6V, TVDD1/2=1.7~3.6V, DVDD=1.14~1.3V, AVSS=DVSS=0V)

Parameter	Symbol	Min.	Typ.	Max.	Unit
PDNパルス幅 (Note 45)	tRST	600			ns

Note 45. 電源投入時は PDN pin = “L”にしてください。

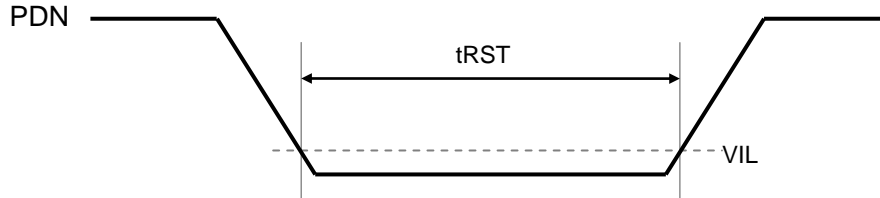


Figure 7. リセットタイミング波形

## 8.5.3. シリアルデータインタフェース (SDIN1/2/3, SDOUT1/2/3/4)

(Ta= -40~85°C; AVDD=LVDD=3.0~3.6V, TVDD1/2=1.7~3.6V, DVDD=1.14~1.3V, AVSS=DVSS=0V, CL=20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
スレーブモード					
BICK “↑”からLRCKへの遅延時間 (Note 46)	tBLRD	20			ns
LRCKからBICK “↑”への遅延時間 (Note 46)	tLRBD	20			ns
シリアルデータ入力 ラッチセットアップ時間	tBSIDS	10			ns
シリアルデータ入力 ラッチホールド時間	tBSIDH	10			ns
LRCKからシリアルデータ出力遅延時間 (Note 47)	tLRD			30	ns
BICK “↓”からシリアルデータ出力遅延時間 (Note 48)	tBSOD			30	ns
マスターモード					
BICK周波数	fBCLK		32,48,64, 128,256		fs
BICKデューティ比			50		%
BICK “↓”からLRCKへの遅延時間 (Note 48)	tMBL	-12		12	ns
シリアルデータ入力 ラッチセットアップ時間	tBSIDS	20			ns
シリアルデータ入力 ラッチホールド時間	tBSIDH	20			ns
LRCKからシリアルデータ出力遅延時間 (Note 47)	tLRD			20	ns
BICK “↓”からシリアルデータ出力遅延時間 (Note 48)	tBSOD			20	ns
SDINx → SDOUTy (x=1,2,3, y=1,2,3,4,)					
SDINxからSDOUTy出力遅延時間(Note 49)	tIOD		2		fs

Note 46. この規格値は、LRCKのエッジとBICKのエッジが重ならないように規定しています。

BICKの極性を反転させた場合は、BICKの“↓”からになります。

Note 47. I2Sを除きます。

Note 48. BICKの極性を反転させた場合は、BICKの“↑”からになります。

Note 49. SDINx(x=1~3)とSDOUTy(y=1~4)のSync Domainを同じ設定にし、SDOUTyの入力データの選択をSDINxに設定した時の値です。

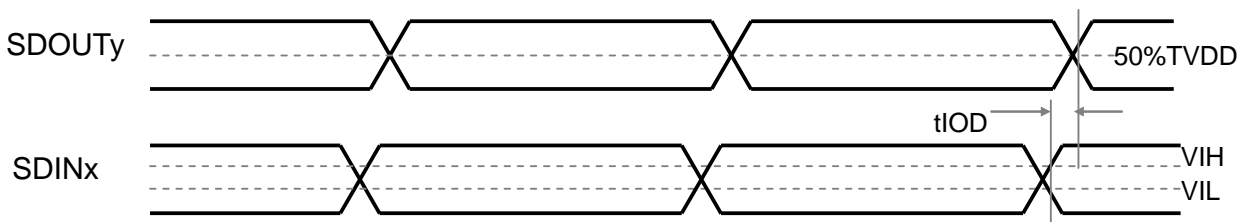


Figure 8. シリアルデータインタフェースSDINxからSDOUTy出力遅延時間

8.5.3.1.スレーブモード

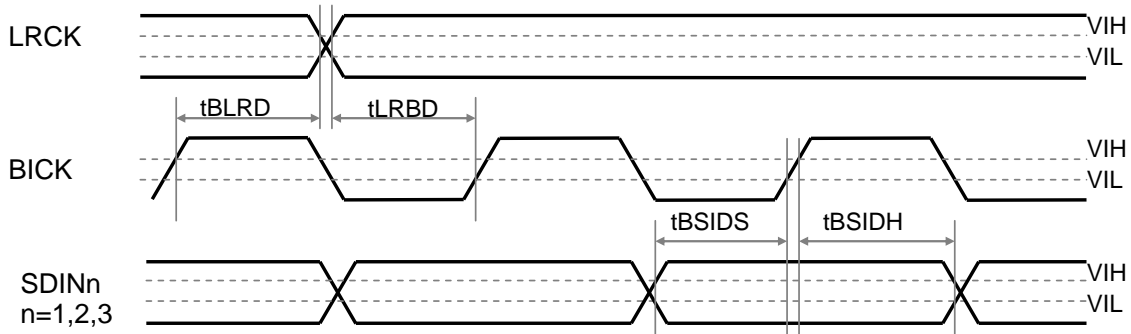


Figure 9. スレーブモード時 シリアルデータインタフェース入カタイミング波形

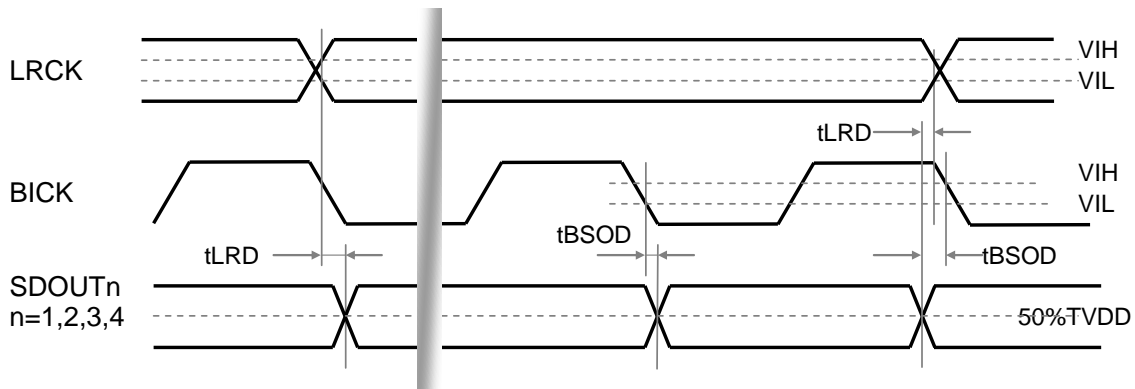


Figure 10. スレーブモード時 シリアルデータインタフェース出カタイミング波形

8.5.3.2. マスタモード

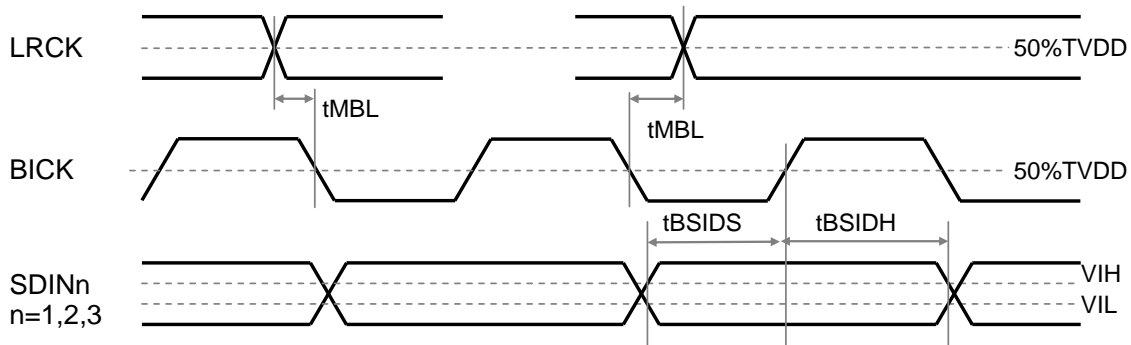


Figure 11. マスタモード時 シリアルデータインタフェース入カタイミング波形

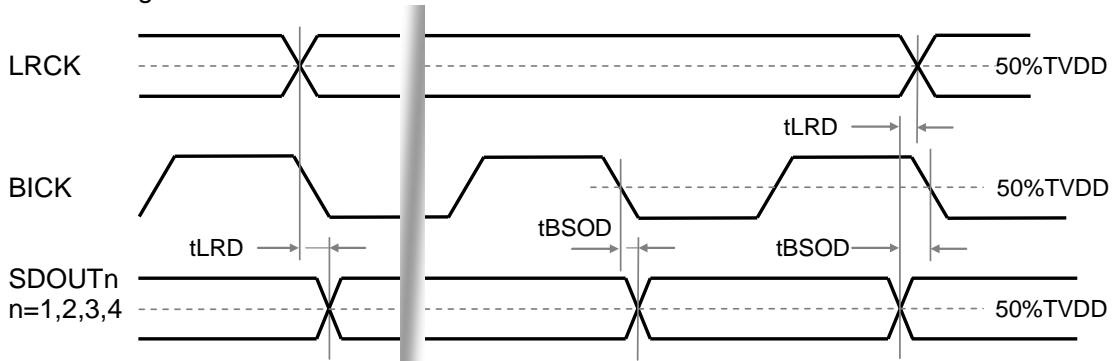


Figure 12. マスタモード時 シリアルデータインタフェース出カタイミング波形



## 8.5.4. SPIインタフェース

## 8.5.4.1. クロックリセット(CKRESTN bit = "0")時

(Ta= -40~85°C; AVDD=LVDD=3.0~3.6V, TVDD1/2=1.7~3.6V, DVDD=1.14~1.3V, AVSS=DVSS=0V; CL=20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
マイコンインタフェース用信号					
SCLK 周波数 (Note 50)	fSCLK			3.5	MHz
SCLK ローレベル幅	tSCLKL	120			ns
SCLK ハイレベル幅	tSCLKH	120			ns
マイコン→AK7758					
CSNハイレベル幅	tWRQH	300			ns
CSN "↑" からPDN "↑"	tRST	360			ns
PDN "↑" からCSN "↓"	tIRRQ	1			ms
CSN "↓" からSCLK "↓"	tWSC	360			ns
SCLK "↑" からCSN "↑"	tSCW	480			ns
SI ラッチセットアップ時間	tSIS	40			ns
SI ラッチホールド時間	tSIH	40			ns
AK7758→マイコン					
SCLKの"↓"からSO出力遅延時間	tSOS			40	ns

Note 50. コントロールレジスタにアクセスするときは、7MHzになります。

## 8.5.4.2. PLLロック(CKRESTN bit = "1")時

(Ta= -40~85°C; AVDD=LVDD=3.0~3.6V, TVDD1/2=1.7~3.6V, DVDD=1.14~1.3V, AVSS=DVSS=0V; CL=20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
マイコンインタフェース用信号					
SCLK 周波数 (Note 51)	fSCLK			7	MHz
SCLK ローレベル幅	tSCLKL	60			ns
SCLK ハイレベル幅	tSCLKH	60			ns
マイコン→AK7758					
CSNハイレベル幅	tWRQH	150			ns
CSN "↑" からPDN "↑"	tRST	180			ns
PDN "↑" からCSN "↓"	tIRRQ	1			ms
CSN "↓" からSCLK "↓"	tWSC	150			ns
SCLK "↑" からCSN "↑"	tSCW	240			ns
SI ラッチセットアップ時間	tSIS	20			ns
SI ラッチホールド時間	tSIH	20			ns
AK7758→マイコン					
SCLKの"↓"からSO出力遅延時間	tSOS			40	ns

Note 51. CKRESTN bit = "0" → "1" 設定後、PLL がロックするまでには MAX:10ms かかります。

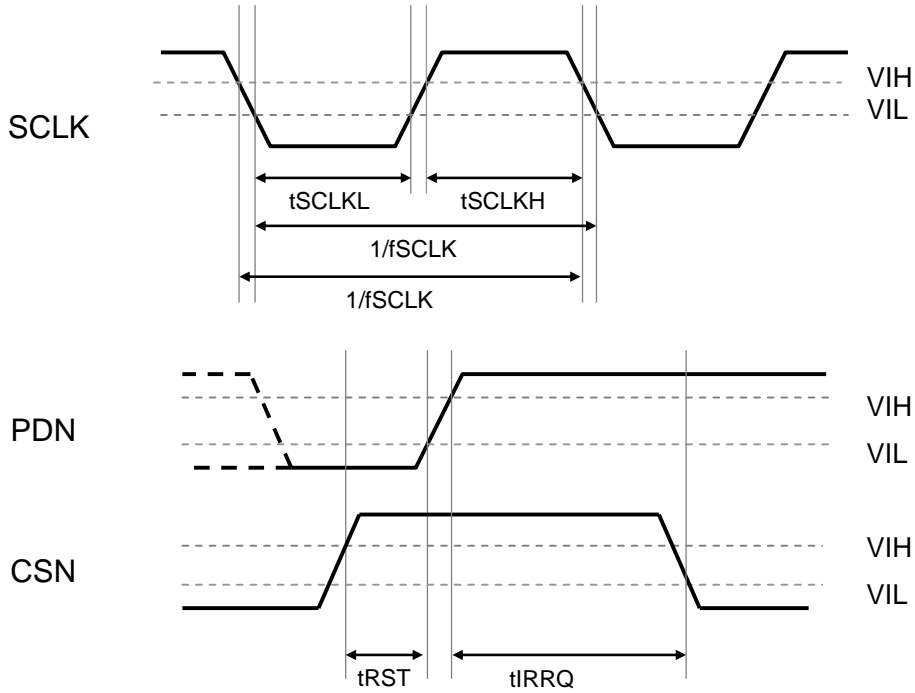


Figure 13. SPI インタフェースタイミング波形 1

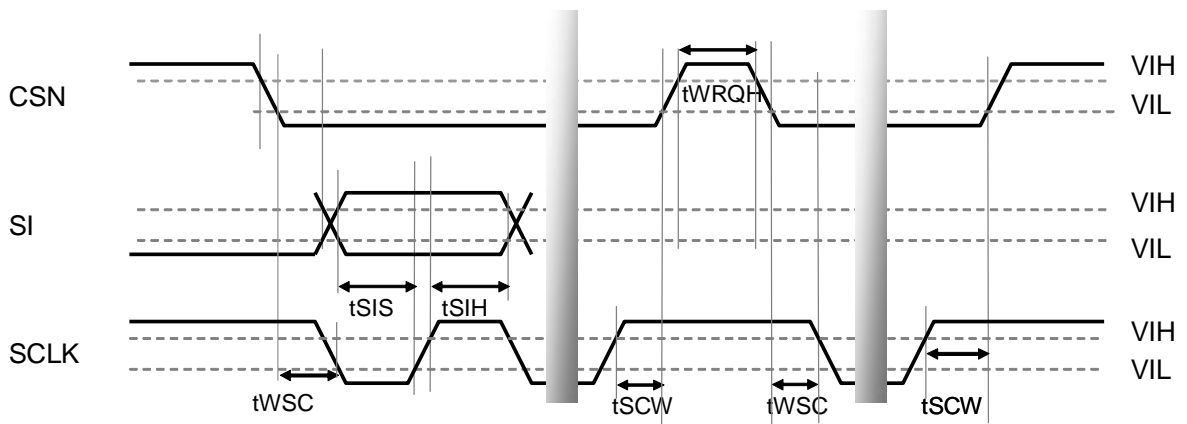


Figure 14. SPI インタフェースタイミング波形 2 (マイコン→AK7758)

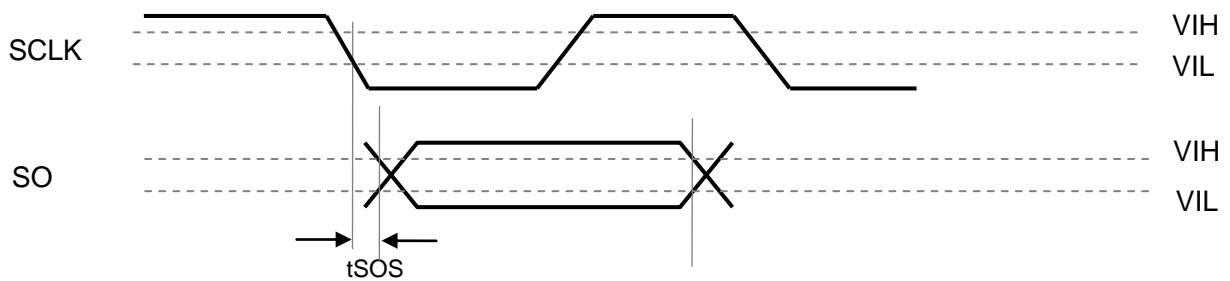


Figure 15. SPI インタフェースタイミング波形 3 (AK7758→マイコン)

8.5.5. I<sup>2</sup>C BUS インタフェース

(Ta= -40~85°C; AVDD=LVDD=3.0~3.6V, TVDD1/2=1.7~3.6V, DVDD=1.14~1.3V, AVSS=DVSS=0V)

Parameter	Symbol	Min.	Typ.	Max.	Unit
I <sup>2</sup> C Timing					
SCL clock frequency	fSCL			400	kHz
Bus Free Time Between Transmissions	tBUF	1.3			μs
Start Condition Hold Time (prior to first Clock pulse)	tHD:STA	0.6			μs
Clock Low Time	tLOW	1.3			μs
Clock High Time	tHIGH	0.6			μs
Setup Time for Repeated Start Condition	tSU:STA	0.6			μs
SDA Hold Time from SCL Falling	tHD:DAT	0		0.9	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1			μs
Rise Time of Both SDA and SCL Lines	tR			0.3	μs
Fall Time of Both SDA and SCL Lines	tF			0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6			μs
Pulse Width of Spike Noise Suppressed By Input Filter	tSP	0		50	ns
Capacitive load on bus	Cb			400	pF

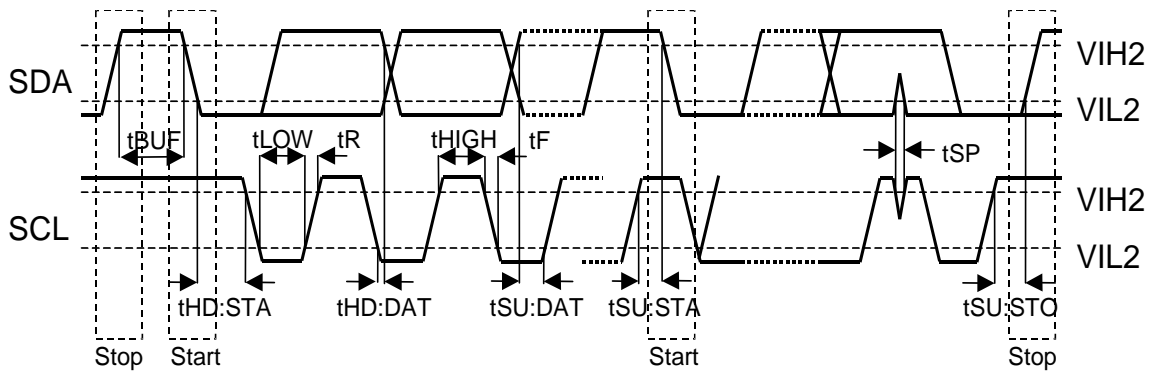


Figure 16. I<sup>2</sup>C BUS インタフェース タイミング波形

8.5.6. デジタルマイクインタフェース

(Ta= -40°C~85°C; AVDD=LVDD=3.0~3.6V, TVDD1/2=1.7~3.6V, DVDD=1.14~1.3V, AVSS=DVSS=0V; CL=100pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
<b>DMDAT</b>					
シリアルデータ入力 ラッチセットアップ時間	tDMDS	50			ns
シリアルデータ入力 ラッチホールド時間	tDMDH	0			ns
<b>DMCLK</b>					
クロック周波数 (Note 52)	fDMCK	0.5	64fs	3.1	MHz
デューティ比	dDMCK	40	50	60	%
立ち上がり時間	tDMCKR			10	ns
立ち下がり時間	tDMCKF			10	ns

Note 52. クロック周波数は SDALL[2:0] bits で選択されたサンプリングレート(fs)で決まります。

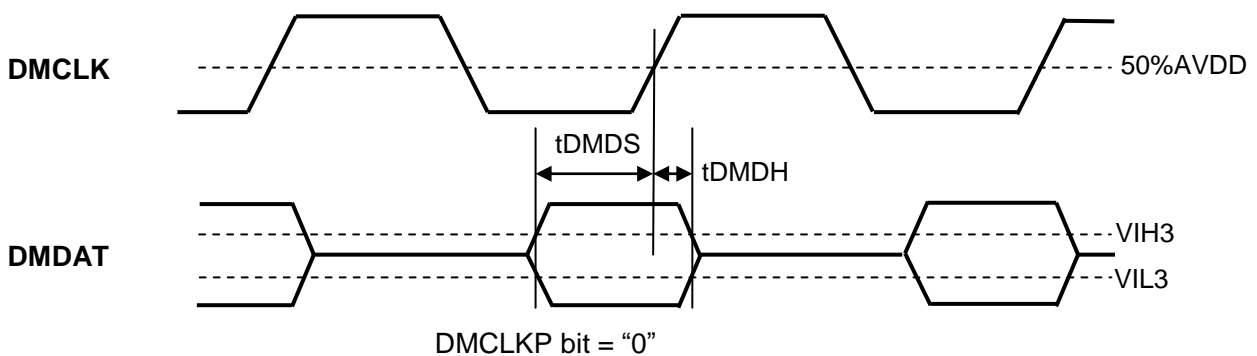
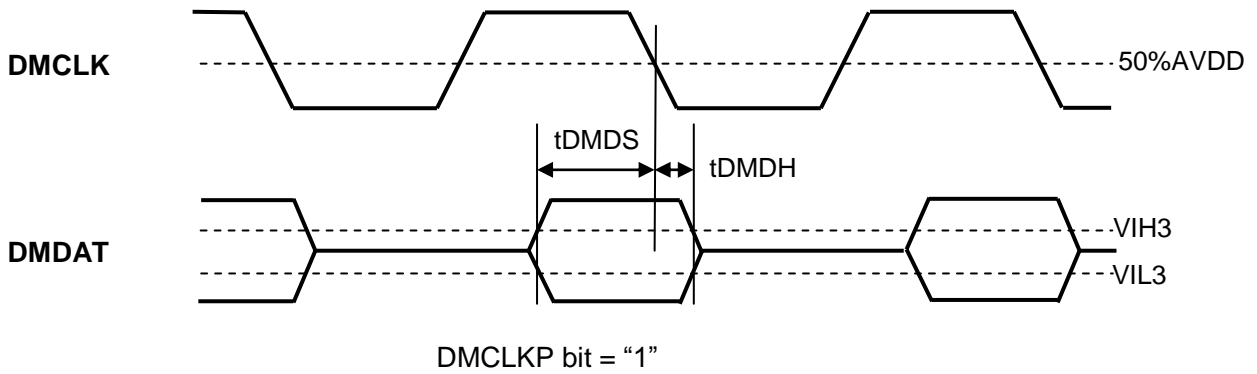
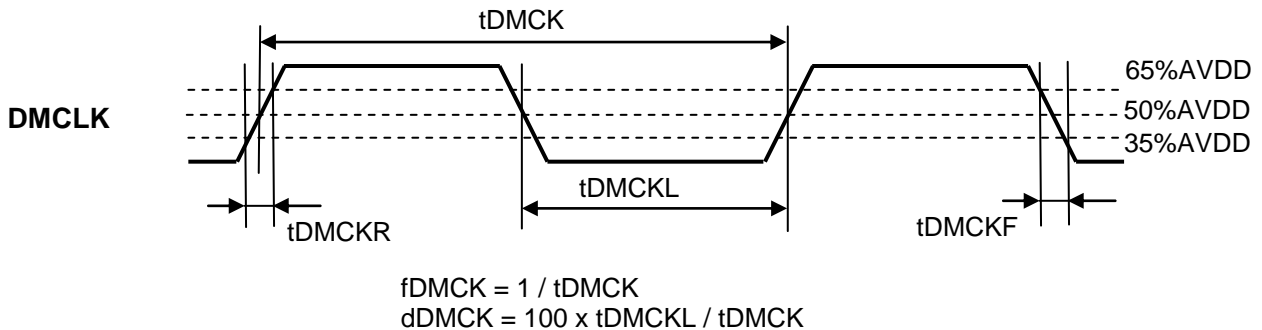
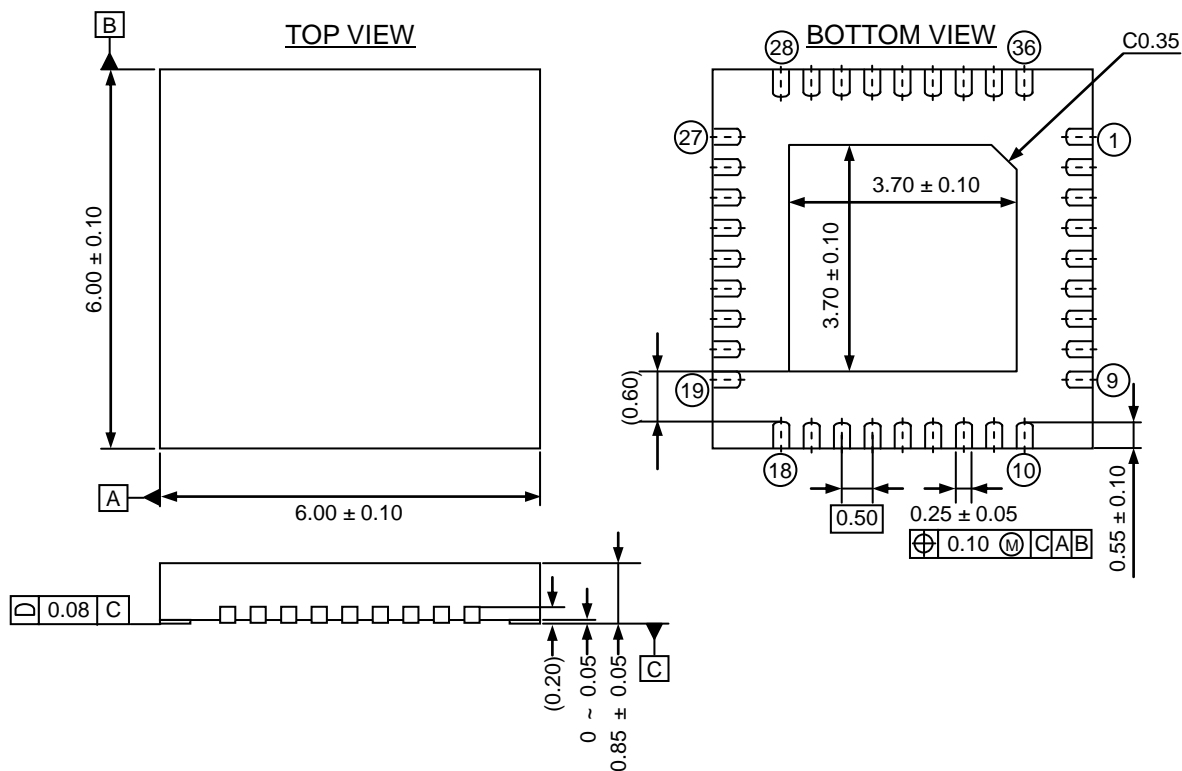


Figure 17 デジタルマイクインタフェースタイミング波形

9. パッケージ

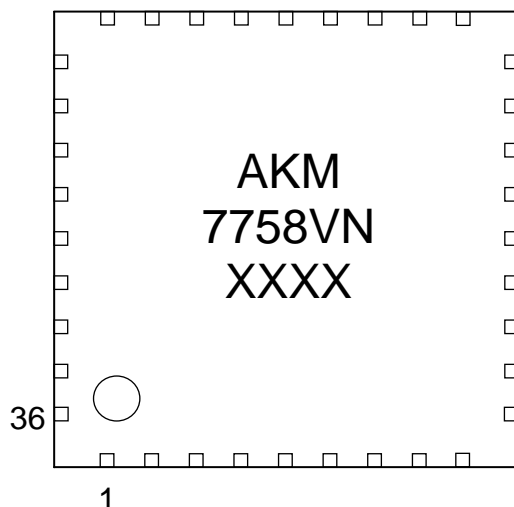
9.1. パッケージ外形寸法図



9.2. 材質・メッキ仕様

パッケージ材質:	エポキシ系樹脂
リードフレーム材質:	銅
端子処理:	半田(無鉛)メッキ

9.3. マーキング



- 1) Pin #1 indication
- 2) Date Code: XXXX(4 digits)
- 3) Marking Code: 7758VN
- 4) Asahi Kasei Logo

**10. オーダリングガイド**

AK7758VN  
AKD7758

-40 ~ +85°C  
評価ボード

36-pin QFN (0.5mm pitch)

**11. 改訂履歴**

Date (Y/M/D)	Revision	Reason	Page	Contents
16/03/22	00	初版		
16/04/22	01	記述追加	11	5.4. 各デジタルピンとデジタル電源の関連 TVDD1: SDOOUT3/MAT1/JX3 pinを追加
			13	Note10の記述にSDA pinを追加
16/09/07	02	誤記訂正	11	5.3. 使用しないピンの処理について Digital: I2CSEL, CSN/CAD/MATSEL, LDOE, SI/EXTEEP pinを削除
			12	5.5. パワーダウン時、及びパワーダウン解除時ピン状態 SO pinのPDN pin = "L" & LDOE pin = "L"時の状態: "Hi-Z" → "Hi-Z"(@CSN = "H")
			24	8.5.3. シリアルデータインタフェース マスタモードのBICK:192fsを削除
			26	8.5.4. SPIインタフェース "tWSC"の記述を訂正 RQN"↓"からSCLK"↓" → CSN"↓"からSCLK"↓"

### 重要な注意事項

0. 本書に記載された弊社製品(以下、「本製品」といいます。)、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替及び外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。