



AK4104

192kHz 24-Bit 3.3V DIT

概 要

AK4104 は 192kHz 対応デジタル・オーディオ・トランスミッタ(DIT)です。AK4104 は AES3, IEC60958, S/PDIF, EIAJ CP1201 の各規格に対応しています。AK4104 は入力されたオーディオデータと補助情報などをバイフェーズエンコードし、ケーブルへ出力します。オーディオシリアルポートは 8 種類のフォーマットに対応します。

特 長

- 192kHzサンプリングレート対応
- AES3, IEC60958, S/PDIF, EIAJ CP1201プロフェッショナル&民生フォーマット準拠
- パリティビット生成
- 1チャンネルトランスミッション出力
- チャンネルステータス用バッファ42ビット内蔵
- 多様なマスタクロックに対応: 128/192/256/384/512/768/1024/1536fs
- オーディオフォーマット: 前詰め/後詰め/I²S
- 4線式 / 3線式シリアルホストインタフェース
- CMOS入力レベル
- 電源電圧: 2.7 ~ 3.6V
- 小型パッケージ: 16ピンTSSOP
- Ta: -20 ~ 85 °C

■ ブロック図

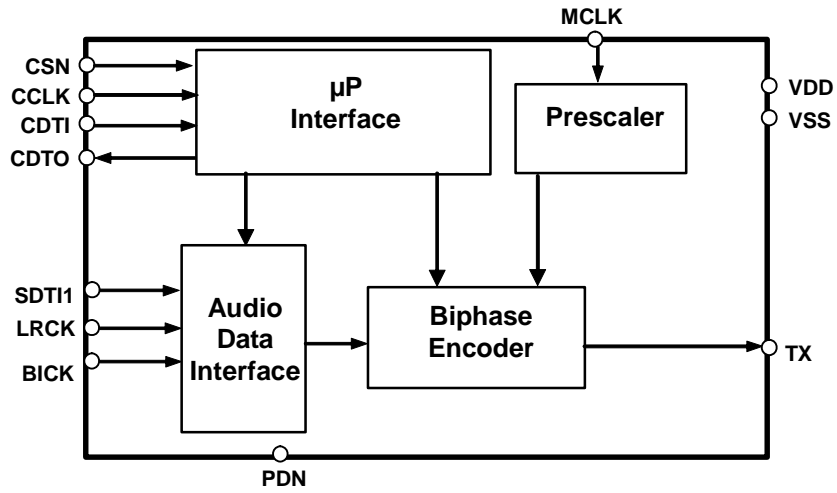


Figure 1. AK4104 Block Diagram (MODE bit = "0")

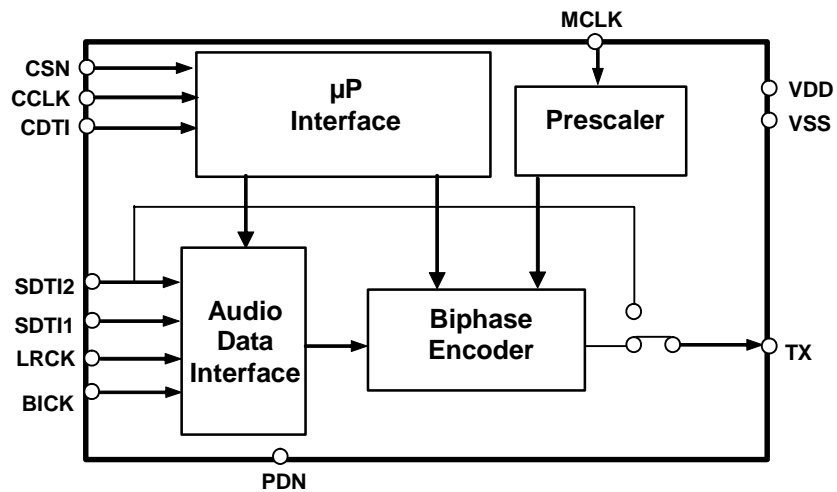


Figure 2. AK4104 Block Diagram (MODE bit = "1")

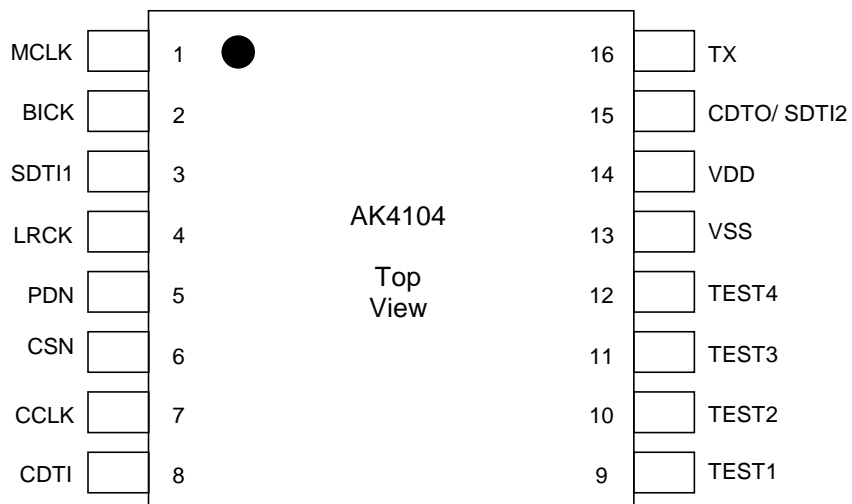
■ オーダリングガイド

AK4104ET
AKD4104

-20 ~ +85°C
AK4104評価用ボード

16pin TSSOP (0.65mm pitch)

■ ピン配置



ピン / 機能

No.	Pin Name	I/O	Function
1	MCLK	I	Master Clock Input Pin
2	BICK	I	Audio Serial Data Clock Pin
3	SDTI1	I	Audio Serial Data Input 1 Pin
4	LRCK	I	Input Channel Clock Pin
5	PDN	I	Power Down and Reset Pin “L”: Power down and Reset, “H”: Power up
6	CSN	I	Chip Select Pin
7	CCLK	I	Control Data Clock Pin
8	CDTI	I	Control Data Input Pin
9	TEST1	I	TEST Pin This pin should be connected to VDD.
10	TEST2	O	TEST Pin This pin should be OPEN.
11	TEST3	O	TEST Pin This pin should be OPEN.
12	TEST4	O	TEST Pin This pin should be OPEN.
13	VSS	-	Ground Pin
14	VDD	-	Power Supply Pin, 2.7 ~ 3.6V
15	CDTO	O	Control Data Output Pin, The output is “Hi-Z” when PDN pin = “L”.
	SDTI2	I	Audio Serial Data Input 2 Pin
16	TX	O	Transmit Channel Output Pin, The output is “L” when PDN pin = “L” or RSTN bit = “0” or PW bit = “0” or MCLK stops.

注:すべての入力ピンはフローティングにしないで下さい。

絶対最大定格

(VSS = 0V; Note 1)

Parameter	Symbol	min	max	Units
Power Supply	VDD	-0.3	4.6	V
Input Current, Any Pin Except Supplies	IIN	-	±10	mA
Digital Input Voltage (Note 2)	VIND	-0.3	VDD+0.3	V
Ambient Temperature (Powered applied)	Ta	-20	85	°C
Storage Temperature	Tstg	-65	150	°C

Note 1. 電圧はすべてグラウンドに対する値です。

Note 2. MCLK, BICK, SDTI1, LRCK, PDN, CSN, CCLK, CDTI, SDTI2

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

(VSS = 0V; Note 1)

Parameter	Symbol	min	typ	max	Units
Power Supply	VDD	2.7	3.3	3.6	V

Note 1. 電圧はすべてグラウンドに対する値です。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

DC 特性

(Ta = 25°C; VDD = 2.7 ~ 3.6V)

Parameter	Symbol	min	typ	max	Units
Power Supply Current (Note 3)					
Normal Operation (PDN pin = "H", fs=44.1kHz) (Note 3)			0.9	1.8	mA
Full power-down mode (PDN pin = "L") (Note 4)			10	50	μA
High-Level Input Voltage	VIH	70%VD	-	-	V
Low-Level Input Voltage	VIL	D	-	30%VD	V
		-		D	
High-Level Output Voltage (Iout=-80μA)	VOH1	VDD-0.4	-	-	V
Low-Level Output Voltage (Iout=80μA)	VOL1	-	-	0.4	V
Input Leakage Current	Iin	-	-	± 10	μA

Note 3. TX pin: オープンの場合、VDD = 3.3V 時、

消費電流は、IDD = 1.0mA(typ)@fs = 48kHz, 1.4mA(typ)@fs = 96kHz, 2.6mA(typ)@fs = 192kHz です。

PDN = "L"、すべての入力ピンをVSSに固定した場合、消費電流は10μA(typ)です。

TX pin: 20pFの負荷を付けた場合、VDD = 3.3V時の消費電流は、IDD = 3.3mA(typ)@fs = 192kHzです。

Note 4. すべてのデジタル入力ピンをVDDまたはVSSに固定した場合の値です。

TX 特性

(Ta = 25°C; VDD = 2.7 ~ 3.6V)

Parameter	Symbol	min	typ	max	Units
High-Level Output Voltage (Iout=-400μA)	VOH2	VDD-0.4	-	-	V
Low-Level Output Voltage (Iout=400μA)	VOL2	-	-	0.4	V
Load Capacitance	CL	-	-	50	pF

スイッチング特性

(Ta = 25°C; VDD = 2.7 ~ 3.6V, CL = 20pF)

Parameter	Symbol	min	typ	max	Units
Master Clock Frequency					
Frequency	fCLK	2.048		36.864	MHz
Duty Cycle	dCLK	40		60	%
LRCK Frequency					
Frequency	fs	8		192	kHz
Duty Cycle	dCLK	45		55	%
Audio Interface Timing					
BICK Period	tBCK	81			ns
BICK Pulse Width Low	tBCKL	30			ns
Pulse Width High	tBCKH	30			ns
BICK “↑” to LRCK Edge	(Note 5) tBLR	20			ns
LRCK Edge to BICK “↑”	(Note 5) tLRB	20			ns
SDTI Hold Time	tSDH	20			ns
SDTI Setup Time	tSDS	20			ns
Control Interface Timing					
CCLK Period	tCCK	200			ns
CCLK Pulse Width Low	tCCKL	80			ns
Pulse Width High	tCCKH	80			ns
CDTI Setup Time	tCDS	40			ns
CDTI Hold Time	tCDH	40			ns
CSN “H” Time	tCSW	150			ns
CSN “↓” to CCLK “↑”	tCSS	150			ns
CCLK “↑” to CSN “↑”	tCSH	50			ns
CDTO Delay	tDCD			45	ns
CSN “↑” to CDTO Hi-Z	tCCZ			70	ns
Power-Down & Reset Timing					
PDN Pulse Width	(Note 6) tPD	150			ns

Note 5. この規格値は LRCK のエッジと BICK の “↑” が重ならないように規定しています。

Note 6. PDN pin = “L” のとき、AK4104 がリセットされます。

■ タイミング波形

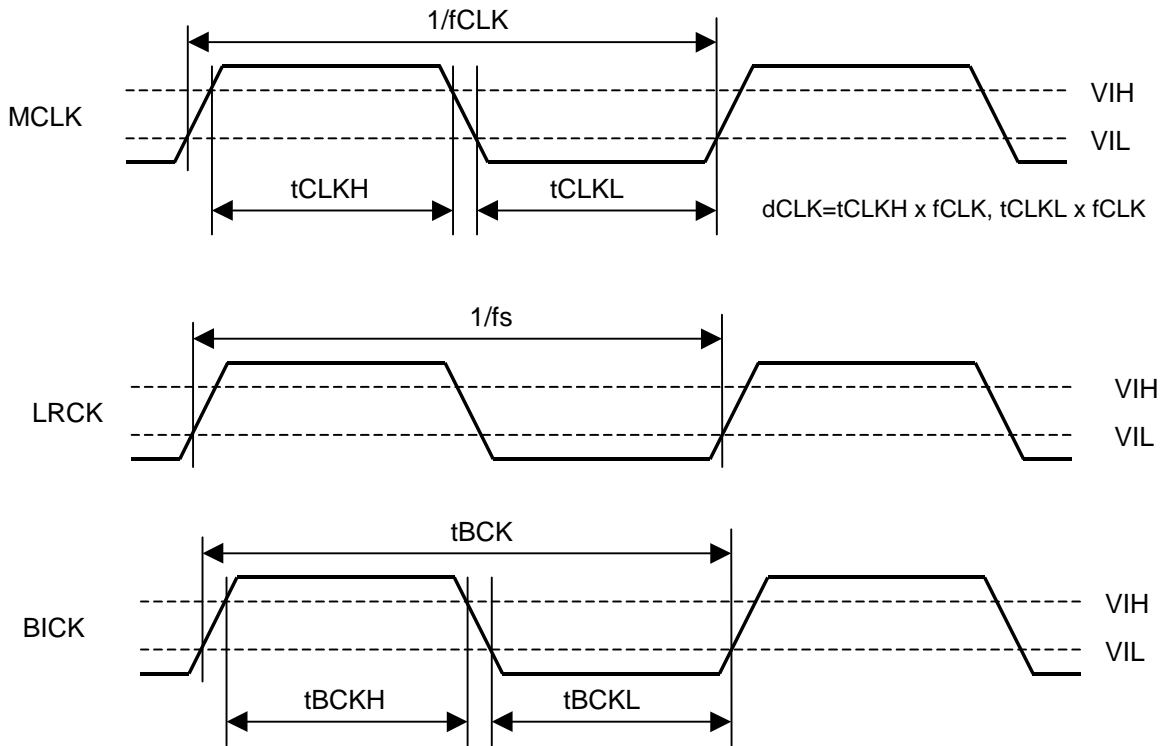


Figure 3. Clock Timing

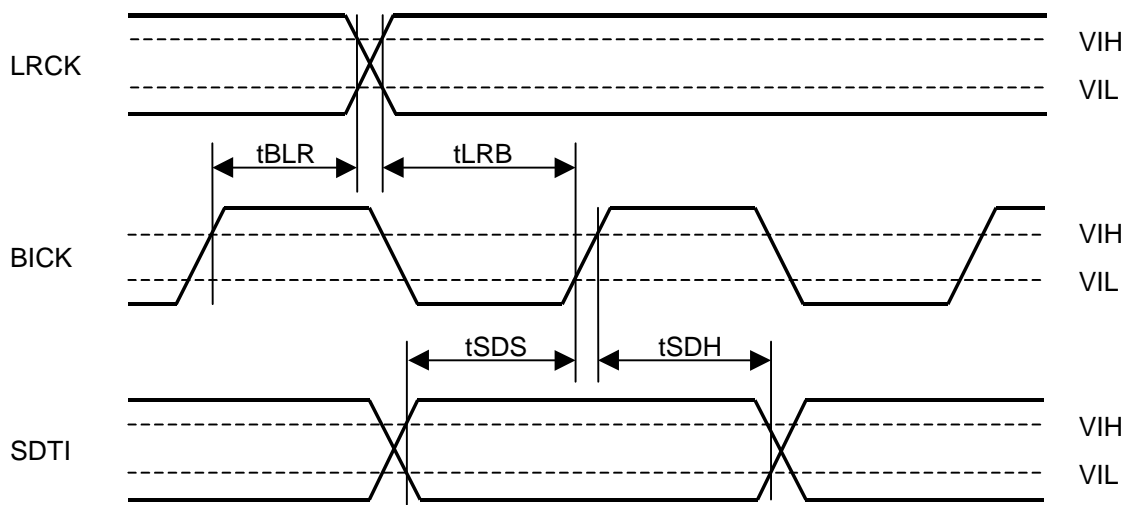


Figure 4. Serial Interface Timing

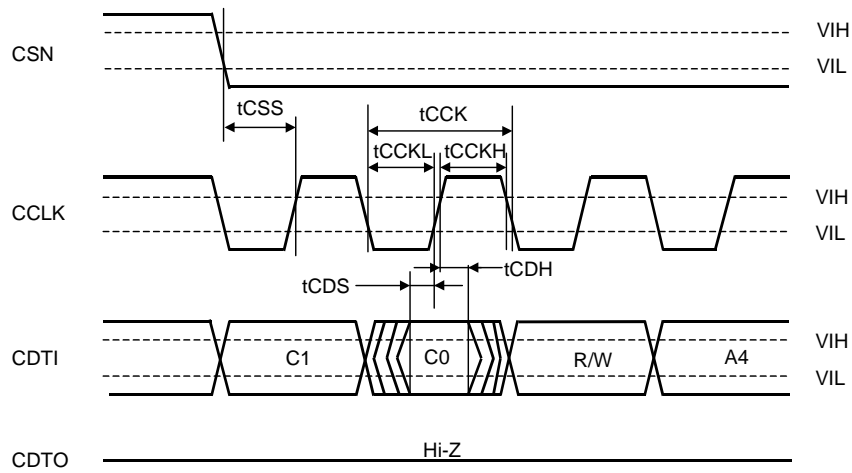


Figure 5. WRITE/READ Command Input Timing in 3-wire/4-wire serial mode

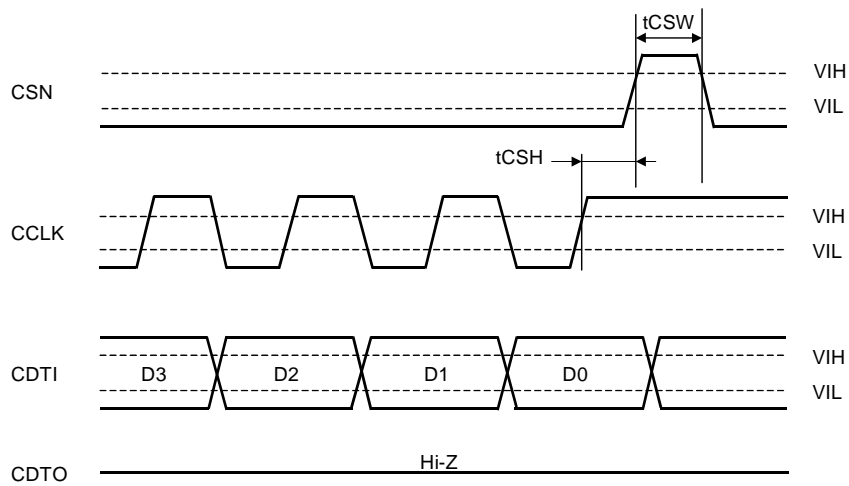


Figure 6. WRITE Data Input Timing in 3-wire/4-wire serial mode

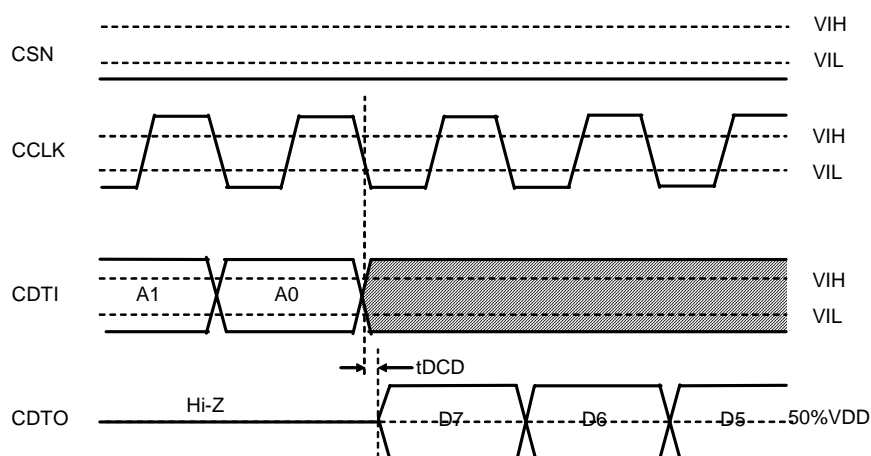


Figure 7. READ Data Output Timing 1 in 4-wire serial mode

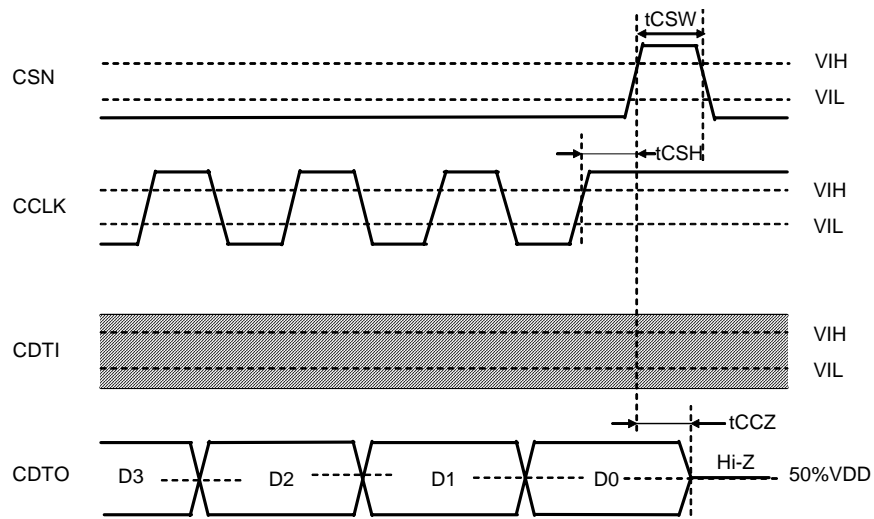


Figure 8. READ Data Output Timing 2 in 4-wire serial mode

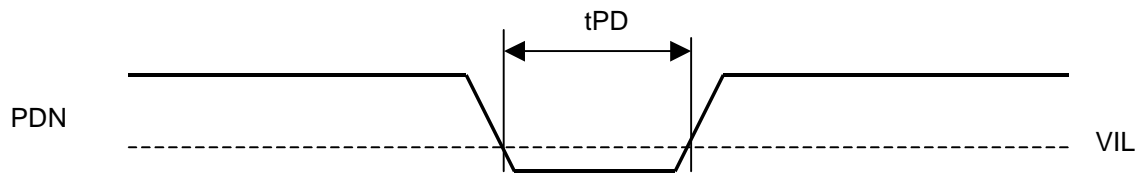


Figure 9. Power-Down & Reset Timing

動作説明

■ リセットと初期化

電源立ち上げ時には、PDN pin に一度 “L” を入力してリセットを行ってください。初期化には PDN pin の立ち上がりから 8 BICK サイクルかかります。

■ MCLK と LRCK の関係

正しく同期をとるために、MCLKとLRCKは同じクロック信号から直接(分周器を通して)もしくは間接的に(例えばDSPを通して)生成する必要があります。パワーアップ後MCLKとLRCKの位相関係は固定にしてください。MCLKは次の周波数 (Table 1) に対応します。外部MCLKの周波数によって、自動的に内部クロック周波数を生成します。

MCLK	Fs
128fs	16k-192kHz
192fs	16k-192kHz
256fs	8k-128kHz
384fs	8k-96kHz
512fs	8k-48kHz
768fs	8k-48kHz
1024fs	8k-32kHz
1536fs	8k-24kHz

Table 1. MCLK Frequency

■ オーディオインタフェースフォーマット

オーディオデータは BICK と LRCK を使って SDTI から入力されます。4種類のフォーマット(Table 2)が、DIF1-0 pin で選択できます。全モードとも MSB ファースト、2's complement のデータフォーマットで BICK の立ち上がりでラッチされます。Mode3の場合、BICK ≥ 48fsまたはBICK=32fs でデータのない LSB に“0”を入力することによって16bit, I²S Compatible formatに対応します。

Mode	DIF1	DIF0	SDTI Format	BICK	Figure
0	0	0	16bit, LSB justified	≥ 32fs	Figure 10
1	0	1	24bit, LSB justified	≥ 48fs	Figure 11
2	1	0	24bit, MSB justified	≥ 48fs	Figure 12
3	1	1	16/24bit, I ² S Compatible	≥ 48fs or 32fs	Figure 13

Table 2. Audio Interface Format

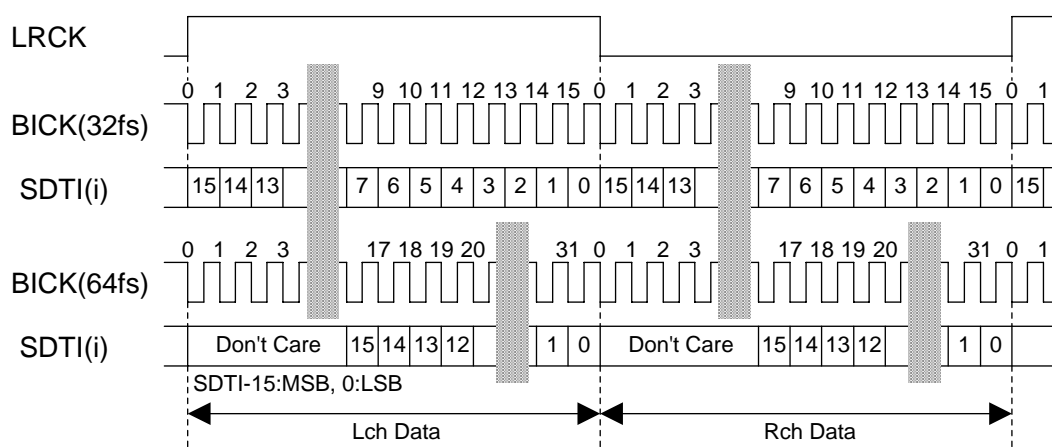


Figure 10. Mode 0 Timing

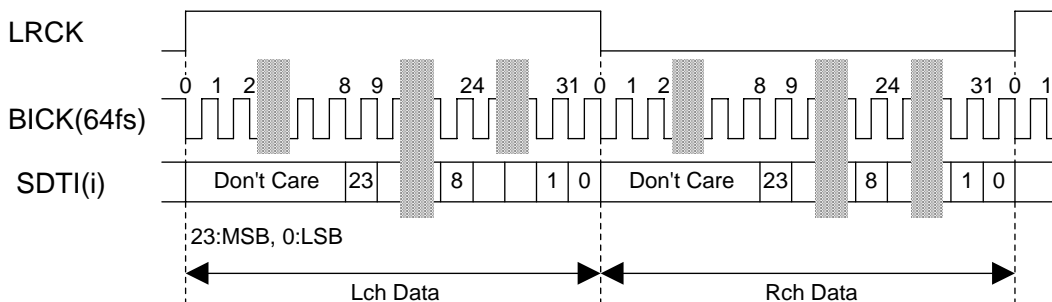


Figure 11. Mode 1 Timing

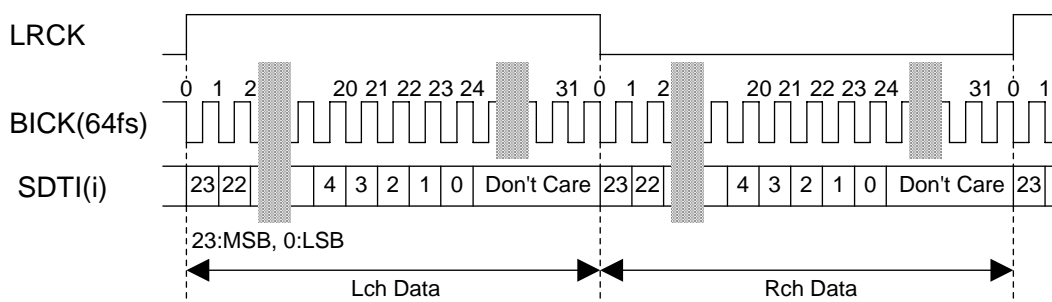


Figure 12. Mode 2 Timing

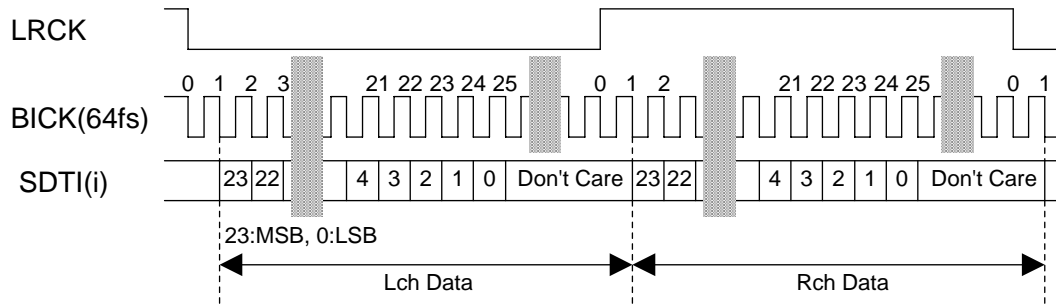


Figure 13. Mode 3 Timing

■ DIT 入力セレクタ

AK4104 は 4 線式μP I/F モード (MODE bit = “0”) または 3 線式μP I/F モード (MODE bit = “1”) 選択できます。3 線式μP I/F モードの場合、DIT 入力データは SDTI1 または SDTI2 data から選択できます。

MODE	SEL1	SEL0	μP I/F	DIT input
0	x	x	4-wire	SDTI1
1	0	0	3-wire	SDTI1
1	0	1	3-wire	SDTI2
1	1	0	3-wire	SDTI2:DIT Bypass
1	1	1	Reserved	

(x: Don't care)

Table 3. DIT Input

■ データ伝送フォーマット

TX出力で伝送されるデータのフォーマットは Figure 14に示されます。各ブロックは 192 フレームで構成され、各フレームは 2 つのサブフレームで構成されます。各サブフレームは 32 ビットの情報を持ちます。受け取った各データビットはバイフェーズマークエンコーディングにより 2 つのバイナリ状態のシンボルに符号化されます。プリアンブルはデータと区別できるようにバイフェーズエンコーディングになっていません。バイフェーズエンコードにおいて、入力シンボルの前半分の状態は常に直前のシンボルの後半分の状態の反転になっています。シンボルの後半分の状態は、ロジック 0 では前半分と同じ、ロジック 1 では前半分の反転になります。Figure 15は 16 個のシンボル状態にエンコードされた 8 個のデータビットのサンプルストリームを示します。

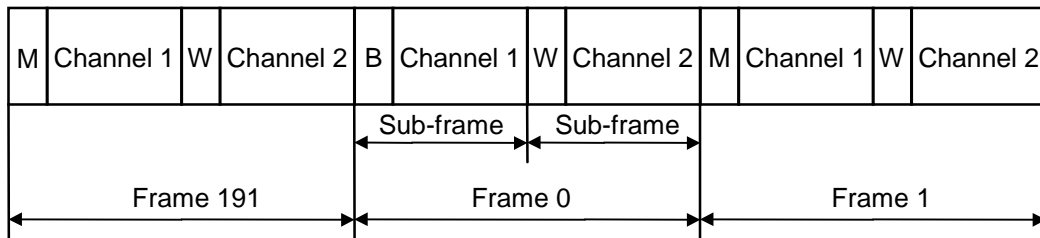


Figure 14. ブロックフォーマット

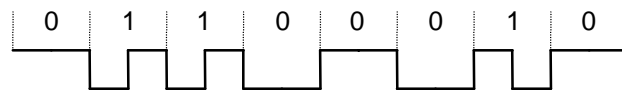


Figure 15. バイフェーズエンコードされたビットストリーム

サブフレームは下の Figure 16のように定義されます。ビット 0-3 は同期のためのプリアンブルです。プリアンブルには 3 種類あります。ブロックプリアンブル(B)はフレーム 0 の第 1 サブフレームに含まれます。チャンネル 1 プリアンブル(M)はフレーム 0 以外の全フレームの第 1 サブフレームに含まれます。チャンネル 2 プリアンブル(W)は全フレームの第 2 サブフレームに含まれます。

各プリアンブルに対するシンボルのエンコードは下の Table 4のように定義されます。ビット 4-27 は 24 ビットのオーディオサンプルが 2 の補数で含まれ、ビット 27 がMSBです。16 ビットモードではビット 4-11 はすべて 0 です。ビット 28 はバリディティフラグです。オーディオサンプルに信頼性がない場合 “H” になっています。ビット 29 はユーザデータビットです。192 ビットのユーザデータワードの先頭ビットはフレーム 0 に、最終ビットはフレーム 191 にそれぞれ含まれます。ビット 30 はチャンネルステータスビットです。チャンネルステータスビットも同様に 192 ビットワードの先頭ビットはフレーム 0 に、最終ビットはフレーム 191 にそれぞれ含まれます。ビット 31 はビット 4-31 に対する偶数パリティビットです。

0	3	4		27	28	29	30	31
Sync		L S B	Audio sample	M S B	V	U	C	P

Figure 16. サブフレームのフォーマット

データのブロックはサンプリング周波数(fs)の 64 倍の定ビットレートで伝送される連続したフレームから成り立ちます。ステレオオーディオでは、Lまたは A チャンネルのデータはチャンネル 1 に、Rまたは B チャンネルのデータはチャンネル 2 に含まれます。モノラルオーディオでは、オーディオデータはチャンネル 1 に含まれます。

Preamble	Preceding state = 0	Preceding state = 1
B	11101000	00010111
M	11100010	00011101
W	11100100	00011011

Table 4. サブフレームのプリアンブルエンコーディング

チャンネルステータスビット

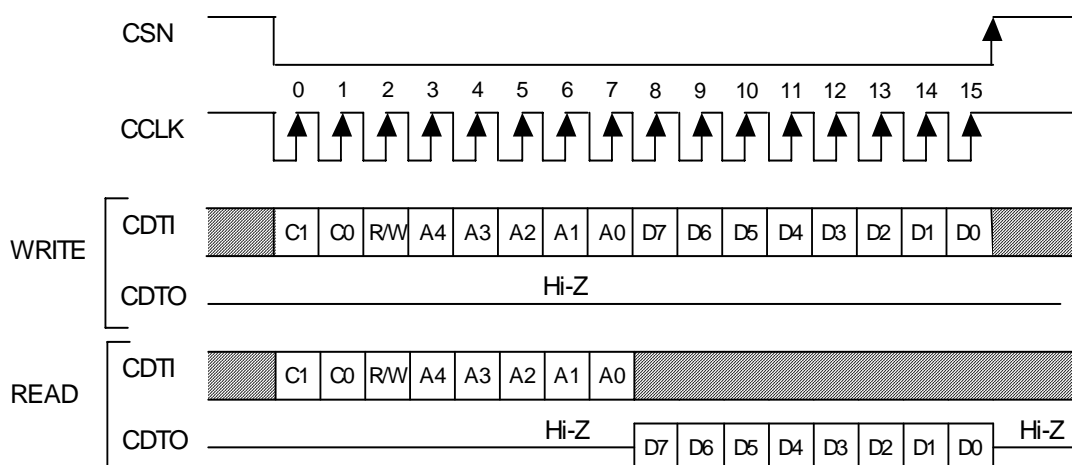
カスタムモード時(bit0 = “0”)、bits20-23(audio channel) はCT20 bit でコントロールします。CT20 bit = “1”のとき、AK4104はステレオモードとなり、サブフレーム1において、bits20-23 = “1000”(左チャンネル)、サブフレーム2において、bits20-23= “0100”(右チャンネル)にセットされます。CT20 bit = “0”のとき、サブフレーム1とサブフレーム2とも、bits20-23= “0000”にセットされます。

■ シリアルコントロールインタフェース

AK4104 は 4 線シリアル I/F モード (MODE bit = “0”) または 3 線シリアル I/F モード (MODE bit = “1”)に対応します。

1. 4 線シリアルコントロールモード (MODE bit = “0”,default)

レジスタ設定は 4 線式シリアル I/F pin(CSN,CCLK,CDTI,CDTO)で書き込みまたは読み出しを行います。I/F 上のデータは Chip address(2bits, C1/0; “11”固定), Read/Write(1bit), Register address(MSB first, 5bits)と Control data(MSB first, 8bits)で構成されます。データ送信側は CCLK の“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みは、CCLK の 16 クロック目の“↑”で有効になります。CCLK の 16 クロック目毎に CSN を一度 “H”にしてください。データの読み出しは CSN の“↑”で出力が Hi-Z になります。CCLK のクロックスピードは 5MHz (max)です。PDN pin= “L”でレジスタの値はリセットされます。



C1-C0: Chip Address: (Fixed to “11”)
 R/W: READ/WRITE (0:READ, 1:WRITE)
 A4-A0: Register Address
 D7-D0: Control Data

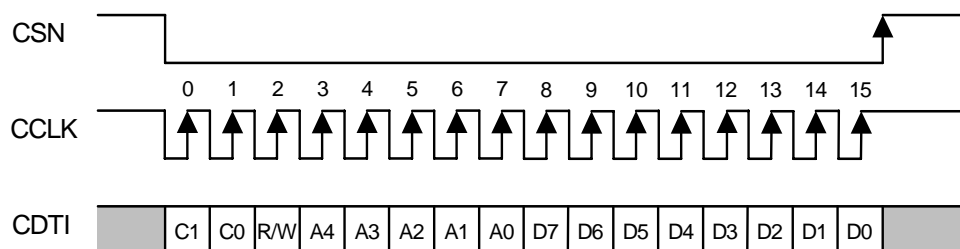
Figure 17. 4-wire μP I/F Timing

*AK4104がパワーダウンモード時(PDN pin = “L”)または MCLK が供給されていない場合は、コントロールレジスタへの書き込みが禁止されます。

2. 3線シリアルコントロールモード (MODE bit = "1")

レジスタ設定は3線式シリアル I/F pin(CSN,CCLK,CDTI)で書き込みを行います。I/F上のデータはChip address(2bits, C1/0; "11"固定), Read/Write(1bit, "1"固定,書き込みのみ), Register address(MSB first, 5bits)とControl data(MSB first, 8bits)で構成されます。データはCCLKの"↑"で各ビットを出力し, "↓"で取り込みます。データの書き込みは、CCLKの16クロック目で有効になります。CCLKの16クロック目毎にCSNを一度"H"にしてください。CCLKのクロックスピードは5MHz (max)です。PDN pin="L"でレジスタの値はリセットされます。

PDN pin="L"にすることでレジスタが初期値に戻ります。内部のタイミングはRSTN bitでリセットされますが、レジスタは初期化されません。



C1-C0: Chip Address (Fixed to "11")
 R/W: READ/WRITE (Fixed to "1", Write only)
 A4-A0: Register Address
 D7-D0: Control Data

Figure 18. 3-wire μ P I/F Timing

*AK4104は3線式において読み出しが対応しません。Chip address C1/0とR/Wは"011"に固定されます。

*AK4104はパワーダウン(PDN pin="L")時またはMCLKが供給されていない場合は、コントロールレジスタへの書き込みが禁止されます。

■ Register Map

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	1	0	0	0	DIF1	DIF0	PW	RSTN
01H	Reserved	0	1	0	1	1	0	1	1
02H	Control 2	0	0	0	0	0	MODE	SEL1	SEL0
03H	TX	1	0	0	0	0	0	V	TXE
04H	Channel Status Byte0	CS7	CS6	CS5	CS4	CS3	CS2	CS1	CS0
05H	Channel Status Byte1	CS15	CS14	CS13	CS12	CS11	CS10	CS9	CS8
06H	Channel Status Byte2	CS23	CS22	CS21	CS20	CS19	CS18	CS17	CS16
07H	Channel Status Byte3	CS31	CS30	CS29	CS28	CS27	CS26	CS25	CS24
08H	Channel Status Byte4	CS39	CS38	CS37	CS36	CS35	CS34	CS33	CS32
09H	Channel Status Byte5	0	0	0	0	0	0	CS41	CS40

Notes:

アドレス 0AH~1FH にはデータを書き込まないで下さい。

PDN pin = “L” で、レジスタは初期化され、初期値に戻ります。

RSTN bit = “0” で、内部タイミングがリセットされ、レジスタは初期化されません。PW と RSTN bit = “0” の場合もレジスタは書き込まれます。

レジスタ“0”のところは“0”を、レジスタ“1”のところは“1”を書いてください。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	1	0	0	0	DIF1	DIF0	PW	RSTN
	R/W	R/W							
	Default	1	0	0	0	1	1	1	1

RSTN: タイミングリセット

0: リセット。コントロールレジスタは初期化されません。

1: 通常動作

PW: パワーダウンコントロール

0: パワーダウン。コントロールレジスタは初期化されません。

1: 通常動作

DIF1-0: オーディオデータフォーマット (Table 2)

Default: “11”, Mode 3

	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Control 3	0	0	0	0	0	MODE	SEL1	SEL0
	R/W	R/W							
	Default	0	0	0	0	0	0	0	0

MODE: モードコントロール

0: 4 線式

1: 3 線式

SEL1-0: DIT 入力

00: SDTI1 入力

01: SDTI2 入力

10: SDTI2 入力 (DIT Bypass)

11: Reserved

(NOTE) SEL1-0 bits は 4 線式(MODE bit = "0")のときに使えません。

	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	TX	1	0	0	0	0	0	V	TXE
	R/W	R/W							
	Default	1	0	0	0	0	0	0	1

V: バリディティフラグ

0: Valid

1: Invalid

TXE: TX 出力

0: "L"

1: 通常動作

	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
04H	Channel Status Byte0	CS7	CS6	CS5	CS4	CS3	CS2	CS1	CS0
	Default	0	0	0	0	0	1	0	0
05H	Channel Status Byte1	CS15	CS14	CS13	CS12	CS11	CS10	CS9	CS8
	Default	0	0	0	0	0	0	0	0
06H	Channel Status Byte2	CS23	CS22	CS21	CS20	CS19	CS18	CS17	CS16
	Default	0	0	0	0	0	0	0	0
07H	Channel Status Byte3	CS31	CS30	CS29	CS28	CS27	CS26	CS25	CS24
	Default	0	0	0	0	0	0	0	0
08H	Channel Status Byte4	CS39	CS38	CS37	CS36	CS35	CS34	CS33	CS32
	Default	0	0	0	0	0	0	0	0
09H	Channel Status Byte5	0	0	0	0	0	0	CS41	CS40
	Default	0	0	0	0	0	0	0	0

CS7-0: Transmitter Channel Status Byte 0

Default: "00000100"

CS39-8: Transmitter Channel Status Byte 4-1

Default: "00000000"

CS41-CS40: Transmitter Channel Status Byte 5

Default: "00000000", D7-D2 bits should be written "1".

システムデザイン

Figure 19 と Figure 20 は、4-wire serial mode 及び 3-wire serial mode 時のシステム接続例です。具体的な回路と測定例については評価ボード(AKD4104)を参照して下さい。

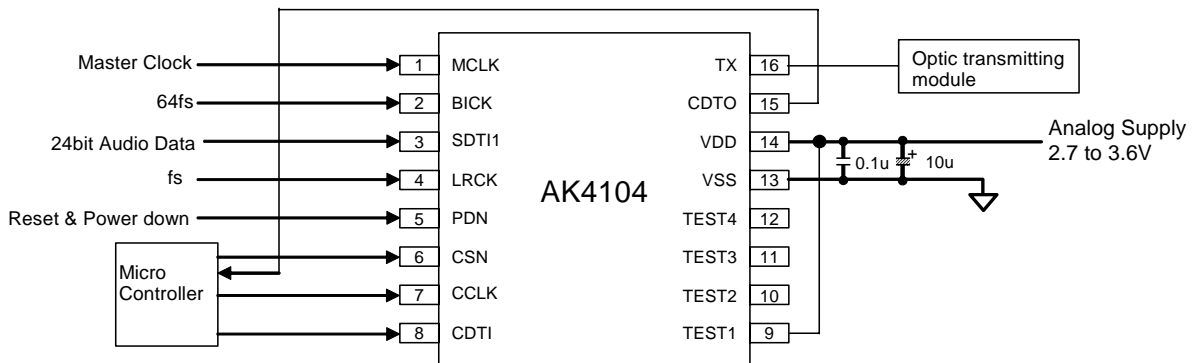


Figure 19. Typical Connection Diagram (MODE bit = "0", 4 wire mode)

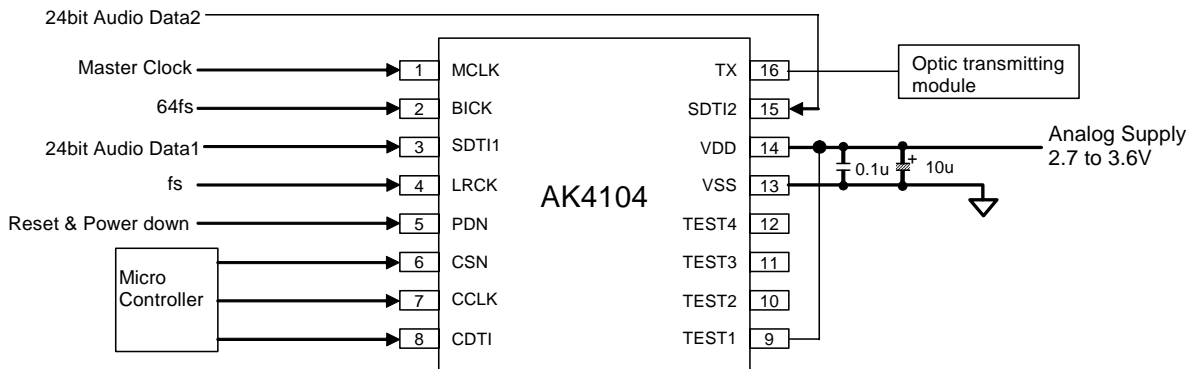
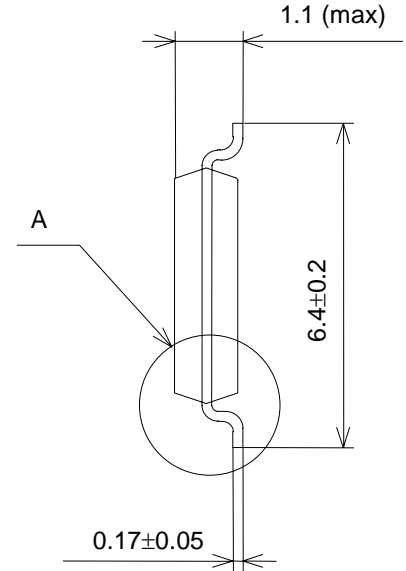
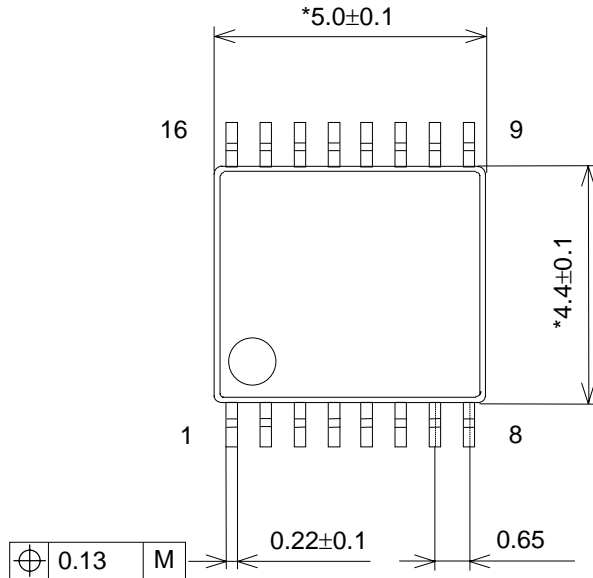


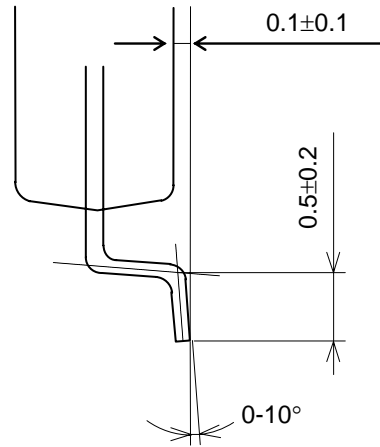
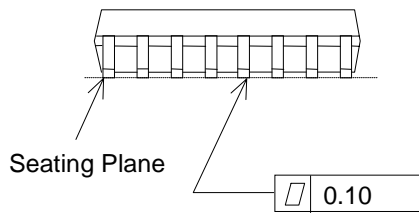
Figure 20. Typical Connection Diagram (MODE bit = "1", 3 wire mode)

パッケージ

16pin TSSOP (Unit: mm)



Detail A

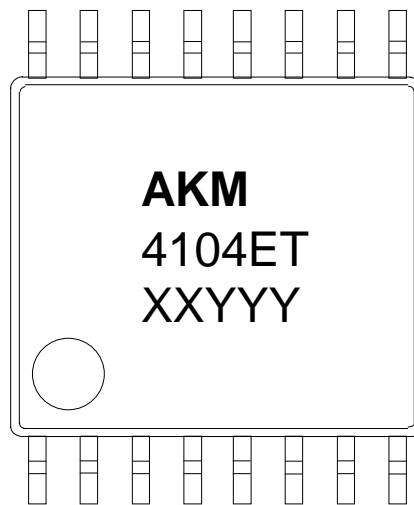


NOTE: Dimension "*" does not include mold flash.

■ 材質・メッキ仕様

- パッケージ材質: エポキシ系樹脂
- リードフレーム材質: 銅
- リードフレーム処理: 半田(無鉛)メッキ

マーキング



- 1) Pin #1 indication
- 2) Date Code : XXYYY (5 digits)
 XX: Lot#
 YYY: Date Code
- 3) Marketing Code : 4104ET
- 4) Asahi Kasei Logo

改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
07/10/15	00	初版		
10/09/28	01	仕様変更	19	パッケージ パッケージ図の寸法を変更

重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
- 本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器設計において本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報を使用される場合は、お客様の責任において行ってください。本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。また、当該使用に起因する、工業所有権その他の第三者の所有する権利に対する侵害につきましても同様です。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取りください。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。