

### 概 要

AK4113は192kHz, 24bitに対応したデジタルオーディオレシーバ (DIR)で、チャンネルステータスは民生用およびプロ用の両フォーマットに対応します。さらに Dolby Digital / MPEG等のNon-PCMデータストリームを自動検出し、マルチチャンネルCODEC(AK4626, AK4628) と組み合わせて容易に Dolby Digitalシステムを実現できます。デバイスの設定は専用のパラレルピンか、またはシリアルμP I/Fによる設定が可能です。AK4113は小型30Pin VSOPパッケージに実装され、基板スペースを削減します。

\* Dolby Digital is a trademark of Dolby Laboratories.

### 特 長

- AES/EBU, IEC60958, S/PDIF, EIAJ CP1201対応
- 低ジッタPLL
- PLLロックレンジ: 8k ~ 216kHz
- PLL/X'tal切り替え機能
- アンプ内蔵 6 入力と1スルー出力対応
- 補助デジタルデータ入力対応
- ディエンファシス内蔵 (32kHz, 44.1kHz, 48kHz 対応)
- 各種検出機能
  - Non-PCMデータストリーム検出
  - DTS-CDデータストリーム検出
  - サンプリング周波数検出  
(8kHz, 11.025kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz, 64kHz, 88.2kHz, 96kHz, 176.4kHz, 192kHz)
  - Unlock & Parity Error 検出
  - Validity 検出
  - DAT Start ID 検出
- 24bitフォーマット対応
- オーディオインターフェイス: マスタ/スレーブモード対応
- チャンネルステータスピットの先頭 40bit 分のバッファ内蔵
- Non-PCMデータストリームのバーストプリアンプPc, Pd 用バッファ内蔵
- CD Q-subcode 用バッファ内蔵
- シリアルμPインターフェイス対応: I<sup>2</sup>C(max. 400kHz) or 4-wire
- 64fs/128fs/256fs/512fsマスタクロック対応
- 電源電圧: 2.7 to 3.6V (5V入力可)
- 小型パッケージ: 30 ピンVSOP
- Ta: - 40 ~ 85°C

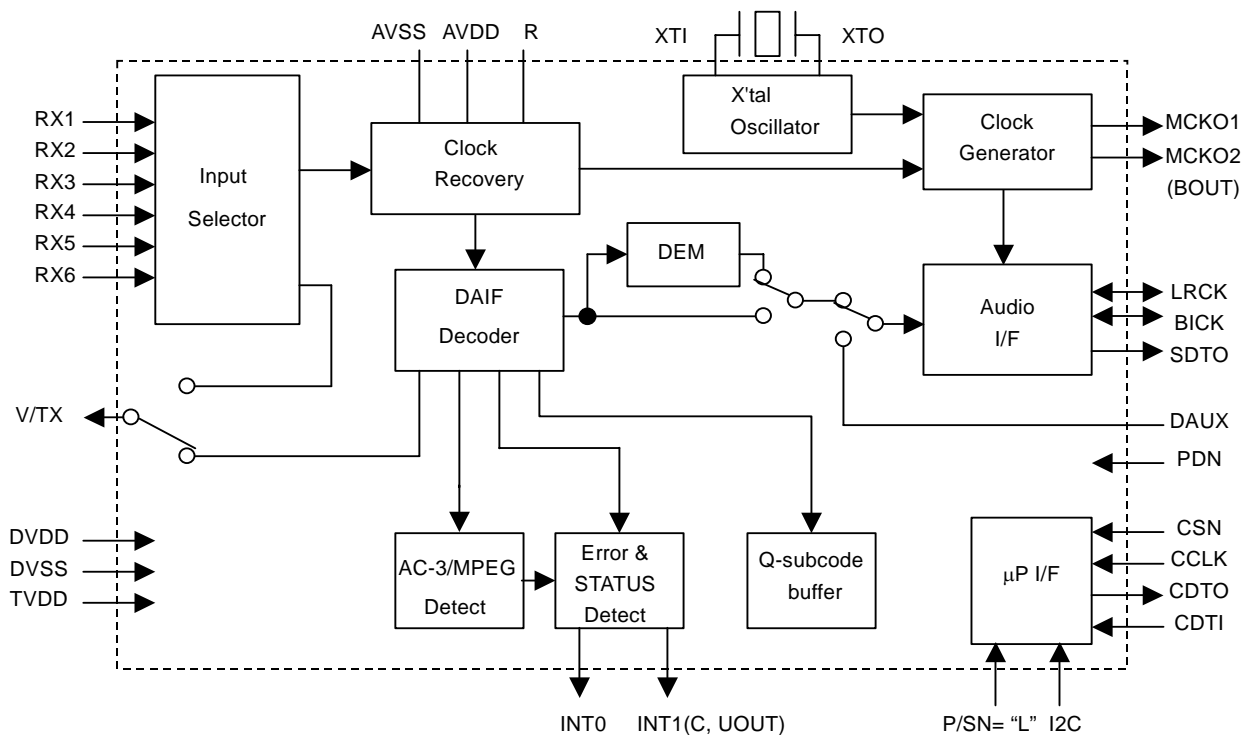


Figure 1. シリアルコントロールモード

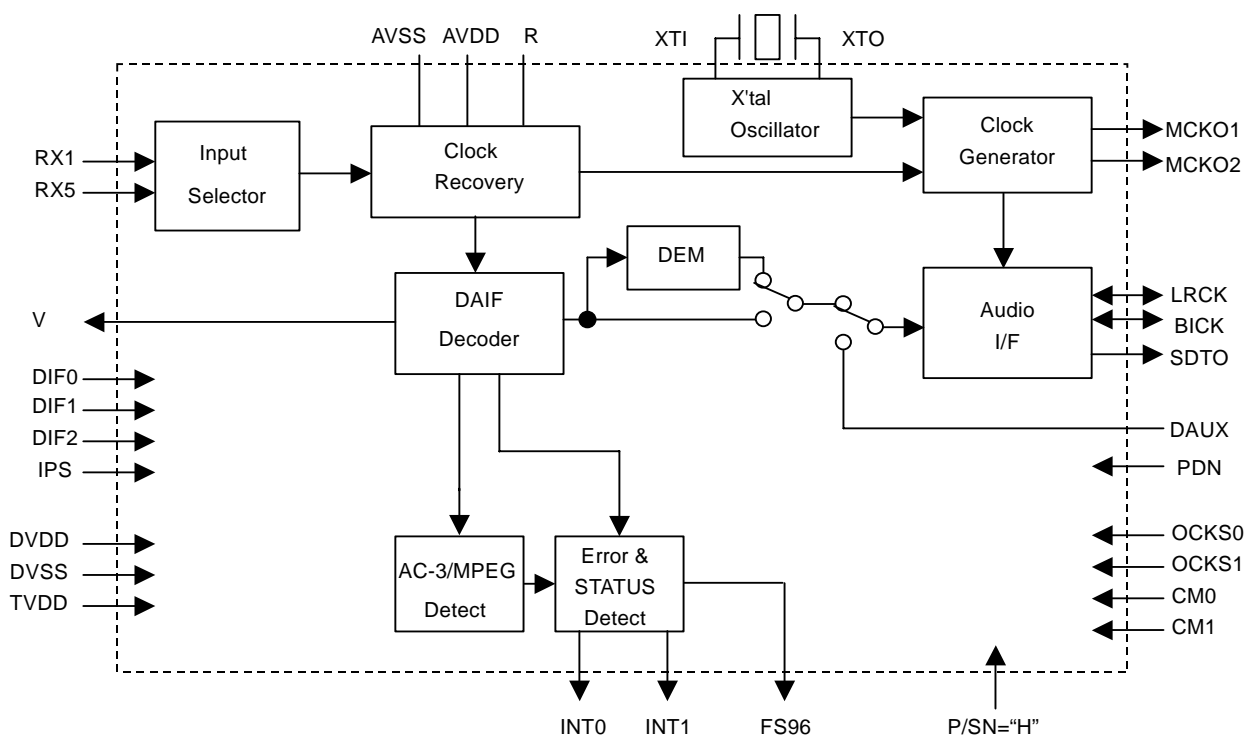
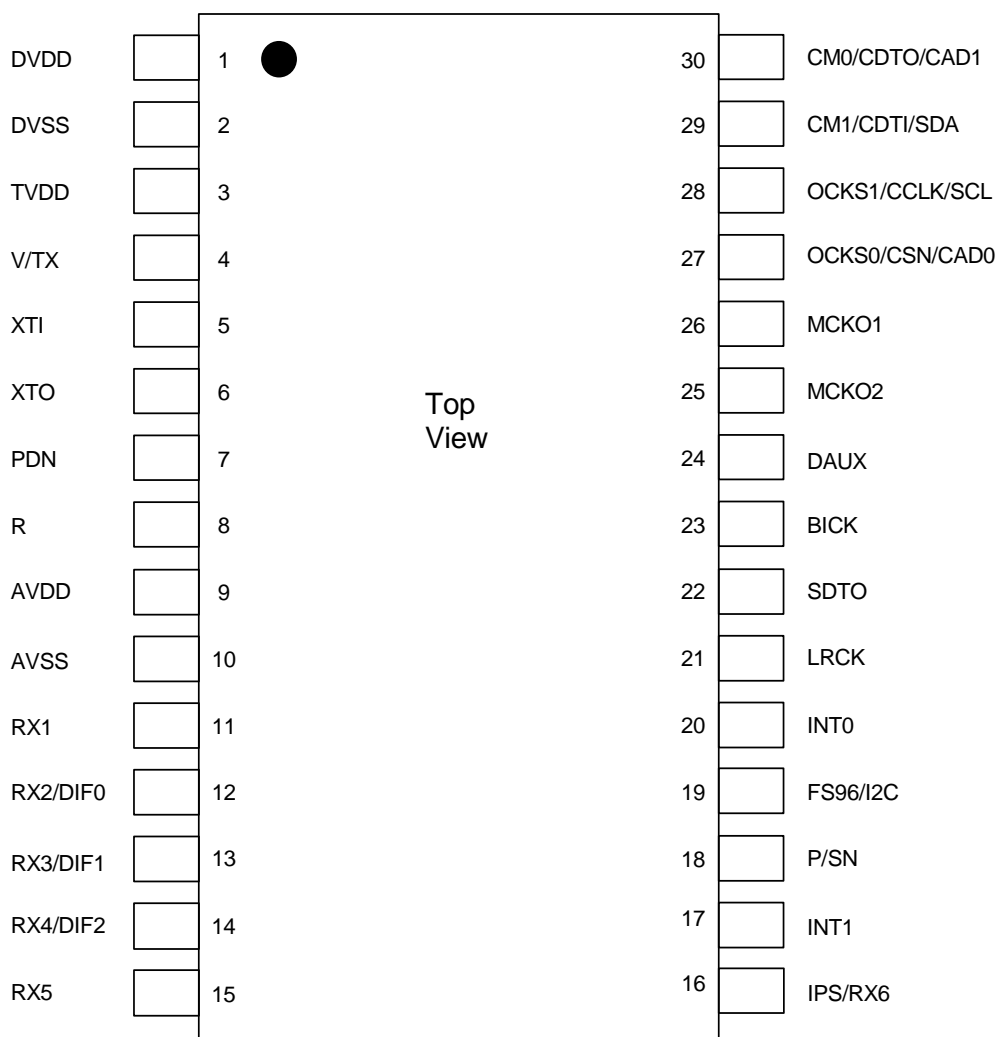


Figure 2. パラレルコントロールモード

■ オーダリングガイド

AK4113VF    -40 ~ +85 °C    30pin VSOP (0.65mm pitch)  
 AKD4113    AK4113 評価ボード

■ ピン配置



## ピン/機能

No.	Pin Name	I/O	Function
1	DVDD	-	Digital Power Supply Pin, 3.3V
2	DVSS	-	Digital Ground Pin
3	TVDD	-	Input Buffer Power Supply Pin, 3.3V or 5V
4	V	O	Validity Flag Output Pin in parallel control mode
	TX	O	Transmit channel (Through data) Output Pin in serial control mode
5	XTI	I	X'tal Input Pin
6	XTO	O	X'tal Output Pin
7	PDN	I	Power-Down Mode Pin When "L", the AK4113 is powered-down and reset.
8	R	-	External Resistor Pin This pin must be connected to AVSS via 15kΩ ± 5% resistor.
9	AVDD	-	Analog Power Supply Pin
10	AVSS	-	Analog Ground Pin
11	RX1	I	Receiver Channel #1 Pin (Internal Biased Pin)
12	DIF0	I	Audio Data Interface Format #0 Pin in parallel control mode
	RX2	I	Receiver Channel #2 Pin in serial control mode (Internal Biased Pin)
13	DIF1	I	Audio Data Interface Format #1 Pin in parallel control mode
	RX3	I	Receiver Channel #3 Pin in serial control mode (Internal Biased Pin)
14	DIF2	I	Audio Data Interface Format #2 Pin in parallel control mode
	RX4	I	Receiver Channel #4 Pin in serial control mode (Internal Biased Pin)
15	RX5	I	Receiver Channel #5 Pin (Internal Biased Pin)
16	IPS	I	Input Channel Select Pin in parallel control mode
	RX6	I	Receiver Channel #6 Pin (Internal Biased Pin)
17	INT1	O	Interrupt #1 Pin (when BCU bit = "0")
			U-bit Output Pin (when BCU bit = "1", UCE bit = "0")
			C-bit Output Pin (when BCU bit = "1", UCE bit = "1")
18	P/SN	I	Parallel/Serial Select Pin "L": Serial control mode, "H": Parallel control mode
19	FS96	O	96kHz Sampling Detect Pin in parallel control mode This function is enabled when the input frequency of XTI is 24.576MHz. "L": fs=54kHz or less, "H": fs=64kHz or more
	I2C	I	I2C Select Pin in serial control mode. "L": 4-wire Serial, "H": I <sup>2</sup> C
20	INT0	O	Interrupt #0 Pin
21	LRCK	I/O	Output Channel Clock Pin
22	SDTO	O	Audio Serial Data Output Pin
23	BICK	I/O	Audio Serial Data Clock Pin
24	DAUX	I	Auxiliary Audio Data Input Pin
25	MCKO2	O	Master Clock #2 Output Pin (when BCU bit = "0")
			Block Start Signal Output Pin (when BCU bit = "1")
26	MCKO1	O	Master Clock #1 Output Pin
27	OCKS0	I	Output Clock Select #0 Pin in parallel control mode
	CSN	I	Chip Select Pin in serial control mode, I2C pin = "L"
	CAD0	I	Chip Address #0 Pin in serial control mode, I2C pin = "H"

Note 1. Do not allow digital input pins except internal biased pins (RX1-6 pins) to float.

No.	Pin Name	I/O	Function
28	OCKS1	I	Output Clock Select #1 Pin in parallel control mode
	CCLK	I	Control Data Clock Pin in serial control mode, I2C pin = "L"
	SCL	I	Control Data Clock Pin in serial control mode, I2C pin = "H"
29	CM1	I	Master Clock Operation Mode #1 Pin in parallel control mode
	CDTI	I	Control Data Input Pin in serial control mode, I2C pin = "L"
	SDA	I/O	Control Data Pin in serial control mode, I2C pin = "H"
30	CM0	I	Master Clock Operation Mode #0 Pin in parallel control mode
	CDTO	O	Control Data Output Pin in serial control mode
	CAD1	I	Chip Address #1 Pin in serial control mode, I2C pin = "H"

Note 1. Do not allow digital input pins except internal biased pins (RX1-6 pins) to float.

### ■ 使用しないピンの処理について

使用しない入出力ピン下記の設定を行い、適切に処理して下さい。

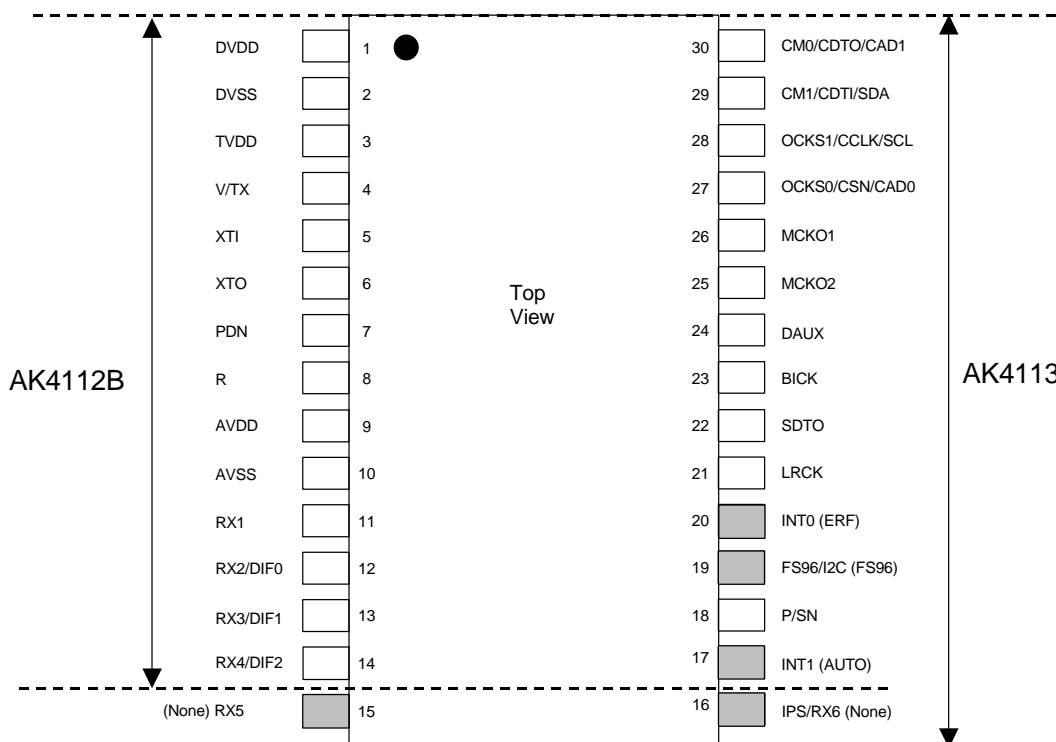
Classification	Pin Name	設定
Analog Input	RX1, RX2/DIF0, RX3/DIF1, RX4/DIF2, RX5, RX6/IPS	シリアルコントロールモード時は、オープンにしてください。
	RX1, RX5	パラレルコントロールモード時は、オープンにしてください。
Digital Input	DAUX, XTI	DVSS に接続して下さい。
Digital Output	V/TX, XTO, INT0, INT1, MCKO1, MCKO2	オープンにしてください。
	I2C/FS96	パラレルコントロールモード時は、オープンにしてください。
	CAD1/CDTO/CM0	シリアルコントロールの 4-wire mode (I2C pin = "L")の時は、オープンにしてください。

## ■ AK4112B と AK4113 の比較

### 1. 機能

Function		AK4112B	AK4113
RX Input Channel	Serial control mode	4ch	6ch
	Parallel control mode	1ch	2ch
PLL Lock Range		22kHz to 108kHz	8kHz to 216kHz
Resistor value for R pin		18k ± 1%	15k ± 5%
PLL Lock Time		≤ 20ms	FAST bit = "0": ≤ (15ms+384/fs) FAST bit = "1": ≤ (15ms+1/fs)
DTS-CD Bit Stream Detection		Not available	Available
DAT Start ID Detection		Not available	Available
Q-subcode Buffer for CD bit Stream		Not available	Available
fs Detection in serial control mode		≤ 54kHz or ≥ 88.2kHz	8k / 11.025k / 16k / 22.05k / 24k / 32k / 44.1k / 48k / 64k / 88.2k / 96k / 176.4k / 192kHz
Serial μP Interface		4-wire	4-wire/I <sup>2</sup> C (max.400kHz)
Error Handling Pins		AUTO, ERF, FS96	INT0, INT1
Master Clock Output Frequency		128fs/256fs/512fs	64fs/128fs/256fs/512fs
Channel Status Bit		32bit	40bit
MCKO2 Clock Source in serial control mode		Depend on CM1-0 bits	Depend on CM1-0, XMCK and BCU bits
Audio I/F at reset in serial control mode		Master Mode	Slave Mode
Package		28pin VSOP	30pin VSOP

## 2. ピン配置



注:

- 1) 灰色の部分が、AK4112B と AK4113の違いです。.
- 2) ( )内は、AK4112Bのピン名です。

## 3. コントロールレジスタ

AK4112BとAK4113のコントロールレジスタの互換性はありません。

<b>絶対最大定格</b>
---------------

(AVSS, DVSS=0V; Note 2)

Parameter		Symbol	Min	max	Units
Power Supplies:	Analog	AVDD	-0.3	4.6	V
	Digital	DVDD	-0.3	4.6	V
	Input Buffer	TVDD	-0.3	6.0	V
	AVSS-DVSS  (Note 3)	ΔGND		0.3	V
Input Current (Any pins except supplies)		IIN	-	±10	mA
Input Voltage		VIN	-0.3	TVDD+0.3	V
Ambient Temperature (Power applied)		Ta	-40	85	°C
Storage Temperature		Tstg	-65	150	°C

Note 2. 電圧はすべてグラウンドに対する値です。

Note 3. AVSS, DVSS はアナロググラウンドに接続して下さい。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。  
また通常の動作は保証されません。

<b>推奨動作条件</b>
---------------

(AVSS, DVSS=0V; Note 2)

Parameter		Symbol	min	typ	max	Units
Power Supplies:	Analog	AVDD	2.7	3.3	3.6	V
	Digital	DVDD	2.7	3.3	3.6	V
	Input Buffer	TVDD	DVDD	3.3	5.5	V
	Difference	AVDD - DVDD	-0.3	0	0.3	V

Note 2. 電圧はすべてグラウンドに対する値です。

<b>S/PDIFレシーバ特性</b>
---------------------

(Ta=25°C; AVDD, DVDD=2.7~3.6V;TVDD=2.7~5.5V)

Parameter	Symbol	min	typ	max	Units
Input Resistance	Zin		10		kΩ
Input Voltage	VTH	350			mVpp
Input Hysteresis	VHY	-	185		mV
Input Sample Frequency	fs	8	-	216	kHz



## DC特性

(Ta=25°C; AVDD, DVDD=2.7~3.6V;TVDD=2.7~5.5V; unless otherwise specified)

Parameter	Symbol	min	typ	max	Units
Power Supply Current Normal operation: PDN pin = "H" (Note 4) Power down: PDN pin = "L" (Note 5)			26 10	42 100	mA μA
High-Level Input Voltage	VIH	70% DVDD	-	TVDD	V
Low-Level Input Voltage	VIL	DVSS - 0.3	-	30% DVDD	V
High-Level Output Voltage (Except TX pin: Iout=-400μA)	VOH	DVDD-0.4	-	-	V
Low-Level Output Voltage (Except TX and SDA pin: Iout=400μA)	VOL	-	-	0.4	V
(SDA pin: Iout= 3mA)	VOL	-	-	0.4	V
TX Output Level (Note 6)	VTXO	0.4	0.5	0.6	V
Input Leakage Current (Except RX1-6, XTI pins)	Iin	-	-	± 10	μA

Note 4. AVDD, DVDD=3.3V, TVDD=5.0V, CL=20pF, fs=216kHz, X'tal=24.576MHz, Clock Operation Mode 2, OCKS1 bit = "1", OCKS0 bit = "1", Master mode, TX pin にFigure 19の回路を接続した場合。AVDD=5mA (typ), DVDD=21mA (typ), TVDD=0.1μA (typ)。

Note 5. RX 入力はオープン、全てのデジタル入力ピンを DVDD または DVSS に固定した場合の値です。

Note 6. Figure 19の回路使用時

## スイッチング特性

(Ta=25°C; AVDD, DVDD=2.7~3.6V, TVDD=2.7~5.5V; CL=20pF)

Parameter	Symbol	min	typ	max	Units
<b>Master Clock Timing</b>					
Crystal Resonator	Frequency	fXTAL	11.2896	24.576	MHz
External Clock	Frequency	fECLK	11.2896	24.576	MHz
	Duty	dECLK	40	50	60
MCKO1 Output	Frequency	fMCK1	1.024	27.648	MHz
	Duty	dMCK1	40	50	60
MCKO2 Output	Frequency	fMCK2	0.512	27.648	MHz
	Duty	dMCK2	40	50	60
PLL Clock Recover Frequency (RX1-6)	fpll	8	-	216	kHz
LRCK Frequency	fs	8		216	kHz
Duty Cycle	dLCK	45		55	%
<b>Audio Interface Timing</b>					
<b>Slave Mode</b>					
BICK Period	tBCK	72			ns
BICK Pulse Width Low	tBCKL	27			ns
Pulse Width High	tBCKH	27			ns
LRCK Edge to BICK "↑"	tLRB	15			ns
BICK "↑" to LRCK Edge	tBLR	15			ns
LRCK to SDTO (MSB)	tLRM			20	ns
BICK "↓" to SDTO	tBSD			20	ns
DAUX Hold Time	tDXH	15			ns
DAUX Setup Time	tDXS	15			ns
<b>Master Mode</b>					
BICK Frequency	fBCK		64fs		Hz
BICK Duty	dBCK		50		%
BICK "↓" to LRCK	tMBLR	-15		15	ns
BICK "↓" to SDTO	tBSD			15	ns
DAUX Hold Time	tDXH	15			ns
DAUX Setup Time	tDXS	15			ns

Note 7. この規格値はLRCKのエッジとBICKの立ち上がりエッジが重ならないように規定しています。

<b>スイッチング特性 (つづき)</b>
-----------------------

(Ta=25°C; AVDD, DVDD=2.7~3.6V, TVDD=2.7~5.5V; CL=20pF)

Parameter	Symbol	min	typ	max	Units
<b>Control Interface Timing (4-wire serial mode)</b>					
CCLK Period	tCCK	200			ns
CCLK Pulse Width Low	tCCKL	80			ns
Pulse Width High	tCCKH	80			ns
CDTI Setup Time	tCDS	50			ns
CDTI Hold Time	tCDH	50			ns
CSN "H" Time	tCSW	150			ns
CSN "↓" to CCLK "↑"	tCSS	50			ns
CCLK "↑" to CSN "↑"	tCSH	50			ns
CDTO Delay	tDCD			45	ns
CSN "↑" to CDTO Hi-Z	tCCZ			70	ns
<b>Control Interface Timing (I<sup>2</sup>C Bus mode):</b>					
SCL Clock Frequency	fSCL	-		400	kHz
Bus Free Time Between Transmissions	tBUF	1.3		-	μs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6		-	μs
Clock Low Time	tLOW	1.3		-	μs
Clock High Time	tHIGH	0.6		-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.6		-	μs
SDA Hold Time from SCL Falling (Note 8)	tHD:DAT	0		-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1		-	μs
Rise Time of Both SDA and SCL Lines	tR	-		0.3	μs
Fall Time of Both SDA and SCL Lines	tF	-		0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6		-	μs
Capacitive load on bus	Cb	-		400	pF
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0		50	ns
<b>Reset Timing</b>					
PDN Pulse Width	tPW	150			ns

Note 8. データは最低300ns (SCLの立ち下がり時間)の間保持されなければなりません。

Note 9. I<sup>2</sup>C は Philips Semiconductors の登録商標です。

■ タイミング波形

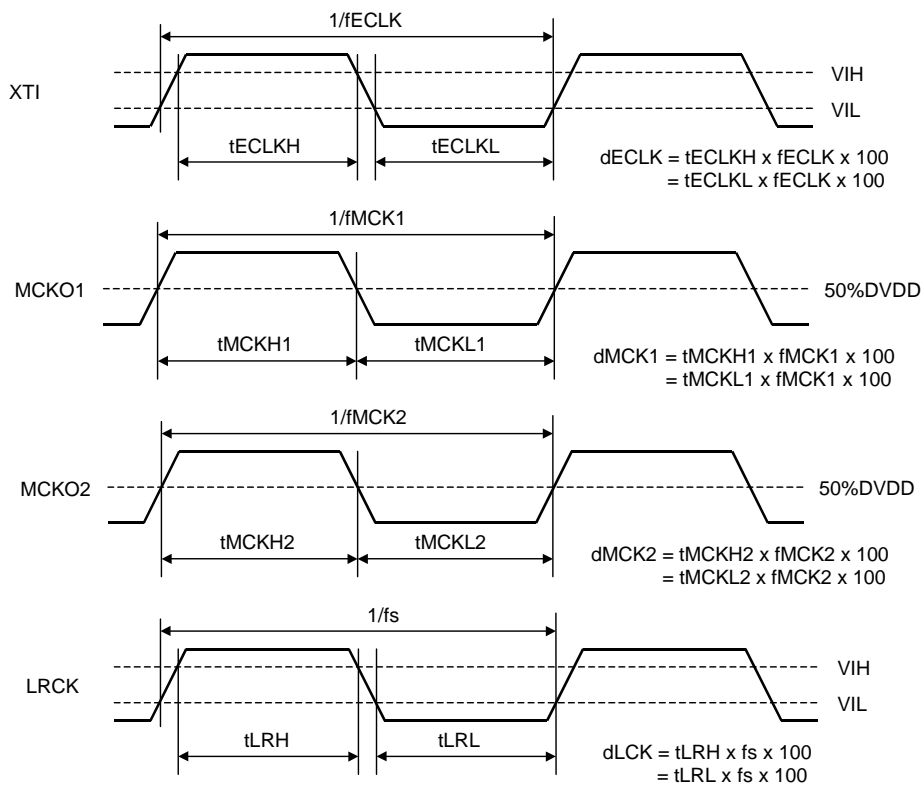


Figure 3. クロックタイミング

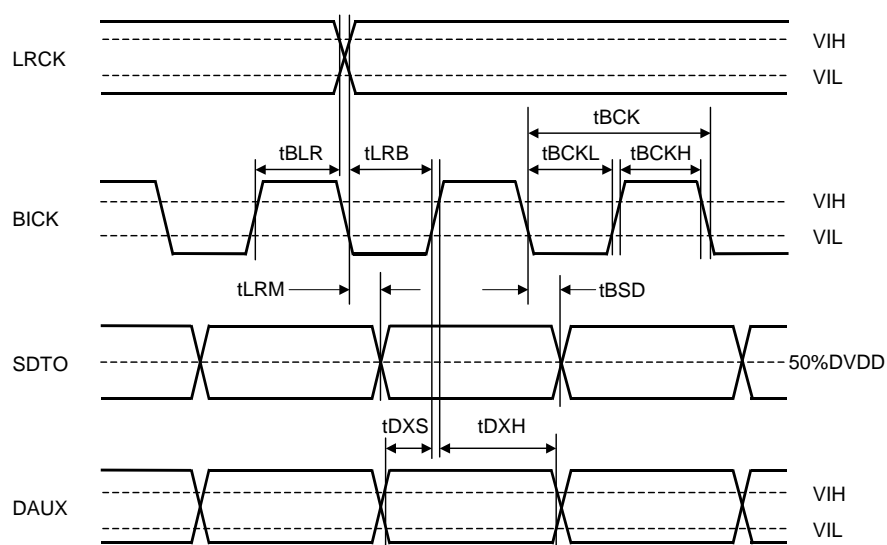


Figure 4. シリアルインタフェースタイミング (Slave mode)

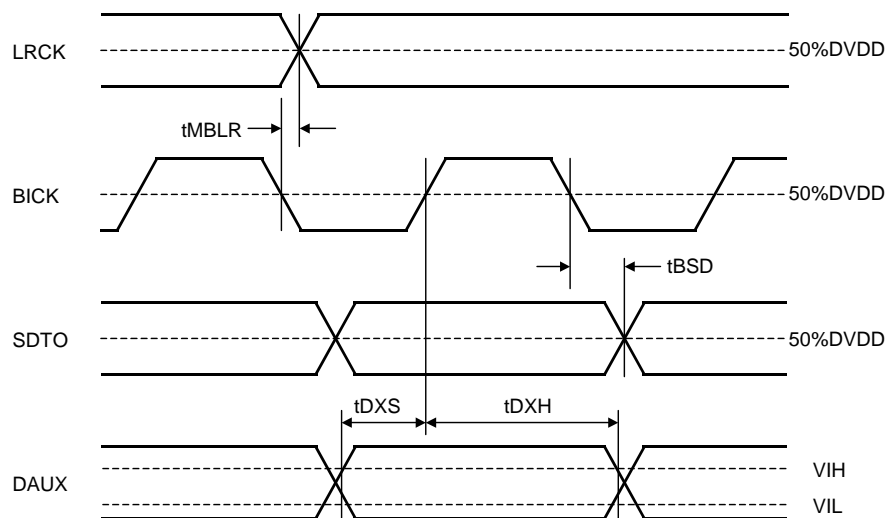


Figure 5. シリアルインタフェースタイミング (Master mode)

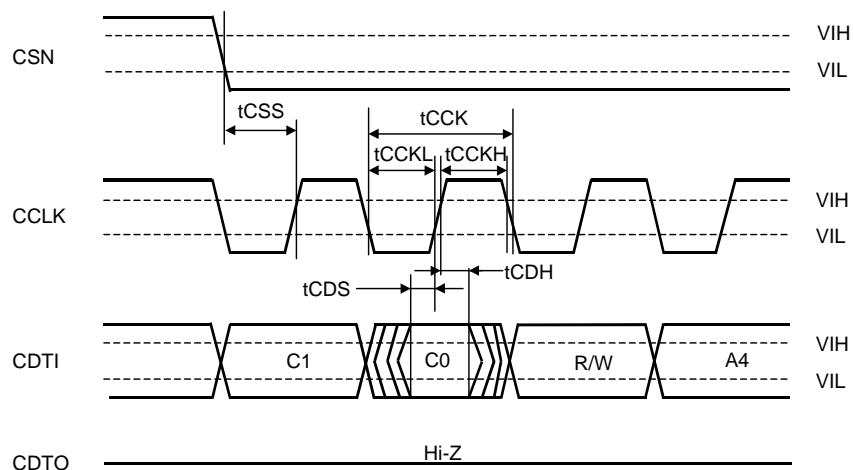


Figure 6. WRITE/READ コマンド入力タイミング (4-wire serial control mode)

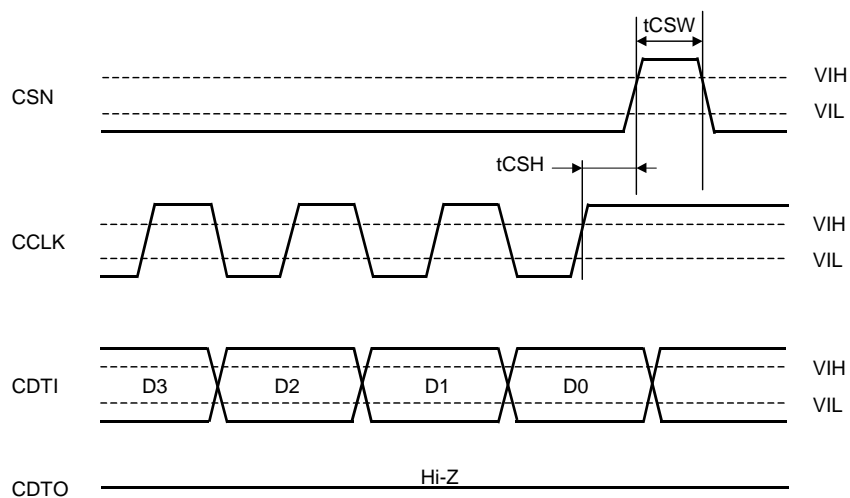


Figure 7. WRITE データ入力タイミング (4-wire serial mode)

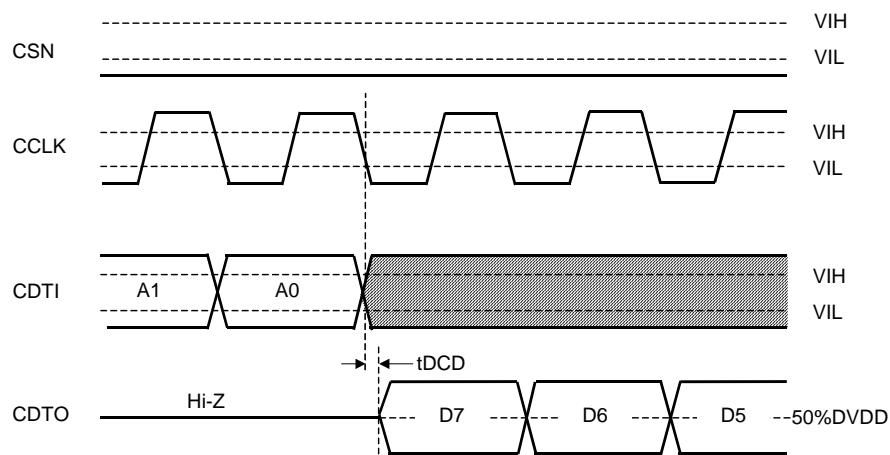


Figure 8. READ データ出力タイミング 1 (4-wire serial mode)

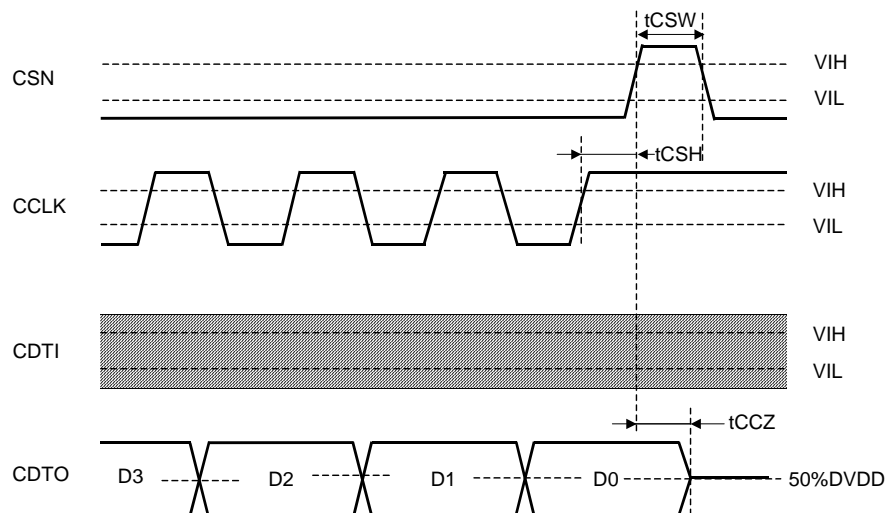


Figure 9. READ データ出力タイミング 2 (4-wire serial mode)

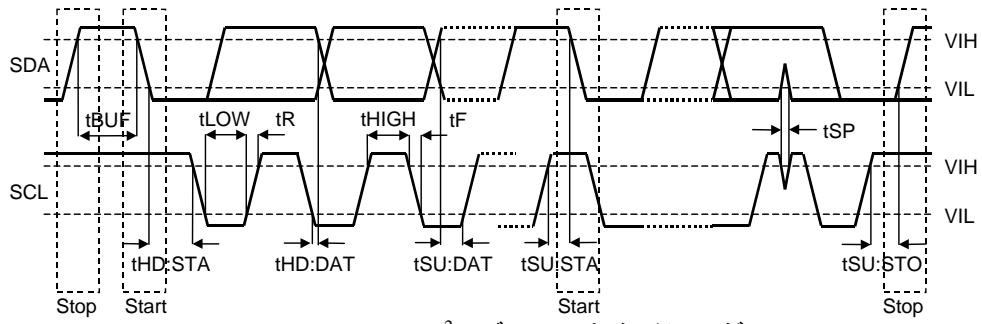


Figure 10. I<sup>2</sup>C バスモードタイミング

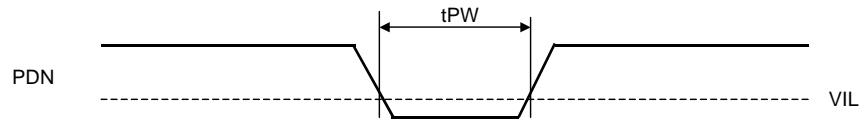


Figure 11. パワーダウン&リセットタイミング

<b>動作説明</b>
-------------

### ■ Non-PCM/DTS-CDデータストリーム自動検出機能

AK4113はNon-PCMデータストリームの検出機能をもちます。Dolby “Dolby Digital Data Stream in IEC60958 Interface”に準拠した32ビット ModeのNon-PCMデータプリアンブルが検出されるときNPCM bitが “1”になります。プリアンブルの96ビット sync codeは 0x0000, 0x0000, 0x0000, 0x0000, 0xF872 and 0x4E1Fで構成されます。NPCM bitは一旦 “1”になると4096フレームの間その値を保持します。次の4096フレームでsync codeが検出されない場合は、NPCM bit = “0”となり、さらにsync codeが検出されるまでNPCM bit は “0”のままです。また、このプリアンブルが検出された場合、sync codeに続いて2バイト (Pc: burst information, Pd: length code; Table 17, Table 18を参照。)をレジスタに格納します。同様にDTS-CDのデータプリアンブルが検出されるとDTSCD bitが “1”になります。次の4096フレームでsync codeが検出されない場合は、DTSCD bit = “0”となり、さらにsync codeが検出されるまでDTSCD bit は “0”のままです。また、NPCM bitとDTSCD bitのORがAUTO bitに出力されます。AK4113はDTS-CDビットストリームの14bit Sync Word, 16bit Sync Wordを検出しており、シリアルコントロールモードでは、DTS14 bit, DTS16 bitにより検出機能のON/OFFが設定可能です。

パラレルコントロールモード時は、AUTO bit と AUDION bit のORが INT1 pin に出力されます。この時、DTS-CDの検出は、14bit Sync Word, 16bit Sync Wordの両方に対応します。

### ■ 216kHz対応クロックリカバリ回路

内蔵する低ジッタPLLは8kHzから216kHzのロックレンジをもちます。PLLのロック時間はサンプリング周波数(fs)及び、FAST bitの設定に依存します。( Figure 12参照 ) FAST bitは低速サンプリング時に有用です。なお、パラレルコントロールモード時は、FAST bit = “1”に固定です。シリアルコントロールモード時は、XTL1-0 bitsの設定により水晶発振回路のリファレンスクロックもしくはチャンネルステータスのサンプリング周波数情報を用い、サンプルレート(8kHz, 11.025kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz, 64kHz, 88.2kHz, 96kHz, 176.4kHz, 192kHz)を検出します。パラレルコントロールモード時は、24.576MHzの周波数を基準に検出を行い、サンプリング周波数が64kHz以上になると、FS96 pinの出力が、“H”に、54kHz以下で “L”になります。正しい間隔でプリアンブルを受信しないと同期外れが起こります。

FAST bit	PLL Lock Time	
0	$\leq (15 \text{ ms} + 384/\text{fs})$	Default
1	$\leq (15 \text{ ms} + 1/\text{fs})$	

Figure 12. PLL Lock Time (fs: Sampling Frequency)

## ■ マスタクロック動作モード

オーディオ出力データとしてRXデータを選択するかDAUXデータを選択するかはCM0とCM1で設定されます。CM0とCM1の設定内容はピン設定とレジスタ設定で同じです。Mode 2ではPLLがUnlockになるとクロックソースが自動的にX'talに切り替わります。Mode 3ではクロックソースはX'talに固定ですが、チャンネルステータス等のRXデータはモニターできます。Mode 2, 3ではPLLとX'talの周波数が重ならないように設定することを推奨します。

Mode	CM1	CM0	UNLOCK	PLL	X'tal	Clock source	SDTO
0	0	0	-	ON	ON (Note)	PLL	RX
1	0	1	-	OFF	ON	X'tal	DAUX
2	1	0	0	ON	ON	PLL	RX
			1	ON	ON	X'tal	DAUX
3	1	1	-	ON	ON	X'tal	DAUX

Default

ON:発振 (Power-up), OFF:発振停止 (Power-Down)

Note: X'talをリファレンスクロックに使用しない場合(XTL1-0 bit = "11")はOFFです。

Table 1. クロック動作モード選択

## ■ マスタクロック出力

AK4113はマスタクロック出力ピンを2ピン(MCKO1 pin and MCKO2 pin)もちます。MCKO2 pinの出力は、XMCK bitの設定により、2つのモードを選択することができます。

1) XMCK bit = "0", BCU bit = "0"の場合

AK4112B, AK4114互換モードです。マスタクロックソースとしてPLLでリカバリしたクロックまたは外付けのX'talで発振したクロックのどちらかを選択できます(Table 2)。マスタクロック出力(MCKO1 pin, MCKO2 pin)及びX'talの周波数のfsに対する比はOCKS1-0で設定します。96kHz時は512fs、192kHz時は256fs,512fsが出力されません。

No.	OCKS1	OCKS0	MCKO1 pin	MCKO2 pin	X'tal	fs (max)
0	0	0	256fs	256fs	256fs	108 kHz
1	0	1	256fs	128fs	256fs	108 kHz
2	1	0	512fs	256fs	512fs	54 kHz
3	1	1	128fs	64fs	128fs	216 kHz

Default

Table 2. マスタクロック出力周波数選択

2) XMCK bit = "1", BCU bit = "0"の場合

MCKO2 pinの出力は、CM1-0 bit, OCKS1-0 bit の設定に関係なく、XTI pinから入力されたクロックを出力します。その時の出力周波数はDIV bitにて設定することができます。MCKO1 pinの出力は、CM1-0 bit, OCKS1-0 bitで設定したクロックを出力します。

XMCK bit	DIV bit	MCKO2 Clock Source	MCKO2 Frequency
1	0	X'tal	x 1
1	1	X'tal	x 1/2

Table 3. MCKO2 pin 出力周波数の設定



■ クロックソース

AK4113のXTI pinには、以下の方法でのクロックの供給が可能です。

1) X'tal を使う場合

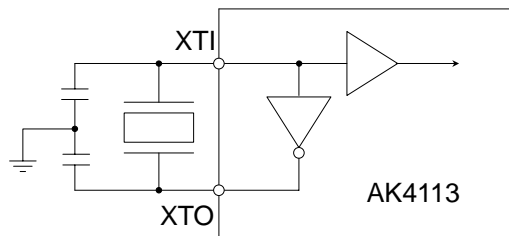


Figure 13. X'tal モード

Note: コンデンサの値は水晶振動子に依存します (typ.10-40pF)。

2) 外部クロックを使う場合

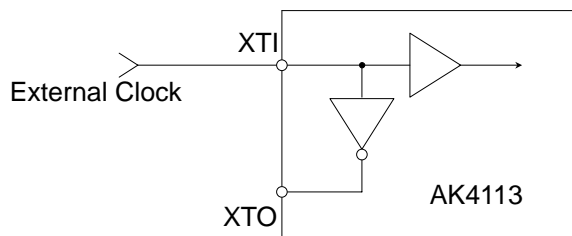


Figure 14. 外部クロックモード

3) XTI/XTOを使わない場合

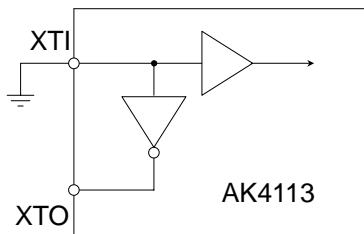


Figure 15. OFF モード

## ■ サンプリング周波数とプリエンファシス検出

AK4113はシリアルコントロールモード時、サンプリング周波数検出法として2種類の方法が選択可能です。XTL1-0 bitにより、X'talの周波数との比較で周波数を検出してコントロールレジスタのFS3-0 bitsに出力します。比較するX'talの周波数を以下のレジスタにより選択できます。XTL1-0 bits = "11"の場合には、チャンネルステータスのサンプリング周波数情報をエンコードしてコントロールレジスタのFS3-0 bitsに出力します。パラレルコントロールモード時は、XTL1-0 bit = "10"固定になります。

XTL1 bit	XTL0 bit	X'tal Frequency	Default
0	0	11.2896MHz	
0	1	12.288MHz	
1	0	24.576MHz	
1	1	(チャンネルステータス使用)	

Table 4. リファレンス水晶周波数

Register output				fs	Clock comparison (Note 10)	XTL1-0 bit = "11"		
FS3	FS2	FS1	FS0			Consumer mode (Note 11)	Professional mode (Note 12)	
						Byte3 Bit3,2,1,0	Byte0 Bit7,6	Byte4 Bit6,5,4,3
0	0	0	0	44.1kHz	44.1kHz ± 3%	0000	01	0000
0	0	0	1	Reserved	-	0001	(Others)	
0	0	1	0	48kHz	48kHz ± 3%	0010	10	0000
0	0	1	1	32kHz	32kHz ± 3%	0011	11	0000
0	1	0	0	22.05kHz	22.05kHz ± 3%	0100	00	1001
0	1	0	1	11.025kHz	11.025kHz ± 3%			
0	1	1	0	24kHz	24kHz ± 3%	0110	00	0001
0	1	1	1	16kHz	16kHz ± 3%			
1	0	0	0	88.2kHz	88.2kHz ± 3%	1000	00	1010
1	0	0	1	8kHz	8kHz ± 3%			
1	0	1	0	96kHz	96kHz ± 3%	1010	00	0010
1	0	1	1	64kHz	64kHz ± 3%			
1	1	0	0	176.4kHz	176.4kHz ± 3%	1100	00	1011
1	1	1	0	192kHz	192kHz ± 3%	1110	00	0011

Note 10. 少なくとも±3%の範囲については上表の通り判別されます。中間の周波数については、近い周波数帯のどちらかの値を示します。8kHz ~ 216kHz の範囲から大きくはずれた場合には FS3-0 bits = "0001", "1101" のいずれかになります。

Note 11. 民生モードでは Byte3 Bit3-0 は FS3-0 bits にコピーされます。

Note 12. プロフェッショナルモードではTable 5に記載されている周波数以外は、FS3-0 bit="0001"になります。

Table 5. サンプリング周波数情報

また、プリエンファシス情報をエンコードしてコントロールレジスタのPEM bitに出力します。これらの情報はリセット時(CS12 bit = “0”の時)チャンネル1の情報をエンコードしますが、コントロールレジスタのCS12 bit = “1”でチャンネル2に切り替えることもできます。

PEM bit	Pre-emphasis	Byte 0 Bits 3-5
0	OFF	≠ 0X100
1	ON	0X100

Table 6. 民生モードのプリエンファシス情報

PEM bit	Pre-emphasis	Byte 0 Bits 2-4
0	OFF	≠ 110
1	ON	110

Table 7. プロモードのプリエンファシス情報

## ■ ディエンファシスフィルタコントロール

IIRフィルタによる3周波数 (32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ (50/15 $\mu$ s特性)を内蔵しています。DEAU bit = “1”のとき、FS3-0 bits とプリエンファシスの情報から自動的にディエンファシスフィルタをイネーブルします。リセット時はこのモードです。従って、パラレルコントロールモードでは、常時このモードになっており、ディエンファシスフィルタはチャンネル1のステータスビットでコントロールされます。シリアルコントロールモード時、DEAU bit = “0”にするとDEM1-0 bitsでディエンファシスフィルタをコントロールできます。ディエンファシスOFF時は内部のディエンファシスフィルタはバイパスされ、リカバリされたデータのまま出力されます。また、PEM bit = “0”時は常にバイパスされます。

PEM bit	FS3 bit	FS2 bit	FS1 bit	FS0 bit	Mode
1	0	0	0	0	44.1kHz
1	0	0	1	0	48kHz
1	0	0	1	1	32kHz
1	(Others)				OFF
0	x	x	x	x	OFF

Table 8. ディエンファシスオートコントロール(DEAU bit = “1”: Default)

PEM bit	DEM1 bit	DEM0 bit	Mode
1	0	0	44.1kHz
1	0	1	OFF
1	1	0	48kHz
1	1	1	32kHz
0	x	x	OFF

Table 9. ディエンファシスマニュアルコントロール(DEAU bit = “0”)

## ■ リセットとパワーダウン

AK4113は、PDN pinによる回路全体のパワーダウンと、PWN bit による一部パワーダウン、RSTN bit によるレジスタの初期化及びタイミングのリセットが可能です。パラレルコントロールモード時はPDN pinのみ有効です。電源立ち上げ時は必ずPDN pin に一度 “L”を入力してリセットして下さい。

PDN pin:

“L”にするとアナログ、デジタル全ての回路はパワーダウン及びリセット状態になります。全てのレジスタは初期化され、クロックも停止します。また、レジスタのリード/ライトはできません。

RSTN bit (アドレス00HのD0):

“0”のときPWNとRSTN以外のレジスタを初期化します。データ処理系のタイミングも初期化されません。“0”の間、クロックは出力されませんがSDTO pin は “L”です。また、PWNとRSTN以外のレジスタのライトはできません。リードは可能です。

PWN bit (アドレス00HのD1):

“0”のときクロックリカバリ回路をパワーダウン・初期化します。これによってPLLからのマスタクロックは供給されなくなります。X'talモードの場合にはクロックは出力されます。レジスタの値は初期化されませんのでモード設定等は保持されます。また、レジスタへのリード/ライトは可能です。

■ バイフェーズ入力

シリアルコントロールモードでは6入力(RX1-6)に対応します。リカバリする入力データはIPS2-0 bitで選択します。パラレルコントロールモードでは2入力(RX1とRX5)に対応し、リカバリする入力データはIPS pinで選択します。各入力是不平衡モードに対応したアンプが内蔵されており、350mVppの信号も受信可能です。また、BCU bit, UCE bitを変更することにより、Block start, C-bit, U-bitを各ピンより出力することができます。(Table 12 と Figure 16参照)

IPS2 bit	IPS1 bit	IPS0 bit	INPUT Data
0	0	0	RX1
0	0	1	RX2
0	1	0	RX3
0	1	1	RX4
1	0	0	RX5
1	0	1	RX6
1	1	0	No use
1	1	1	No use

Table 10. リカバリデータ選択 (シリアルコントロールモード時)

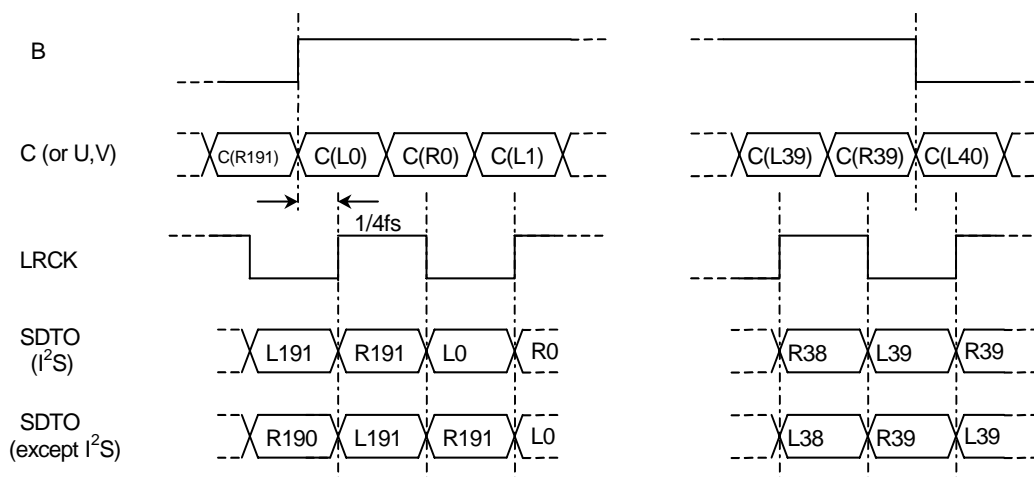
IPS pin	INPUT Data
L	RX1
H	RX5

Table 11. リカバリデータ選択 (パラレルコントロールモード時)

BCU bit	UCE bit	MCKO2 pin	INT1 pin
0	x (Don't care)	MCKO2 clock output	INT1 output
1	0	Block start signal output	U-bit output
1	1	Block start signal output	C-bit output

Table 12. B, C, U 出力ピンの設定

(B, C, U, V Output timing at RX mode, Master mode)



\* Block start信号はframe 0の先頭からframe 39の終わりまで “H”です。

Figure 16. B, C, U, V 出力タイミング

## ■ バイフェーズスルー出力

シリアルコントロールモード時は、RXの6入力から1入力を選択してTX pinへスルー出力することができます。バイフェーズスルー出力は、OPS2-0 bitsで選択します。また、バイフェーズスルー出力(TX pin)はTXE bitにより、出力を止めることができます。パラレルコントロールモード時は、バイフェーズスルー出力はできません。

OPS2 bit	OPS1 bit	OPS0 bit	INPUT Data	
0	0	0	RX1	Default
0	0	1	RX2	
0	1	0	RX3	
0	1	1	RX4	
1	0	0	RX5	
1	0	1	RX6	
1	1	0	No use	
1	1	1	No use	

Table 13. Output Data Select

■ バイフェーズ信号入出力回路

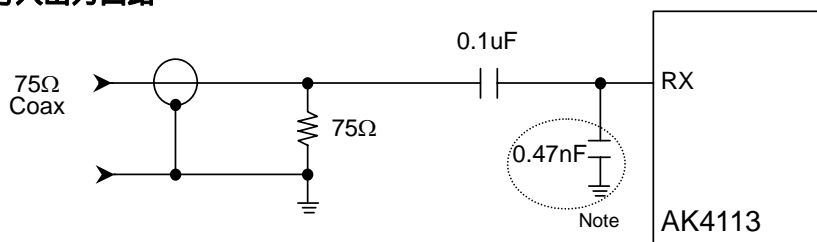


Figure 17. 民生入力回路 (Coaxial 入力)

Note: Coaxial 入力では、隣接する RX 入力パターンからカップリングするノイズレベルが 50mV を越える場合、誤動作する可能性があります。この場合、デカップリングコンデンサを追加することで改善することが可能です。

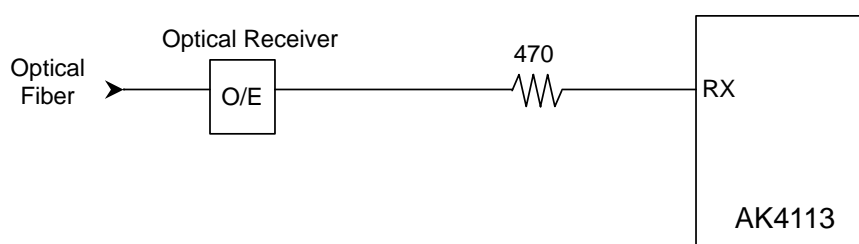


Figure 18. 民生入力回路 (光入力)

Coaxial入力の場合、RXの受信レベルは非常に小さいので、シリアルコントロールモードでは複数のRX入力間でクロストークを起こさないよう配線の間にはシールドパターンを入れるなどして注意して下さい。パラレルコントロールモードでは2入力(RX1,5)のみ対応し、RX2, 3, 4, 6 はモード設定ピンに切り替わります。これらのピンは通常のロジック入力ではないため、“H” または “L” に固定して使用して下さい。

AK4113はTX出力バッファを内蔵し、外部抵抗と組み合わせると0.5V+/-20%を満足します。Figure 19でT1は1:1のトランスです。

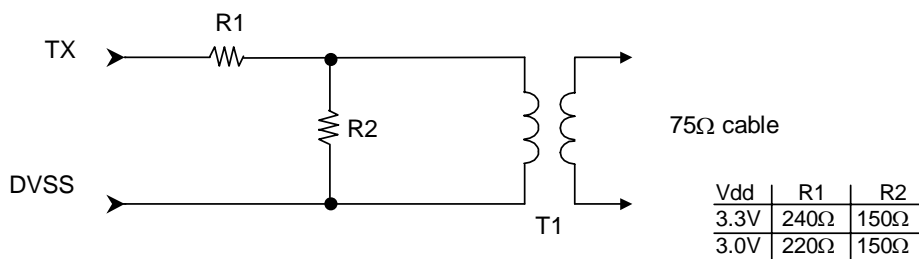


Figure 19. TX 外部抵抗ネットワーク

■ U-ビットバッファ

Uビット中に含まれるCDのQ-subcodeのデータを下記条件の下にレジスタに取り込みます。

1. Subcode の sync word (S0,S1)は最低 16 の “0” bit で構成される。
2. Start bit は “1”。
3. Q-W の 7 bit は start bit に連続してくる。
4. Start bit の間隔は 8-16 bits。

( Q-subcode をレジスタから読み出す際には、QINT を有効にして QINT bit が “0”の間に読み出す必要があります。)

	1	2	3	4	5	6	7	8	*
S0	0	0	0	0	0	0	0	0	0...
S1	0	0	0	0	0	0	0	0	0...
S2	1	Q2	R2	S2	T2	U2	V2	W2	0...
S3	1	Q3	R3	S3	T3	U3	V3	W3	0...
:	:	:	:	:	:	:	:	:	:
S97	1	Q97	R97	S97	T97	U97	V97	W97	0...
S0	0	0	0	0	0	0	0	0	0...
S1	0	0	0	0	0	0	0	0	0...
S2	1	Q2	R2	S2	T2	U2	V2	W2	0...
S3	1	Q3	R3	S3	T3	U3	V3	W3	0...
:	:	:	:	:	:	:	:	:	:

(\*) number of "0" : min=0; max=8.

Figure 20. U-bit の構成(CD)

Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	Q11	Q12	Q13	Q14	Q15	Q16	Q17	Q18	Q19	Q20	Q21	Q22	Q23	Q24	Q25
CTRL				ADRS				TRACK NUMBER								INDEX							
Q26	Q27	Q28	Q29	Q30	Q31	Q32	Q33	Q34	Q35	Q36	Q37	Q38	Q39	Q40	Q41	Q42	Q43	Q44	Q45	Q46	Q47	Q48	Q49
MINUTE						SECOND						FRAME											
Q50	Q51	Q52	Q53	Q54	Q55	Q56	Q57	Q58	Q59	Q60	Q61	Q62	Q63	Q64	Q65	Q66	Q67	Q68	Q69	Q70	Q71	Q72	Q73
ZERO						ABSOLUTE MINUTE						ABSOLUTE SECOND											
Q74	Q75	Q76	Q77	Q78	Q79	Q80	Q81	Q82	Q83	Q84	Q85	Q86	Q87	Q88	Q89	Q90	Q91	Q92	Q93	Q94	Q95	Q96	Q97
ABSOLUTE FRAME								CRC															

$$G(x)=x^{16}+x^{12}+x^5+1$$

Figure 21. 抽出された Q

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
13H	Q-subcode Address / Control	Q9	Q8	...	...	...	...	Q3	Q2
14H	Q-subcode Track	Q17	Q16	...	...	...	...	Q11	Q10
15H	Q-subcode Index	...	...	...	...	...	...	...	...
16H	Q-subcode Minute	...	...	...	...	...	...	...	...
17H	Q-subcode Second	...	...	...	...	...	...	...	...
18H	Q-subcode Frame	...	...	...	...	...	...	...	...
19H	Q-subcode Zero	...	...	...	...	...	...	...	...
1AH	Q-subcode ABS Minute	...	...	...	...	...	...	...	...
1BH	Q-subcode ABS Second	...	...	...	...	...	...	...	...
1CH	Q-subcode ABS Frame	Q81	Q80	...	...	...	...	Q75	Q74

Figure 22. Q-subcode register



## ■ エラー発生時の処理

INT0, INT1 pin が “H”になる要因には以下の 9 個の項目があります。なお、PLL が OFF になる場合(Clock Operation Mode 1)、INT0/1 pin は “L”です。

1. UNLCK : PLL がアンロック状態検出  
正しいプリアンプルが受信できない、若しくはその間隔が正しくない場合にアンロックとなり、“1”になります。
2. PAR : パリティエラーまたはバイフェーズエラー検出  
パリティエラーまたはバイフェーズエラーが検出されると “1”になります。各サブフレーム毎に更新されます。
3. AUTO : Non-Linear PCM または DTS-CD ビットストリーム検出  
NPCM bit と DTSCD bit の OR を出力します。
4. V : バリディティ検出  
各サブフレーム毎に更新されます。
5. AUDION : 非 AUDIO 検出  
チャンネルステータスの情報をデコードします。各ブロック毎に更新されます。
6. STC : サンプリング周波数及びプリエンファシス情報変化検出  
FS3-0 or PEM bit のいずれかが変化すると 1 サブフレーム間、“1”になります。
7. QINT : U-bit Sync フラグ  
U-bit 用バッファが更新されると 1 サブフレーム間、“1”になります。各 Sync サイクル毎に更新されます。
8. CINT : チャンネルステータス Sync フラグ  
チャンネルステータス用バッファが変化すると 1 サブフレーム間、“1”になります。各ブロック毎に更新されます。
9. DAT : DAT Start ID 検出  
カテゴリーコードが DAT を示している時、“DAT Start ID”を検出すると“1”になります。DCNT bit = “1”の場合、“3840x LRCK”以内に再度 “DAT Start ID”を検出しても“1”になりません。“3841x LRCK”以上経過後、再度“DAT Start ID”を検出すると、“1”になります。DCNT bit = “0”の場合、DAT Start ID を検出するごとに “1”になります。

## 1. パラレルコントロールモード

パラレルコントロールモードでは、UNLCK, PARの要因のORがINT0 pinに、またAUTO, AUDIONのORがINT1 pinに出力されます。INT0 pinは、一度“H”になると全ての要因が正常に復帰してから1024/fs間は“H”の状態を保持します。各要因が起こった場合の各出力ポートの状態は以下のようになります。

Event				Pin			
UNLCK	PAR	AUTO	AUDION	INT0	INT1	SDTO	V
1	x	x	x	“H”	Note 13	“L”	“L”
0	1	x	x			Previous Data	Output
0	0	x	x			“L”	Output
x	x	1	x	Note 14	“H”	Note 15	Note 16
x	x	x	1				
x	x	0	0				

Note 13. AUTO, AUDION の要因により、INT1 pin から“L” or “H”を出力します。

Note 14. UNLCK, PAR の要因により、INT0 pin から“L” or “H”を出力します。

Note 15. UNLCK, PAR の要因により、SDTO pin から“L”, “Previous Data”, “Normal Output”のいずれかが出力されます。

Note 16. UNLCK, PAR の要因により、V pin から“L” or “Normal Output”が出力されます。

Table 14. エラーハンドリング (パラレルコントロールモード) x: Don't care

## 2. シリアルコントロールモード

シリアルコントロールモードでは、上記1から9の要因のORが各INTピンに出力されます。但し、各要因はそれぞれのマスクビットでマスクでき、その要因はINTピンに反映されません(但し、07H, 08H(DAT bit)のレジスタには反映されます。)。INT0出力はマスクされていない全ての要因が正常動作に復帰した後、1024/fs (EFH1-0 bitsで変更可)間は、“H”の状態を保持します。INT1出力は、正常復帰と同時に“L”になります。

アドレス07HのUNLCK, PAR, AUTO, AUDION, V bit からは上記要因がそのまま読み出されます。また アドレス07HのSTC, QINT, CINT bit とアドレス08HのDAT bitは上記要因が発生すると“1”に設定され、要因解除後もその値を保持し、アドレス07H, 08H(DAT bit)を読み出すと“0”にリセットされます。

アンロック時はチャンネルステータスビット、ユーザービット、Pc、Pd に関するレジスタは初期化されます。初期状態ではINT0 pin はUNLCK, PARが有効に、また INT1 pin はAUTO, AUDIONが有効になっています。

Event			Pin		
UNLCK	PAR	Others	SDTO	V	TX
1	x	x	“L”	“L”	Output
0	1	x	Previous Data	Output	Output
x	x	x	Output	Output	Output

Table 15. エラーハンドリング (シリアルコントロールモード) x: Don't care

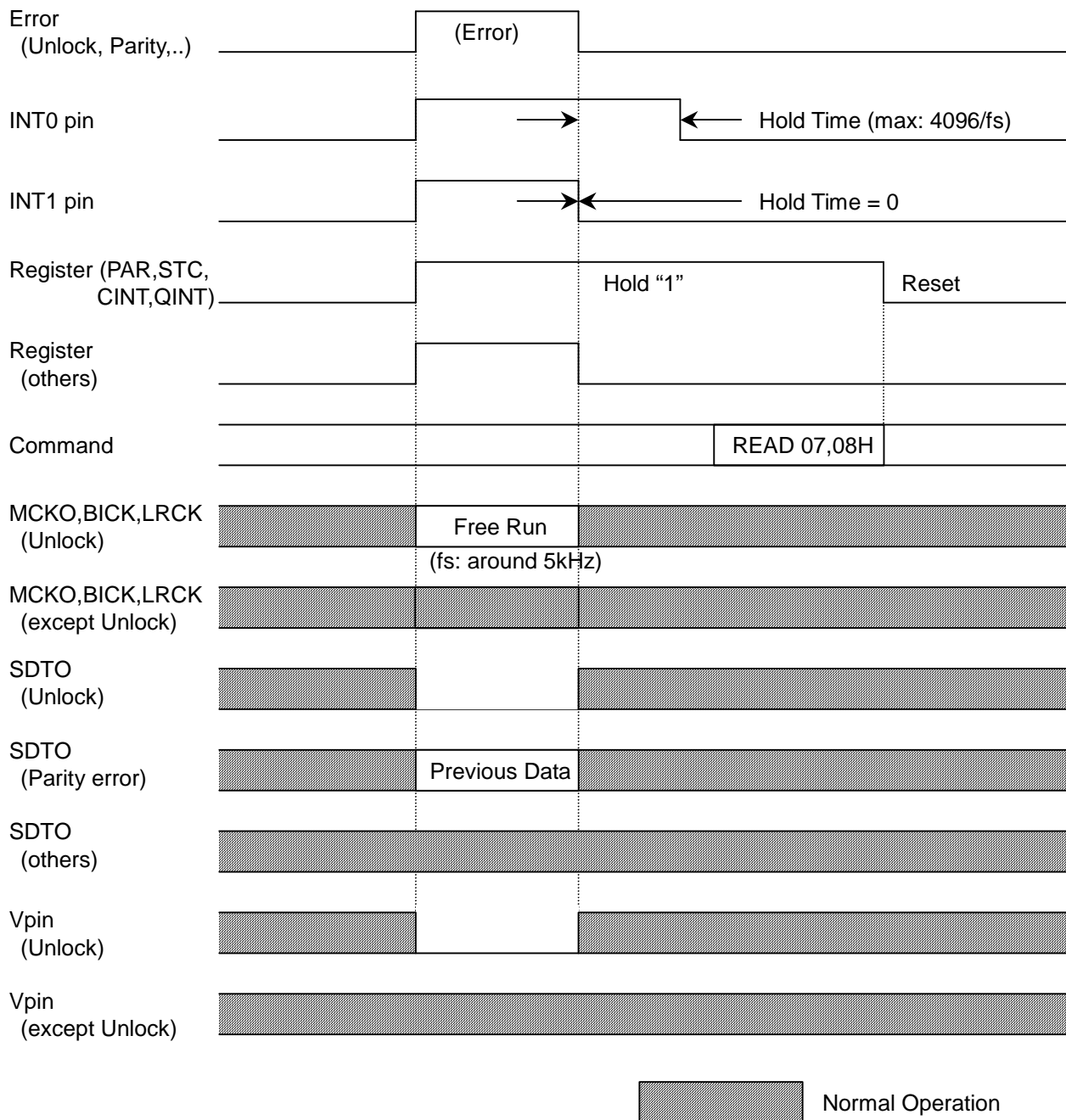


Figure 23. INT0/1 pin タイミング

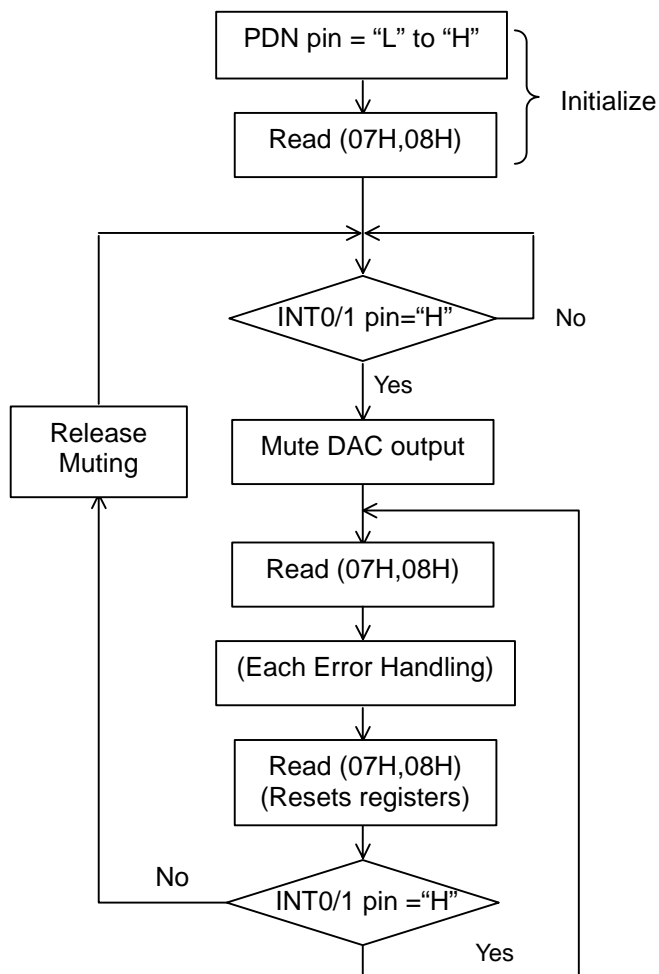


Figure 24. エラー処理シーケンス例 1

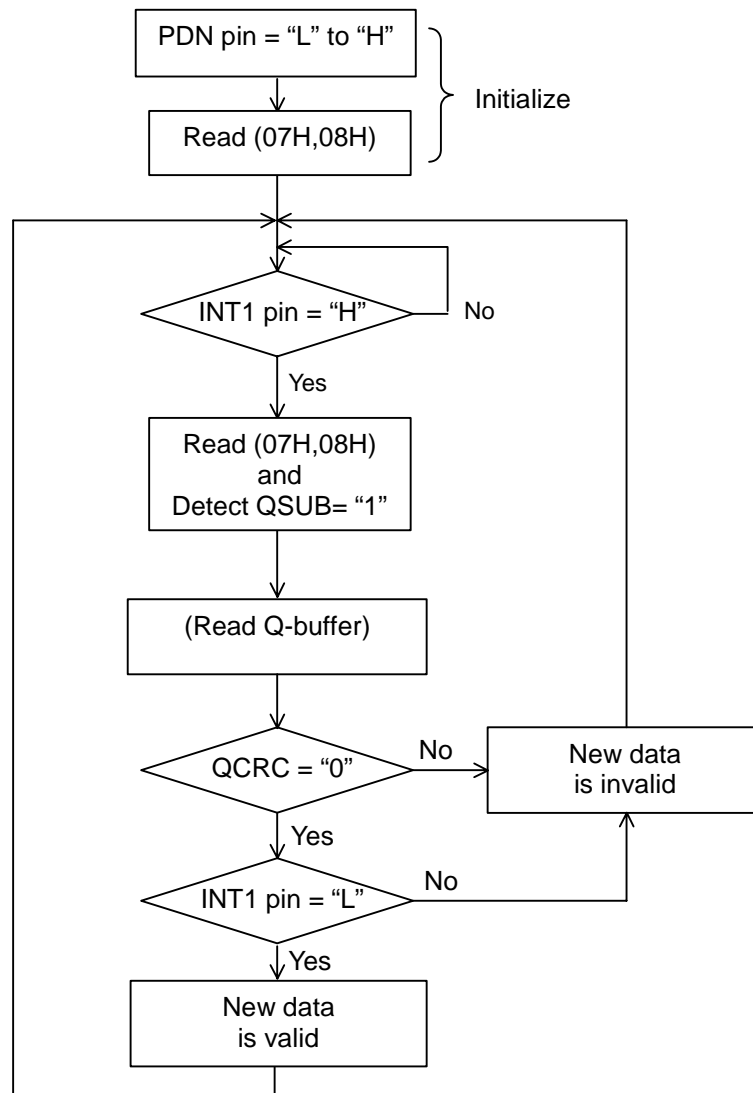


Figure 25. エラー処理シーケンス例 (Q/CINT)

### ■ オーディオインタフェースフォーマット

8種類のデータフォーマット(Table 16)がDIF2-0で選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットです。SDTOはBICKの立ち下がり出力され、DAUXは立ち上がりでラッチされます。Mode0-5はマスタモードで、BICKは64fsです。Mode 6-7はMode 4-5のスレープモードでBICKはfs=48kHzのとき128fsまで対応します。20ビット以下のフォーマット(Mode0-2)では、サブフレームのLSB側が切り捨てられます。Mode 3-7では下位4ビットはAuxデータで、Figure 26にビット構成を示します。Parity Errorがサブフレームで検出されると、SDTOからはエラーが“L”になるまでそのチャンネルの前の正常値が繰り返し出力されます。さらにPLLが同期外れを起こすと出力データは“0”になります。DAUX入力のデータを出力する場合は、入力と同じデータをフォーマット変換してSDTOから出力します。Clock Mode 1、PLL unlock時のClock Mode 2及びClock Mode 3では、出力データはDAUX pin を通して受信されます。DAUXの入力フォーマットはMode 5, 7以外では24ビット、Left justifiedで、SDTOへはその時点で設定されたフォーマットに変換されて出力されます。Mode 5, 7では入出力ともフォーマットはI<sup>2</sup>Sです。Mode 6-7はスレープモードである点を除いてMode4-5と同じです。スレープモードの場合、LRCKとBICKへはMCKO1/2 pin に同期した信号を供給して下さい。

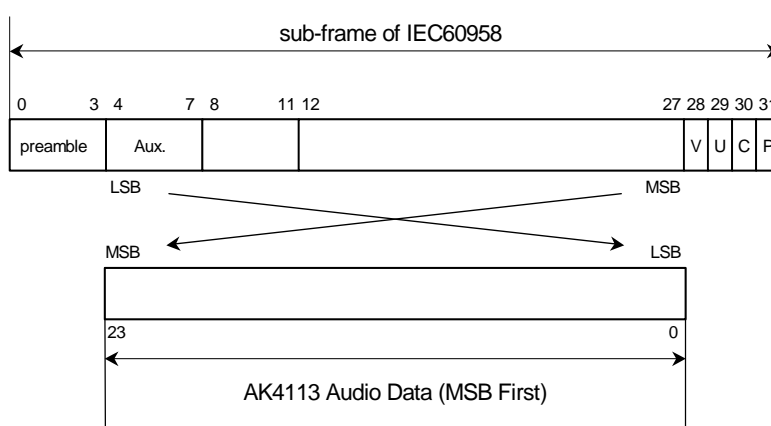


Figure 26. ビットの構成

Mode	DIF2	DIF1	DIF0	DAUX	SDTO	LRCK		BICK	
							I/O		I/O
0	0	0	0	24bit, Left justified	16bit, Right justified	H/L	O	64fs	O
1	0	0	1	24bit, Left justified	18bit, Right justified	H/L	O	64fs	O
2	0	1	0	24bit, Left justified	20bit, Right justified	H/L	O	64fs	O
3	0	1	1	24bit, Left justified	24bit, Right justified	H/L	O	64fs	O
4	1	0	0	24bit, Left justified	24bit, Left justified	H/L	O	64fs	O
5	1	0	1	24bit, I <sup>2</sup> S	24bit, I <sup>2</sup> S	L/H	O	64fs	O
6	1	1	0	24bit, Left justified	24bit, Left justified	H/L	I	64-128fs (Note 17)	I
7	1	1	1	24bit, I <sup>2</sup> S	24bit, I <sup>2</sup> S	L/H	I	64-128fs (Note 17)	I

Default

Table 16. オーディオデータフォーマット

Note 17. スイッチング特性で定義されている BICK の最大周波数を超えないで下さい。

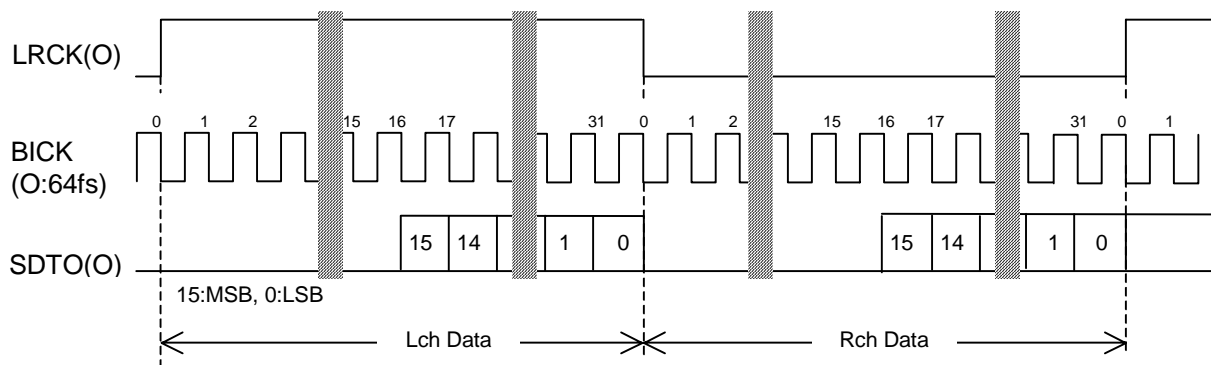


Figure 27. Mode 0 タイミング

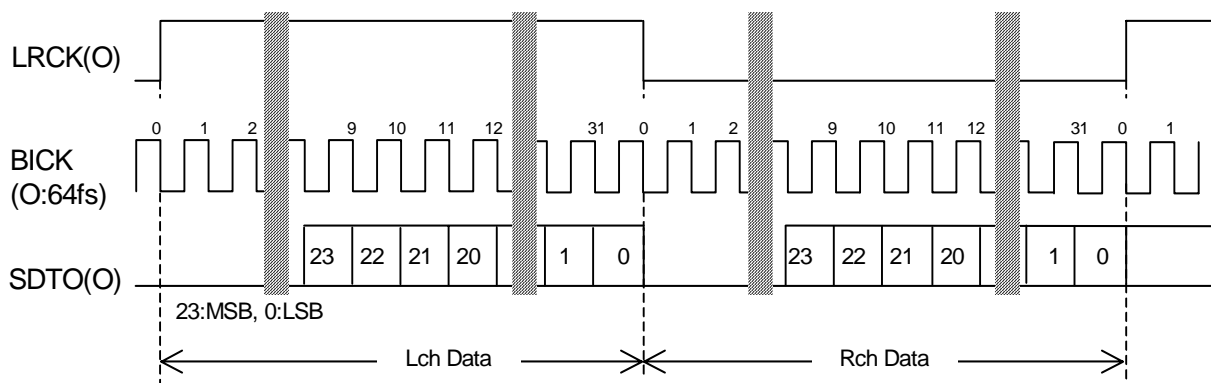


Figure 28. Mode 3 タイミング

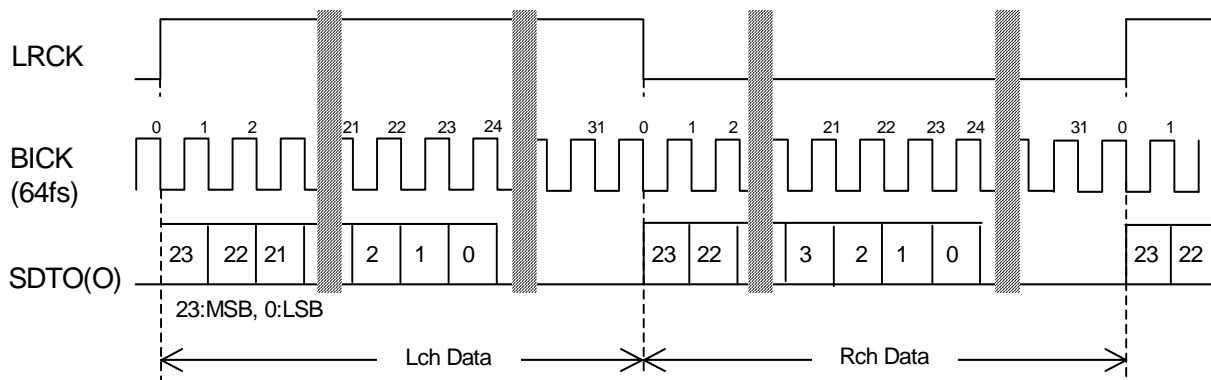


Figure 29. Mode 4, 6 タイミング

Mode4 : LRCK, BICK : Output  
 Mode6 : LRCK, BICK : Input

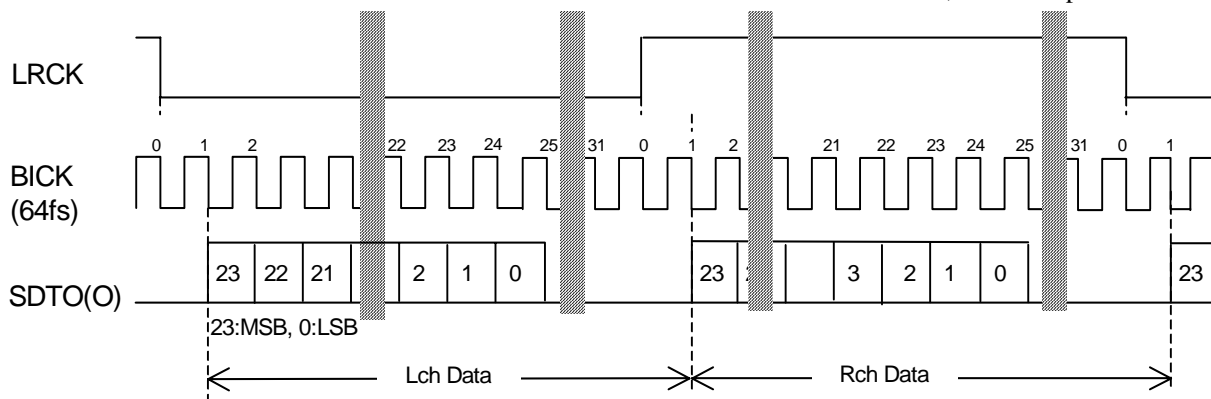


Figure 30. Mode 5, 7 タイミング

Mode5 : LRCK, BICK : Output  
 Mode7 : LRCK, BICK : Input

■ シリアルコントロールインタフェース

1. 4線シリアルコントロールモード (I2C pin = “L”)

4線式シリアルI/F (CSN, CCLK, CDTI, CDTO)で、I/F上のデータはChip address (2bits, AK4113では “00”に固定), Read/Write (1bit), Register address (MSB first, 5bits)とControl Data (MSB first, 8bits)で構成されます。データ送信側はCCLKの “↓”で各ビットを出力し、受信側は “↑”で取り込みます。データの書き込みはCSNの “↑”で有効になり、データの読み出しはCSNの “↑”で出力がHi-Zになります。CCLKのクロックスピードは5MHz (max)です。PDN pin = “L”でレジスタの値はリセットされます。

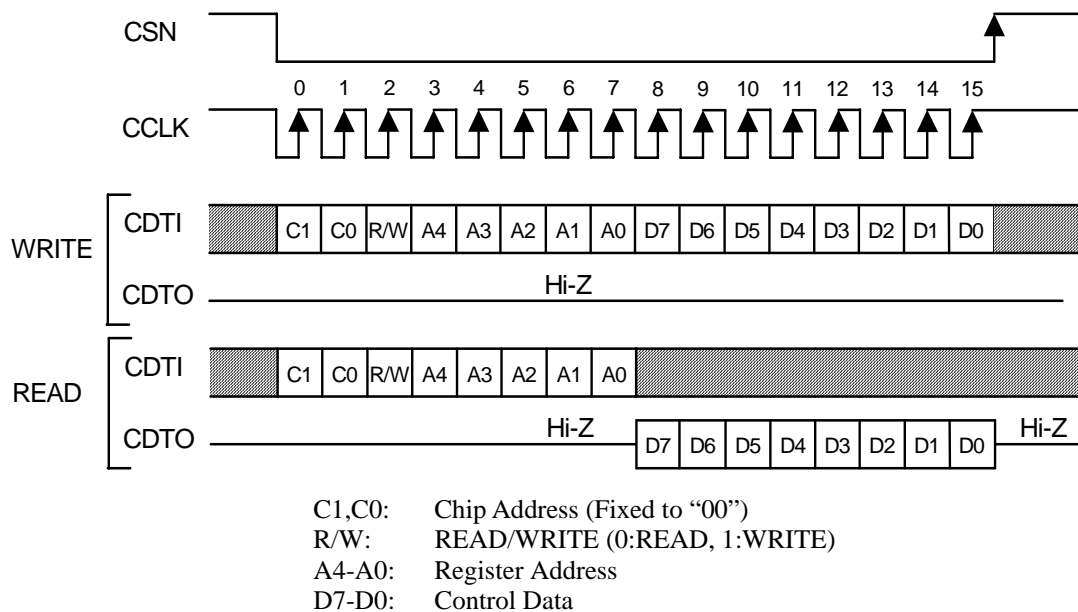


Figure 31. 4 線式シリアルコントロール I/F タイミング

\* CSNが “L”期間中にCCLKが “↑”が15回以下または17回以上の場合にはデータは書き込まれません。



## 2. I<sup>2</sup>Cバスコントロールモード (I2C pin = “H”)

AK4113のI<sup>2</sup>Cバスモードは、高速モード(max:400kHz)に対応しています。

### 2-1 データ転送について

バス上のICへのアクセスには、最初にスタート・コンディションを入力します。次に、1バイトで構成されるデバイスのアドレスを含んだスレーブ・アドレスを入力します。この時、バス上のICはこのアドレスと自分自身のアドレスを比較し、アドレスが一致したICはアクノリッジを生成します。アドレスが一致したICは、この後READ又はWRITEを実行します。命令終了時には、ストップ・コンディションを入力して下さい。

#### 2-1-1. データの変更

SDAラインのデータ変更はSCLラインが“L”の間に行って下さい。クロックが“H”の間にはSDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのはSCLラインのクロック信号が“L”の時に限られます。SCLラインが“H”の時にSDAラインを変更するのは、スタート・コンディション、ストップ・コンディションを入力するときのみです。

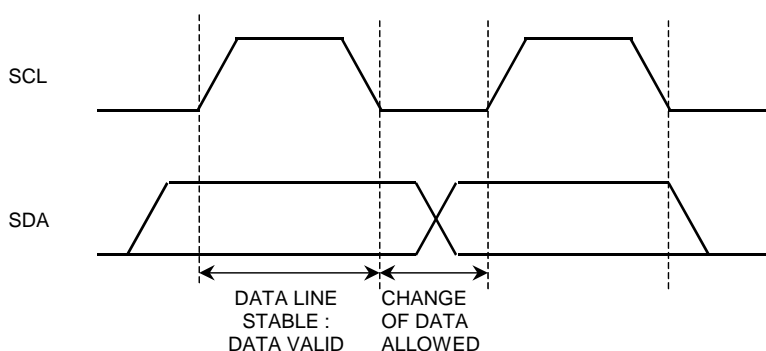


Figure 32. データの変更

#### 2-1-2. スタート・コンディションとストップ・コンディション

SCLラインが“H”の時にSDAラインを“H”から“L”にすると、スタート・コンディションが作られます。全ての命令は、スタート・コンディションから始まります。SCLラインが“H”の時にSDAラインを“L”から“H”にすると、ストップ・コンディションが作られます。全ての命令は、ストップ・コンディションにより終了します。

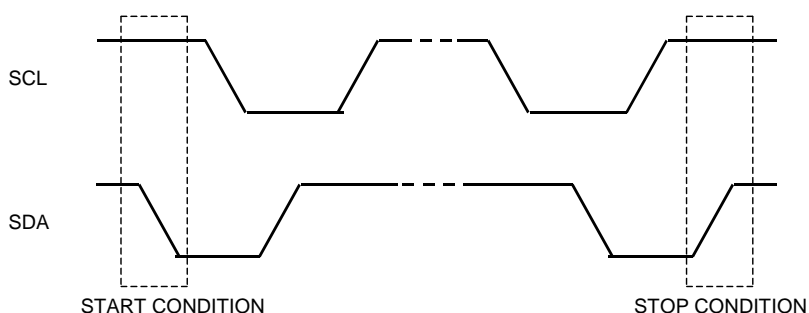


Figure 33. スタート・コンディションとストップ・コンディション

2-1-3. アクノリッジ

データを送出しているICは、1バイトのデータを送出した後SDAラインを解放します(HIGHの状態にする)。データを受信したICは次のクロックでSDAラインを“L”にします。この動作はアクノリッジと呼ばれ、この動作により正しくデータ転送が行われたことを確認することができます。AK4113はスタート・コンディションとスレーブ・アドレスを受け取るとアクノリッジを生成します。またWRITE命令の場合には各バイトの受信を完了する度にアクノリッジを生成します。READ命令の場合には、AK4113はアクノリッジ生成に続いて指定されたアドレスのデータを出力した後SDAラインを解放し、SDAラインをモニターします。マスタがストップ・コンディションを送らずアクノリッジを生成した場合、AK4113は次のアドレスのデータを出力します。アクノリッジが生成されなかった場合、AK4113はデータ出力を終了します。

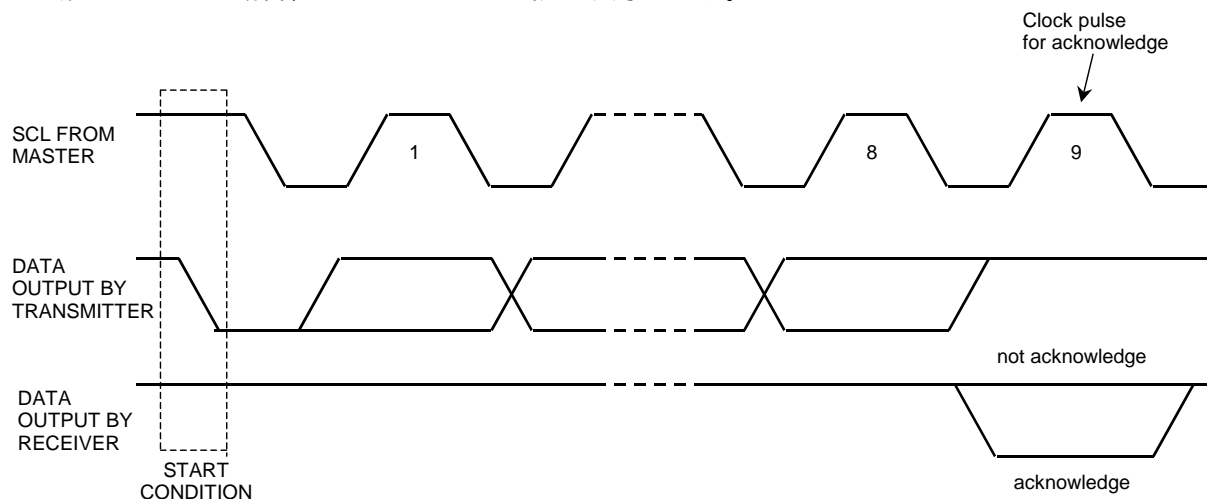


Figure 34. アクノリッジの生成

2-1-4. 第1バイト

スレーブアドレスを含む第1バイトはスタートコンディションの後に入力され、スレーブ・アドレスによりバス上のICの中からアクセスするICが選ばれます。スレーブ・アドレスは上位7ビットで構成されます。上位5ビットは、“00100”であり、次の2ビットはアクセスするICを選ぶ為のアドレスビットであり、CAD1 pin, CAD0 pinにより設定されます。スレーブ・アドレスが入力されると、デバイスのアドレスが一致しているICはアクノリッジを生成し、その後命令を実行します。第1バイトの8番目のビット(最下位ビット)はR/W bitです。R/W bit = “1”のときREAD命令が実行され、R/W bit = “0”のときWRITE命令が実行されます。

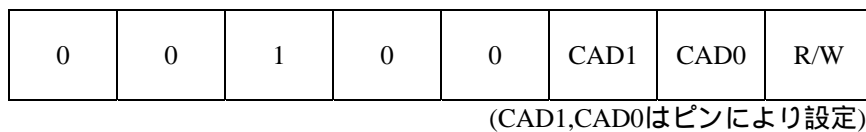


Figure 35. 第1バイトの構成

2-2. WRITE命令

R/W bitが“0”の場合、AK4113はWRITE動作を行います。WRITE動作では、スレーブアドレス受信後、第2バイトを受信します。第2バイトは内部コントロールレジスタのアドレスを指定するバイトで、MSB firstで構成され上位3 bit はDon't careです。

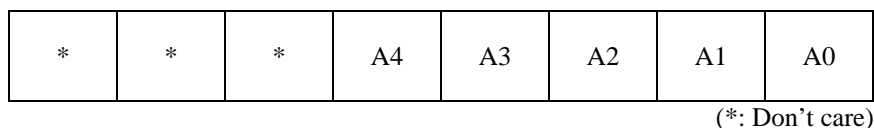


Figure 36. 第2バイトの構成

第3バイト以降がコントロールデータになります。コントロールデータは8 bit、MSB firstで構成されます。

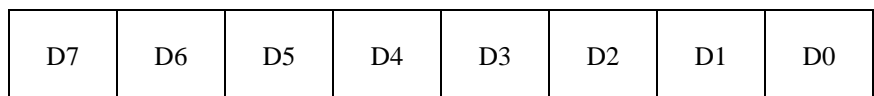


Figure 37. 第3バイト以降の構成

AK4113は複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後ストップ・コンディションを送らず更にデータを送ると、内部アドレスカウンタは自動的にインクリメントし、データは次のアドレスに格納されます。カウンタは1CHを越えるとロール・オーバーし、次のデータはアドレス00Hから順に格納されます。

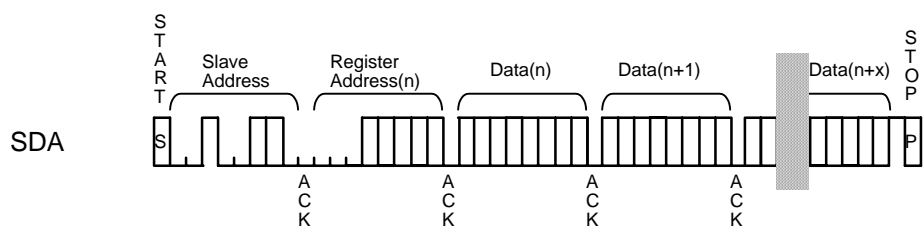


Figure 38. WRITE 命令

## 2-3. READ命令

R/W bitが“1”の場合、AK4113はREAD動作を行います。指定されたアドレスのデータが出力された後、マスタがストップ・コンディションを送らずアクノリッジを生成すると、次のアドレスのデータを読み出すことができます。アドレス：1CHのデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス：00Hのデータが読み出されます。

AK4113はカレント・アドレス・リードとランダム・リードの二つのREAD命令を持っています。

## 2-3-1. カレント・アドレス・リード

AK4113は内部にアドレス・カウンタを持っており、カレント・アドレス・リードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレス・カウンタは最後にアクセスしたアドレスの次のアドレス値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスがnであり、その後カレント・アドレス・リードを行った場合、アドレス：n+1のデータが読み出されます。カレント・アドレス・リードでは、AK4113はREAD命令のスレーブ・アドレス(R/W bit = “1”)の入力に対してアクノリッジを生成し、次のクロックから内部のアドレス・カウンタで指定されたデータを出力したのち内部カウンタを1つインクリメントします。1バイトのデータが出力された後、マスタがアクノリッジを生成せずストップ・コンディションを送ると、READ動作は終了します。

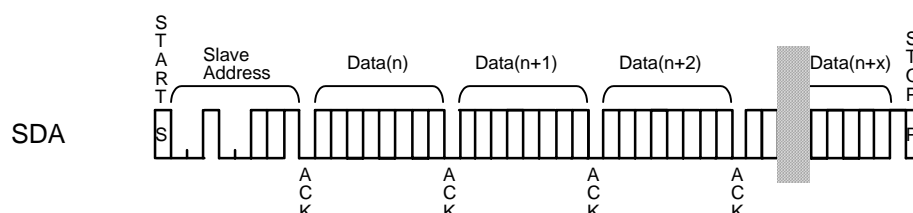


Figure 39. CURRENT ADDRESS READ 命令

## 2-3-2. ランダム・リード

ランダム・リードにより任意のアドレスのデータを読み出すことができます。ランダム・リードはREAD命令のスレーブ・アドレス(R/W bit = “1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。ランダム・リードでは最初にスタート・コンディションを入力し、次にWRITE命令のスレーブ・アドレス(R/W bit = “0”)、読み出すアドレスを順次入力します。AK4113がこのアドレス入力に対してアクノリッジを生成した後、再びスタート・コンディション、READ命令のスレーブ・アドレス(R/W bit = “1”)を入力します。AK4113はこのスレーブ・アドレスの入力に対してアクノリッジを生成し、指定されたアドレスのデータを出力し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタがアクノリッジを生成せず、ストップ・コンディションを送ると、READ動作は終了します。

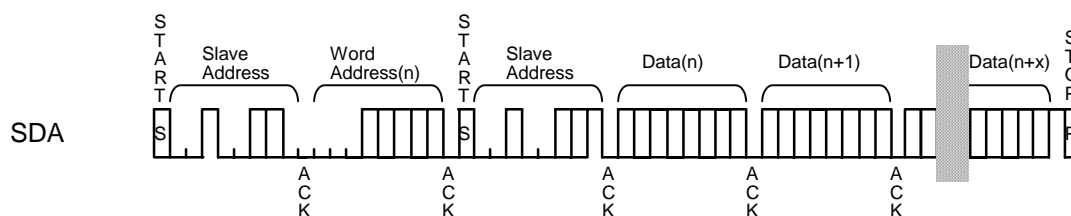


Figure 40. RANDOM READ 命令

## ■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	CLK & Power Down Control	CS12	BCU	CM1	CM0	OCKS1	OCKS0	PWN	RSTN
01H	Format & De-em Control	V/TX	DIF2	DIF1	DIF0	DEAU	DEM1	DEM0	0
02H	Input/ Output Control 0	0	XTL1	XTL0	UCE	TXE	OPS2	OPS1	OPS0
03H	Input/ Output Control 1	EFH1	EFH0	FAST	XMCK	DIV	IPS2	IPS1	IPS0
04H	INT0 MASK	MQIT0	MAUT0	MCIT0	MULK0	MV0	MSTC0	MAUD0	MPAR0
05H	INT1 MASK	MQIT1	MAUT1	MCIT1	MULK1	MV1	MSTC1	MAUD1	MPAR1
06H	DAT Mask & DTS Detect	0	0	0	DCNT	DTS16	DTS14	MDAT1	MDAT0
07H	Receiver status 0	QINT	AUTO	CINT	UNLCK	V	STC	AUDION	PAR
08H	Receiver status 1	FS3	FS2	FS1	FS0	PEM	DAT	DTSCD	NPCM
09H	Receiver status 2	0	0	0	0	0	0	QCRC	CCRC
0AH	RX Channel Status Byte 0	CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
0BH	RX Channel Status Byte 1	CR15	CR14	CR13	CR12	CR11	CR10	CR9	CR8
0CH	RX Channel Status Byte 2	CR23	CR22	CR21	CR20	CR19	CR18	CR17	CR16
0DH	RX Channel Status Byte 3	CR31	CR30	CR29	CR28	CR27	CR26	CR25	CR24
0EH	RX Channel Status Byte 4	CR39	CR38	CR37	CR36	CR35	CR34	CR33	CR32
0FH	Burst Preamble Pc Byte 0	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
10H	Burst Preamble Pc Byte 1	PC15	PC14	PC13	PC12	PC11	PC10	PC9	PC8
11H	Burst Preamble Pd Byte 0	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
12H	Burst Preamble Pd Byte 1	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8
13H	Q-subcode Address/Control	Q9	Q8	Q7	Q6	Q5	Q4	Q3	Q2
14H	Q-subcode Track	Q17	Q16	Q15	Q14	Q13	Q12	Q11	Q10
15H	Q-subcode Index	Q25	Q24	Q23	Q22	Q21	Q20	Q19	Q18
16H	Q-subcode Minute	Q33	Q32	Q31	Q30	Q29	Q28	Q27	Q26
17H	Q-subcode Second	Q41	Q40	Q39	Q38	Q37	Q36	Q35	Q34
18H	Q-subcode Frame	Q49	Q48	Q47	Q46	Q45	Q44	Q43	Q42
19H	Q-subcode Zero	Q57	Q56	Q55	Q54	Q53	Q52	Q51	Q50
1AH	Q-subcode ABS Minute	Q65	Q64	Q63	Q62	Q61	Q60	Q59	Q58
1BH	Q-subcode ABS Second	Q73	Q72	Q71	Q70	Q69	Q68	Q67	Q66
1CH	Q-subcode ABS Frame	Q81	Q80	Q79	Q78	Q77	Q76	Q75	Q74

注: PDN pinを“L”にすると、レジスタ値は初期化されます。  
RSTN bit を“0”にすると、内部のタイミングがリセットされ、レジスタ値は初期化されます。  
PWN bit を“0”にしてもレジスタへの書き込みは可能です。  
1DHから1FHのアドレスには、データを書き込まないで下さい。

## ■ 詳細説明

### Reset & Initialize

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	CLK & Power Down Control	CS12	BCU	CM1	CM0	OCKS1	OCKS0	PWN	RSTN
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	1	1

RSTN: タイミングリセットとレジスタ値の初期化

0: リセット&初期化

1: 通常動作 (Default)

PWN: パワーダウン

0: パワーダウン

1: 通常動作 (Default)

OCKS1-0: マスタクロック周波数選択 (See Table 2)

CM1-0: マスタクロック動作モード選択 (See Table 1)

BCU: ブロックスタート(B), C, U出力モードイネーブル (See Table 12)

0: Disable (Default)

1: Enable

CS12: チャンネルステータス選択

0: Channel 1 (Default)

1: Channel 2

C-bit, AUDION, PEM, FS3-0, Pc, Pdに反映されるチャンネルステータスを選択します。パラレルコントロールモード時、ディエンファシスフィルタはchannel 1でコントロールされます。

### Format & De-emphasis Control

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Format & De-em Control	V/TX	DIF2	DIF1	DIF0	DEAU	DEM1	DEM0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	RD
	Default	0	1	1	0	1	0	1	0

DEM1-0: 32, 44.1, 48kHzディエンファシスコントロール (Table 9)

DEAU: ディエンファシス自動検出有効

0: Disable

1: Enable (Default)

DIF2-0: オーディオデータフォーマットコントロール (Table 16; Default: "110")

V/TX: V/TX Output Select

0: Validity Flag Output. (Default)

This output is updated every fs cycle.

1: TX

## Input/Output Control

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Input/ Output Control 0	0	XTL1	XTL0	UCE	TXE	OPS2	OPS1	OPS0
	R/W	RD	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	1	0	0	0

OPS2-0: スルー出力(TX)データ選択 (See Table 13; Default: "000")

TXE: TX出力の設定

0: 無効。TX pinは "L"になります。

1: 有効 (Default)

UCE: C-bit, U-bit出力の設定 ( See Table 12, Default: "0")

XTL1-0: リファレンス水晶周波数の設定 (See Table 4, Default: 00)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Input/ Output Control 1	EFH1	EFH0	FAST	XMCK	DIV	IPS2	IPS1	IPS0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	1	0	0	0	0	0	0

IPS2-0: 入力リカバリデータ選択 (See Table 10; Default: "000")

DIV: X'tal モード時のMCKO2分周比設定 (See Table 3)

0: x1 (Default)

1: x 1/2

XMCK: MCKO2出力の設定 (See Table 3)

0: CM1-0 bits, OCKS1-0 bits により設定 (Default)

1: X'tal モード固定

FAST: PLL Lock Timeの設定

0:  $\leq (15\text{ms} + 384/\text{fs})$  (Default)

1:  $\leq (15\text{ms} + 1/\text{fs})$

EFH1-0: INT0 pin ホールド時間選択

00: 512/fs

01: 1024/fs (Default)

10: 2048/fs

11: 4096/fs

**Mask Control for INT0**

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
04H	INT0 MASK	MQIT0	MAUTO	MCIT0	MULK0	MV0	MSTC0	MAUD0	MPARO
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	1	1	1	0	1	1	1	0

- MPARO: Mask enable for PAR bit  
 0: Mask disable (Default)  
 1: Mask enable
- MAUD0: Mask enable for AUDION bit  
 0: Mask disable  
 1: Mask enable (Default)
- MSTC0: Mask enable for STC bit  
 0: Mask disable  
 1: Mask enable (Default)
- MV0: Mask enable for V bit  
 0: Mask disable  
 1: Mask enable (Default)
- MULK0: Mask enable for UNLCK bit  
 0: Mask disable (Default)  
 1: Mask enable
- MCIT0: Mask enable for CINT bit  
 0: Mask disable  
 1: Mask enable (Default)
- MAUTO: Mask enable for AUTO bit  
 0: Mask disable  
 1: Mask enable (Default)
- MQIT0: Mask enable for QINT bit  
 0: Mask disable  
 1: Mask enable (Default)

マスクを“1”に設定すると、それに対応した要因はINT0 pinに反映されません。



**Mask Control for INT1**

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	INT1 MASK	MQIT1	MAUT1	MCIT1	MULK1	MV1	MSTC1	MAUD1	MPAR1
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	1	0	1	1	1	1	0	1

- MPAR1: Mask enable for PAR bit  
 0: Mask disable  
 1: Mask enable (Default)
- MAUD1: Mask enable for AUDION bit  
 0: Mask disable (Default)  
 1: Mask enable
- MSTC1: Mask enable for STC bit  
 0: Mask disable  
 1: Mask enable (Default)
- MV1: Mask enable for V bit  
 0: Mask disable  
 1: Mask enable (Default)
- MULK1: Mask enable for UNLCK bit  
 0: Mask disable  
 1: Mask enable (Default)
- MCIT1: Mask enable for CINT bit  
 0: Mask disable  
 1: Mask enable (Default)
- MAUT1: Mask enable for AUTO bit  
 0: Mask disable (Default)  
 1: Mask enable
- MQIT1: Mask enable for QINT bit  
 0: Mask disable  
 1: Mask enable (Default)

マスクを“1”に設定すると、それに対応した要因はINT1 pinに反映されません。

**DAT Mask & DTS Detect**

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
06H	DAT Mask & DTS Detect	0	0	0	DCNT	DTS16	DTS14	MDAT1	MDAT0
	R/W	RD	RD	RD	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	1	1	1	1	1

- MDAT0: Mask enable for DAT bit  
 0: Mask disable  
 1: Mask enable (Default)  
 マスクを“1”に設定すると、DATの要因はINT0 pinに反映されません。
- MDAT1: Mask enable for DAT bit  
 0: Mask disable  
 1: Mask enable (Default)  
 マスクを“1”に設定すると、DATの要因はINT1 pinに反映されません。
- DTS14: DTS-CD 14bit Sync Word Detect  
 0: Disable  
 1: Enable (Default)
- DTS16: DTS-CD 16bit Sync Word Detect  
 0: Disable  
 1: Enable (Default)
- DCNT: DAT Start ID Counter  
 0: Disable  
 1: Enable (Default)

## Receiver Status 0

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
07H	Receiver status 0	QINT	AUTO	CINT	UNLCK	V	STC	AUDION	PAR
	R/W	RD	RD	RD	RD	RD	RD	RD	RD
	Default	0	0	0	0	0	0	0	0

PAR: パリティエラーまたはバイフェーズエラー

0: No Error

1: Error

サブフレーム内でパリティエラーまたはバイフェーズエラーが検出されるとPAR bitが“1”になります。

AUDION: Audioビット出力

0: Audio

1: Non Audio

このビットはチャンネルステータスをデコードして生成されます。

STC: サンプリング周波数、プリエンファシス情報変化検出

0: No detect

1: Detect

FS3-0 bits or PEM bitが変化するとSTC bitが“1”になります。

V: チャンネルステータスのパリティ

0: Valid

1: Invalid

UNLCK: PLLアンロック

0: Lock

1: Unlock

CINT: チャンネルステータスバッファインタラプト

0: No change

1: Changed

Addr = 0AH(Channel Statusの最初のAddr)から、0EH (Channel Statusの最後のAddr) に格納されるC-bitが変更されると“1”になります。

AUTO: Non-PCMビットストリーム自動検出

0: No detect

1: Detect

QINT: Qサブコードバッファインタラプト

0: No change

1: Changed

Addr = 13H(先頭)から、1CH(最後)に格納されるQ-subcodeが変更されると“1”になります。

STC, QINT, CINT, PAR bit はAddr=07HをREADすると初期化されます。

**Receiver Status 1**

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	Receiver status 1	FS3	FS2	FS1	FS0	PEM	DAT	DTSCD	NPCM
	R/W	RD	RD	RD	RD	RD	RD	RD	RD
	Default	0	0	0	1	0	0	0	0

NPCM: Non-PCMビットストリーム自動検出

0: No detect

1: Detect

DTSCD: DTC-CDビットストリーム自動検出

0: No detect

1: Detect

DAT: DAT Start ID Detect

0: No detect

1: Detect

DAT bitは Addr = 08HをREADすると初期化されます。

PEM: Pre-emphasis Detect

0: OFF

1: ON

このビットはチャンネルステータスをデコードして生成されます。

FS3-0: サンプリング周波数検出 (Table 5)

**Receiver Status 2**

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
09H	Receiver status 2	0	0	0	0	0	0	QCRC	CCRC
	R/W	RD	RD	RD	RD	RD	RD	RD	RD
	Default	0	0	0	0	0	0	0	0

CCRC: チャンネルステータスのCRCC

0: No error

1: Error

プロフェッショナルモード時のみ有効です。また、CS12 bitで選択されたチャンネルに対してのみ有効です。

QCRC: QサブコードのCRCC

0: No error

1: Error

## Receiver Channel Status

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0AH	RX Channel Status Byte 0	CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
0BH	RX Channel Status Byte 1	CR15	CR14	CR13	CR12	CR11	CR10	CR9	CR8
0CH	RX Channel Status Byte 2	CR23	CR22	CR21	CR20	CR19	CR18	CR17	CR16
0DH	RX Channel Status Byte 3	CR31	CR30	CR29	CR28	CR27	CR26	CR25	CR24
0EH	RX Channel Status Byte 4	CR39	CR38	CR37	CR36	CR35	CR34	CR33	CR32
R/W		RD							
Default		Not initialized							

CR39-0: レシーバチャンネルステータスByte 4-0  
1ブロック(192フレーム)毎に40 bit同時に更新されます。

## Burst Preamble Pc/Pd in non-PCM encoded Audio Bitstreams

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0FH	Burst Preamble Pc Byte 0	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
10H	Burst Preamble Pc Byte 1	PC15	PC14	PC13	PC12	PC11	PC10	PC9	PC8
11H	Burst Preamble Pd Byte 0	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
12H	Burst Preamble Pd Byte 1	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8
R/W		RD							
Default		Not initialized							

PC15-0: バーストプリアンブルPc Byte 0, 1  
PD15-0: バーストプリアンブルPd Byte 0, 1

## Q-subcode Buffer

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
13H	Q-subcode Address / Control	Q9	Q8	Q7	Q6	Q5	Q4	Q3	Q2
14H	Q-subcode Track	Q17	Q16	Q15	Q14	Q13	Q12	Q11	Q10
15H	Q-subcode Index	Q25	Q24	Q23	Q22	Q21	Q20	Q19	Q18
16H	Q-subcode Minute	Q33	Q32	Q31	Q30	Q29	Q28	Q27	Q26
17H	Q-subcode Second	Q41	Q40	Q39	Q38	Q37	Q36	Q35	Q34
18H	Q-subcode Frame	Q49	Q48	Q47	Q46	Q45	Q44	Q43	Q42
19H	Q-subcode Zero	Q57	Q56	Q55	Q54	Q53	Q52	Q51	Q50
1AH	Q-subcode ABS Minute	Q65	Q64	Q63	Q62	Q61	Q60	Q59	Q58
1BH	Q-subcode ABS Second	Q73	Q72	Q71	Q70	Q69	Q68	Q67	Q66
1CH	Q-subcode ABS Frame	Q81	Q80	Q79	Q78	Q77	Q76	Q75	Q74
R/W		RD							
Default		Not initialized							

Q2-81: Q-subcode ( Figure 20 and Figure 21 )  
U bitの1周期毎に80bit同時に更新されます。

■ Non-PCMビットストリームにおけるバーストプリアンブル

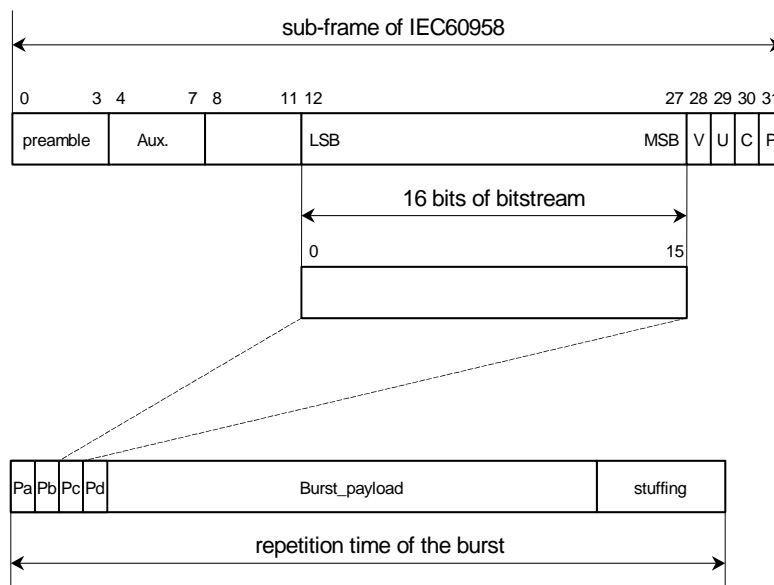


Figure 41. IEC60958 のデータ構成

Preamble word	Length of field	Contents	Value
Pa	16 bits	sync word 1	0xF872
Pb	16 bits	sync word 2	0x4E1F
Pc	16 bits	Burst info	see Table 18
Pd	16 bits	Length code	numbers of bits

Table 17. バーストプリアンブルワード

Bits of Pc	Value	Contents	Repetition time of burst in IEC60958 frames
0-4	0	data type NULL data	≤4096
	1	Dolby AC-3 data	1536
	2	reserved	
	3	PAUSE	
	4	MPEG-1 Layer1 data	384
	5	MPEG-1 Layer2 or 3 data or MPEG-2 without extension	1152
	6	MPEG-2 data with extension	1152
	7	MPEG-2 AAC ADTS	1024
	8	MPEG-2, Layer1 Low sample rate	384
	9	MPEG-2, Layer2 or 3 Low sample rate	1152
	10	reserved	
	11	DTS type I	512
	12	DTS type II	1024
	13	DTS type III	2048
	14	ATRAC	512
	15	ATRAC2/3	1024
16-31	reserved		
5, 6	0	reserved, shall be set to "0"	
7	0	error-flag indicating a valid burst_payload	
	1	error-flag indicating that the burst_payload may contain errors	
8-12		data type dependent info	
13-15	0	bit stream number, shall be set to "0"	

Table 18. バースト情報 Pc のフィールド

■ Non-PCM ビットストリームタイミング

1) Non-PCM データプリアンプルが 4096 フレーム以内に来ない場合

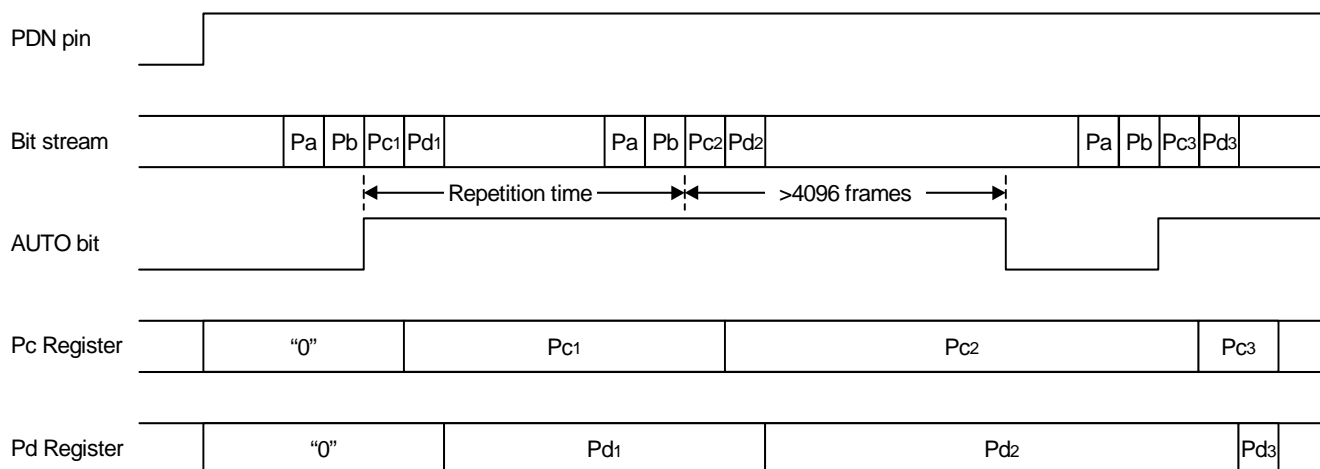


Figure 42. タイミング例 1

2) Non-PCM ビットストリームが止まった場合 (MULK0 bit = "0"の場合)

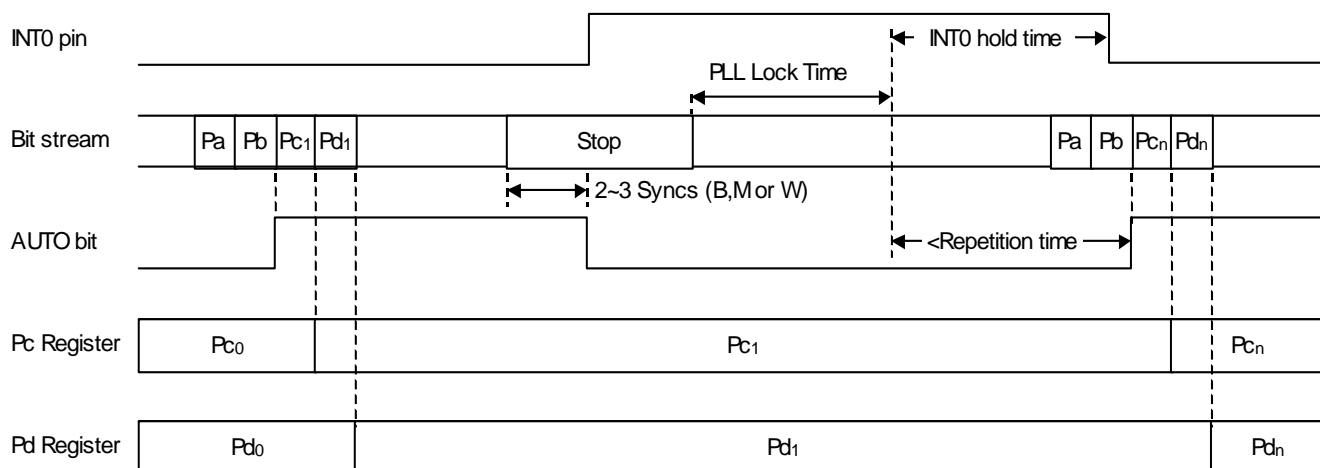


Figure 43. タイミング例 2

**システム設計**

Figure 44 はシリアルコントロールモード時のシステム接続例です。

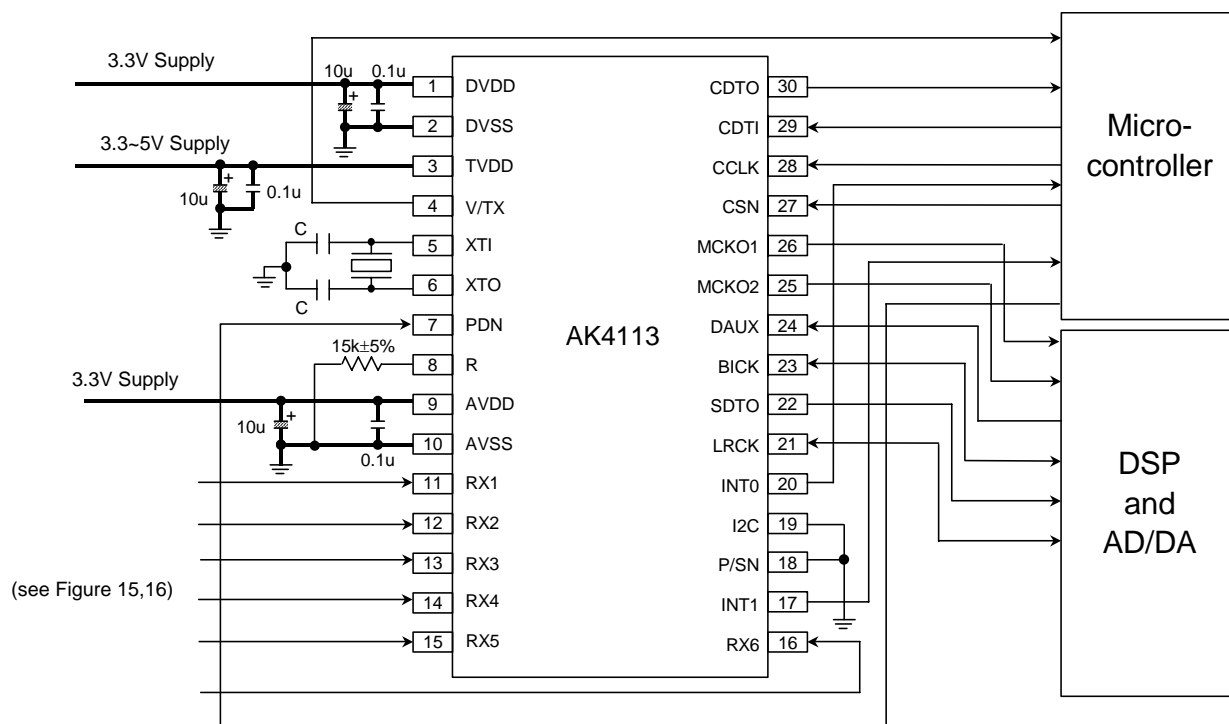


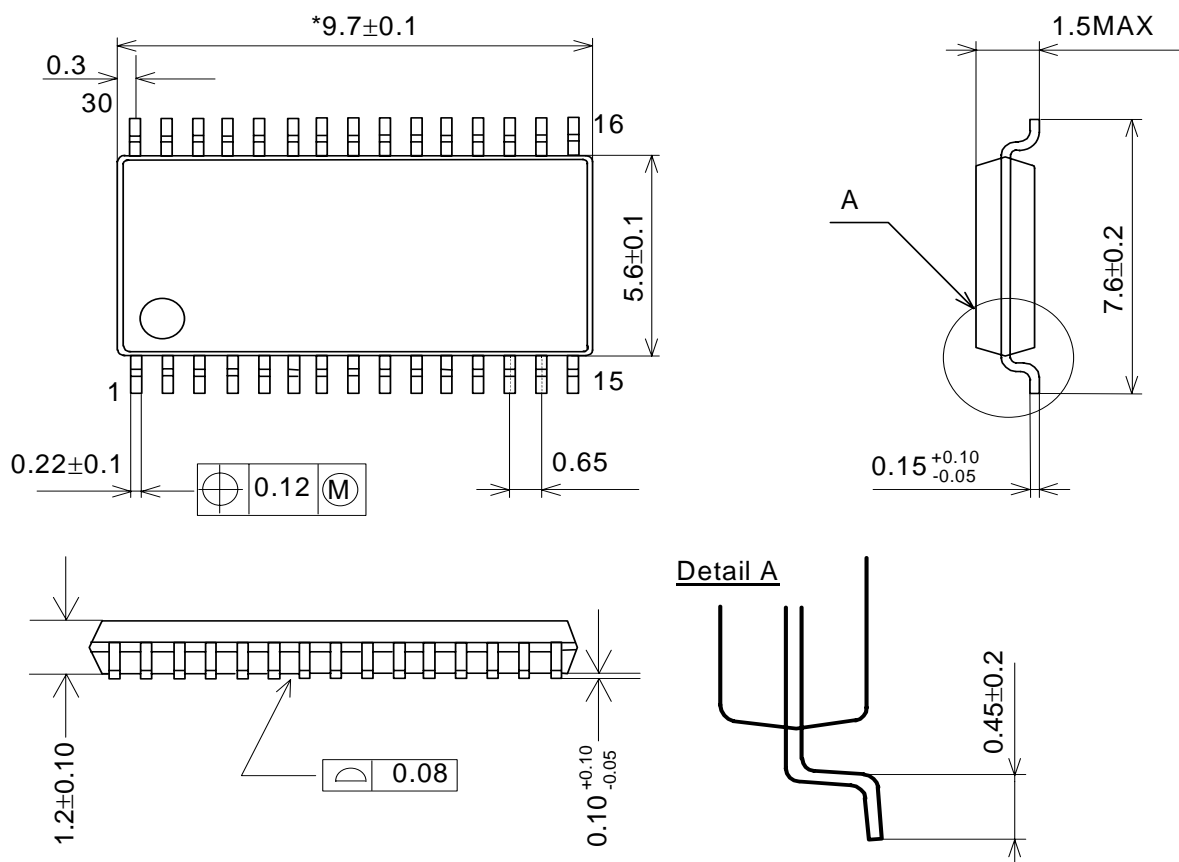
Figure 44. Typical Connection Diagram (4-wire serial control mode)

Notes:

- XT1-0 bits の設定はTable 4 を参照下さい。
- C の値は水晶振動子に依存します。
- AVSS, DVSS は、同じアナロググランドに接続して下さい。
- デジタル信号、特にクロック信号はクロックジッタへの影響を避けるため R pin からできるだけ離してください。

PACKAGE

30pin VSOP (Unit: mm)



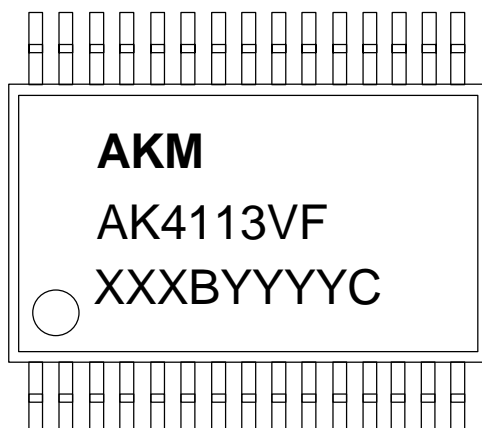
NOTE: Dimension "\*" does not include mold flash.

■ 材質・メッキ仕様

- パッケージ材質： エポキシ系樹脂
- リードフレーム材質： 銅
- リードフレーム処理： 半田（無鉛）メッキ



## MARKING



XXXBYYYYC: Date code identifier

XXXB: Lot number (X : Digit number, B : Alpha character)

YYYYC: Assembly date (Y : Digit number C : Alpha character)

## 改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
04/10/20	00	初版		
05/03/08	01	誤記訂正	3, 4, 7	Pin Name: #14; RX4/IPS2 → RX4/DIF2
05/08/11	02	誤記訂正	4	INT0 pin の I/O: "I" → "O"

## 重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。