

**AK4129****6ch 216kHz / 24-Bit Asynchronous SRC****概 要**

AK4129は6chのデジタルサンプルレートコンバータ(SRC)です。入力された8kHz ~ 216kHzの範囲にあるサンプルレートのオーディオソースを8kHz ~ 216kHzのサンプルレートに変換して出力します。また、発振器を内蔵しており、マスタクロックを必要としないので、非常にシンプルな構成がとれます。マスタモード、TDMデータインタフェースへ対応し、非同期な複数のステレオデータの同時入力へも対応いたします。マルチチャンネルを必要とするハイエンドのカーオーディオ/DVDレコーダ等、異なるサンプルレートを持つデータラインとの接続用途に最適です。

特 長

- 6 channels input/output
- Asynchronous Sample Rate Converter
- Input Sample Rate Range (FSI): 8kHz ~ 216kHz
- Output Sample Rate Range (FSO): 8kHz ~ 216kHz
- Input to Output Sample Rate Ratio: 1/6 to 6
- THD+N: -130dB
- Dynamic Range: 140dB (A-weighted)
- I/F format: MSB justified, LSB justified, I²S compatible and TDM
- Oscillator for Internal Operation Clock
- Clock for Master mode: 128/256/384/512/768fso
- On-chip X'tal oscillator
- Digital De-emphasis Filter (32kHz, 44.1kHz and 48kHz)
- Soft Mute Function
- SRC Bypass mode (Master/Slave)
- μ P Interface: I²C bus
- Power Supply: AVDD, DVDD1-4: 3.0 ~ 3.6V (typ. 3.3V)
- Ta = -20 ~ 85°C (AK4129EQ), -40 ~ 85°C (AK4129VQ)
- Package: 64LQFP

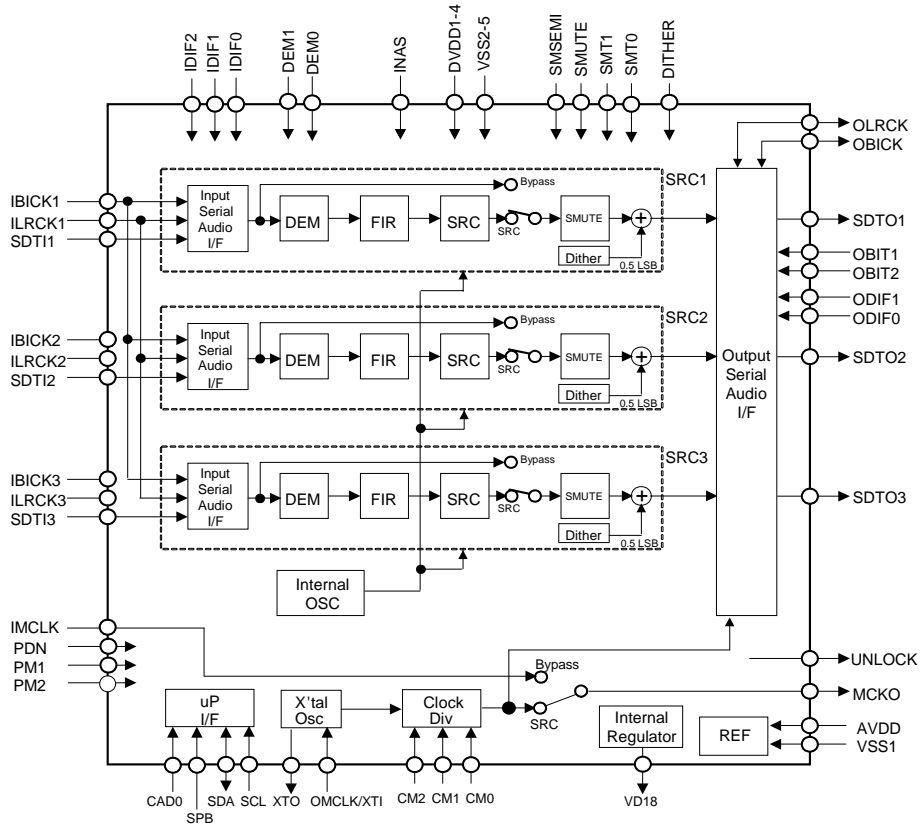


Figure 1. AK4129 Block Diagram (Synchronous mode INAS pin = "L")

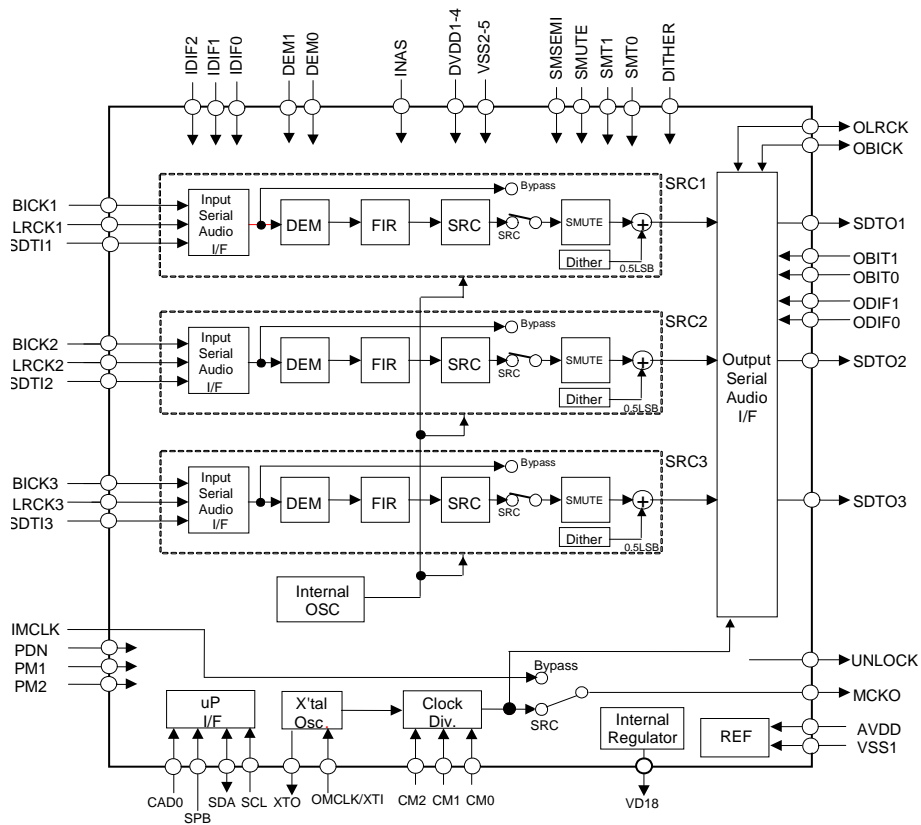


Figure 2. AK4129 Block Diagram (Asynchronous mode INAS pin = "H")

■ AK4126との互換性

(1)仕様変更箇所

項目	AK4126	AK4129
入力ステレオ非同期モード	非対応 ...同期モードのみ	対応 ...同期モード・非同期モードをINAS pinで設定可能
内部クロック	PLL内蔵 ...PLL2-0 pinでPLL基準クロックを選択 61番ピン：PLLループフィルターの外付け素子用端子	内部レギュレータ + 内部発振器内蔵 ...内部発振器でクロックを生成するため、PLL基準クロックを選択する必要がない 61番ピン：内部レギュレータの平滑化キャパシタ用端子
バイパスモード	非対応	対応 ...CM2-0 pinもしくはBYPSS bitで設定可能
出力ポート側のマスタモード対応	非対応	対応 ...CM2-0 pinで設定可能
最大FSI, 最大FSO	192kHz	216kHz
最大IBICK, OBICK周波数	64fs	256fs
水晶発振器	非対応	対応
マスタクロック出力	非対応	対応
TDM Mode	非対応	対応 ...入力側はIDIF2-0ピンもしくはIDIF2-0 bit、出力側はTDM pinで設定可能
ソフトミュート	全チャンネル同時設定のみ	個別設定可 ...シリアルコントロールモード時、SMUTE3-1 bitで個別設定可能
ディエンファシスフィルタ	全チャンネル同時設定のみ	個別設定可 ...シリアルコントロールモード時、DEM31-30, 21-20, 11-10 bitで個別設定可能
入力側オーディオフォーマット	全チャンネル同時設定のみ	個別設定可 ...シリアルコントロールモード時、IDIF32-30, 22-20, 12-10 bitで個別設定可能
I2C対応	非対応	対応 ...SPB pinの設定でパラレルコントロールモードとシリアルコントロールモードを切り替え可能
アンロックピン	PLLのアンロックを検出	FSIとFSOの比の変化を検出、 1.8V出力の過電流・過電圧リミットを検出

(2)ピン変更箇所

Pin#	AK4126		AK4129	
	Pin Name	Pin Name	Pin Name	AK4126 互換設定 (PM2/1 pin = "LL")
1	NC	IBICK2		L
2	TEST0	IMCLK		L
14	TST1	ILRCK3		L
15	TST2	IBICK3		L
18	TST4	INAS		L
32	TST5	PM2		L
33	NC	TDM		L
47	TEST4	OMCLK/XTI		L
48	NC	XTO		L
49	NC	MCKO		L
51	TST8	CAD0		L
54	PLL2	TST1		L or H
55	PLL1	SMSEMI		L or H
56	PLL0	TST2		L or H
57	TST9	SCL		L
58	TST10	SDA		L
59	NC	SPB		L
61	FILT	VD18		*
63	TST11	TST3		AK4126: "Open" AK4129: "L"
64	NC	ILRCK2		L

*: 61番ピンは外付け素子が必要です。

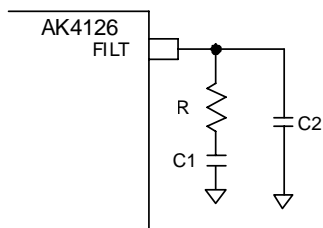


Figure 3. AK4126

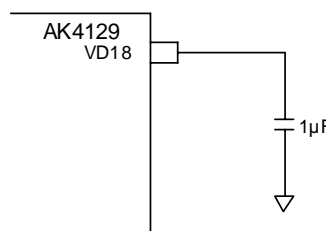


Figure 4. AK4129

(Figure 3の外付け素子値についてはAK4126データシートを参照してください)

ピン/機能

No.	Pin Name	I/O	Function
1	IBICK2	I	オーディオシリアルデータクロックピン2 INAS pin = "L"の時はVSS2-5に接続して下さい。
2	IMCLK	I	入力ポート用マスタクロック入力ピン
3	ILRCK1	I	チャンネルクロック入力ピン1
4	IBICK1	I	オーディオシリアルデータクロックピン1
5	DVDD1	-	デジタル電源ピン 3.0~3.6V
6	VSS2	-	デジタルグランドピン
7	TST4	I	Test Pin. This pin should be connected to VSS2-5.
8	SDTI1	I	オーディオシリアルデータ入力ピン1
9	SDTI2	I	オーディオシリアルデータ入力ピン2
10	SDTI3	I	オーディオシリアルデータ入力ピン3
11	IDIF0	I	入力ポート用オーディオインタフェースフォーマットピン0 (Note 2)
12	IDIF1	I	入力ポート用オーディオインタフェースフォーマットピン1 (Note 2)
13	IDIF2	I	入力ポート用オーディオインタフェースフォーマットピン2 (Note 2)
14	ILRCK3	I	チャンネルクロック入力ピン3 INAS pin = "L"の時はVSS2-5に接続して下さい。
15	IBICK3	I	オーディオシリアルデータクロックピン3 INAS pin = "L"の時はVSS2-5に接続して下さい。
16	TST5	I	テストピン VSS2-5に接続して下さい。
17	TST6	I	テストピン VSS2-5に接続して下さい。
18	INAS	I	非同期モード選択ピン "L" (グランドに接続): 同期モード "H" (DVDD1-4に接続): 非同期モード
19	UNLOCK	O	アンロックステータスピン PDN pin="L"の時、UNLOCK出力は"H"になります。
20	DVDD2	-	デジタル電源ピン 3.0~3.6V
21	VSS3	-	デジタルグランドピン
22	SMUTE	I	ソフトミュートピン (Note 3) "H": Soft Mute, "L": Normal Operation
23	DITHER	I	ディザ回路コントロールピン "H": Dither ON, "L": Dither OFF
24	PDN	I	パワーダウンピン "H": パワーアップ, "L": パワーダウン及びレジスタリセット 電源立ち上げ時には一度"L"を入力してAK4129をリセットしてください。
25	SMT0	I	ソフトミュート時間設定ピン0
26	SMT1	I	ソフトミュート時間設定ピン1
27	DEM0	I	ディエンファシスコントロールピン0 (Note 4)
28	DEM1	I	ディエンファシスコントロールピン1 (Note 4)
29	PM1	I	チャンネルモード選択ピン1
30	OBIT0	I	出力データ用ビット長選択ピン0
31	OBIT1	I	出力データ用ビット長選択ピン1
32	PM2	I	チャンネルモード選択ピン2
33	TDM	I	TDM フォーマット選択ピン "L"(グランドに接続): Stereo mode. "H"(DVDD1-4に接続): TDM mode.

No.	Pin Name	I/O	Function
34	CM2	I	出力ポート用クロック/モード選択ピン2
35	CM1	I	出力ポート用クロック/モード選択ピン1
36	CM0	I	出力ポート用クロック/モード選択ピン0
37	ODIF1	I	出力ポート用オーディオインタフェースフォーマットピン1
38	ODIF0	I	出力ポート用オーディオインタフェースフォーマットピン0
39	SDTO3	O	出力ポート用オーディオシリアルデータ出力ピン3 パワーダウン時、SDTO3出力は“L”になります。
40	SDTO2	O	出力ポート用オーディオシリアルデータ出力ピン2 PDN pin = “L”の時は、SDTO2出力は“L”になります。
41	SDTO1	O	出力ポート用オーディオシリアルデータ出力ピン1 PDN pin = “L”の時は、SDTO1出力は“L”になります。
42	TST7	O	テストピン オープンにしてください。
43	VSS4	-	デジタルグラウンドピン
44	DVDD3	-	デジタルピン 3.0 ~ 3.6V
45	OBICK	I/O	出力ポート用オーディオシリアルデータクロックピン マスタモードのPDN pin = “L”の時は、OBICK出力は“L”になります。
46	OLRCK	I/O	出力ポート用チャンネルクロック出力ピン マスタモードのPDN pin = “L”の時は、OLRCK出力は“L”になります。
47	OMCLK/XTI	I	外部マスタクロック入力/クリスタル入力ピン
48	XTO	O	クリスタル出力ピン PDN pin = “L”の時は、XTO出力はHi-Z になります。
49	MCKO	O	マスタクロック出力ピン PM2 pin = “H”でPDN pin = “L”の時は、MCKO出力は“L” になります。 PM2 pin = “L”でPDN pin = “L”の時は、MCKO出力はHi-Z になります。
50	TST0	I	テストピン VSS2-5に接続してください。
51	CAD0	I	チップアドレスピン0 パラレルコントロールモード(SPB pin = “L”)時はVSS2-5に接続してください
52	DVDD4	-	デジタル電源ピン 3.0 ~ 3.6V
53	VSS5	-	デジタルグラウンドピン
54	TST1	I	テストピン VSS2-5に接続してください。
55	SMSEMI	I	ソフトミュートセミオートモード設定ピン “H”: セミオートモード, “L”: マニュアルモード
56	TST2	I	テストピン VSS2-5に接続してください。
57	SCL	I	I ² C コントロールデータクロックピン。シリアルコントロールモード(SPB pin = “H”)時 DVDD1-4との間に保護ダイオードがあるためプルアップ抵抗の接続先は DVDD1-4+0.3V以下にしてください。パラレルコントロールモード(SPB pin = “L”)時 はVSS2-5に接続してください。
58	SDA	I/O	I ² Cコントロールデータ入出力ピン。シリアルコントロールモード(SPB pin = “H”)時 DVDD1-4との間に保護ダイオードがあるためプルアップ抵抗の接続先は DVDD1-4+0.3V以下にしてください。パラレルコントロールモード(SPB pin = “L”)時 はVSS2-5に接続してください。
59	SPB	I	パラレル/シリアルコントロールモード選択ピン “H”: シリアルコントロールモード, “L”: パラレルコントロールモード

No.	Pin Name	I/O	Function
60	AVDD	-	アナログ電源ピン 3.0~3.6V
61	VD18	O	内蔵レギュレータ1.8V出力端子 PDN pin="L"時、DV18出力は"L"になります。VD18 pinから電流を取ってはいけません。VD18 pinとDVSSの間に 1 [μ F] \pm 30%のコンデンサを接続してください。温度特性を含めて \pm 30%です。極性付きのコンデンサを使用する場合、VD18 pin側に正極端子を接続してください。
62	VSS1	-	アナロググランドピン
63	TST3	I	テストピン VSS2-5に接続して下さい。
64	ILRCK2	I	チャンネルクロック入力ピン2 INAS pin="L"の時はVSS2-5に接続して下さい。

Note: すべての入力ピンはフローティングにしないで下さい。DVDD1-4 は同じ電源にして下さい。

Note 1. SPB, CM2-0, INAS, PM2-1, OBIT1-0, TDM, ODIF1-0, IDIF2-0, CAD0 pinは、PDN pin="L"中に切換えてください。

Note 2. パラレルコントロールモード(SPB pin="L")時、SRC1~3の入力オーディオインタフェースフォーマットの設定は全てIDIF2-0 pinにより設定されます。
シリアルコントロールモード(SPB pin="H")時、IDIF2-0 pin の設定は無視されます。IDIF12, IDIF11, IDIF10 bit の設定がSRC1に、IDIF22, IDIF21, IDIF20 bit の設定がSRC2に、IDIF32, IDIF31, IDIF30 bit の設定がSRC3に反映されます。

Note 3. パラレルコントロールモード(SPB pin="L")時、SRC1~3のソフトミュートは全てSMUTE pinで設定されます。
シリアルコントロールモード(SPB pin="H")時、SMUTE pinの設定は無視されます。SMUTE1 bit の設定がSRC1に、SMUTE2 bit の設定がSRC2に、SMUTE3 bit の設定がSRC3に反映されます。

Note 4. パラレルコントロールモード(SPB pin="L")時、SRC1~3のディエンファシス設定は全てDEM1-0 pinにより設定されます。
シリアルコントロールモード(SPB pin="H")時、DEM1-0 pinの設定は無視されます。DEM[11:10] bitの設定がSRC1に、DEM[21:20] bit の設定がSRC2に、DEM[31:30] bit の設定がSRC3に反映されます。

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

区分	ピン名	設定
Digital	IBICK2, IMCLK, SDTI3, ILRCK3, IBICK3, SMUTE, DITHER, OMCLK/XTI, ILRCK2, SDA, SCL, CAD0, TST0-6	VSS2~5に接続
	UNLOCK, SDTO1-3, MCKO, XTO, TST7	オープン

絶対最大定格

(VSS1-5=0V; Note 5)

Parameter		Symbol	min	max	Units
Power Supplies:	Analog	AVDD	-0.3	4.2	V
	Digital	DVDD1-4	-0.3	4.2	V
Input Current, Any Pin Except Supplies		IIN	-	±10	mA
Digital Input Voltage (Note 6)		VIND	-0.3	DVDD1-4 + 0.3	V
Ambient Temperature (Power applied) (Note 7)	AK4129EQ	Ta	-20	85	°C
	AK4129VQ	Ta	-40	85	°C
Storage Temperature		Tstg	-65	150	°C

Note 5. 電圧は全てグランドピンに対する値です。VSS1-5は同じアナロググランドに接続してください。

Note 6. IMCLK, IBICK3-1, ILRCK3-1, IDIF2-0, INAS, SUMTE, DITHER, PDN, SMT1-0, DEM1-0, PM2-1, OBIT1-0, TDM, CM2-0, ODIF1-0, SDTO4-1, OBICK, OLRCK, OMCLK/XTI, CAD0, SMSEMI, SCL, SDA, SPB pin.

Note 7. 実装されるプリント基板の配線密度は100%以上にして下さい。

Note 8. DVDD1-4 は同じ電源に接続して下さい。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

(VSS1-5=0V; Note 5)

Parameter		Symbol	min	typ	max	Units
Power Supplies: (Note 9)	Analog	AVDD	3.0	3.3	3.6	V
	Digital	DVDD1-4	3.0	3.3	3.6	V
	Difference	AVDD - DVDD1-4	-0.3	0	+0.3	V

Note 5. 電圧は全てグランドピンに対する値です。VSS1-5は同じアナロググランドに接続してください。

Note 9. AVDD と DVDD1-4の電源立ち上げシーケンスを考慮する必要はありません。PDN pin=“L”の状態
で各電源を立ち上げ、全ての電源が立ち上がった後、PDN pin=“H”にしてください。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので
十分ご注意ください。

SRC特性

(Ta=25°C; AVDD=DVDD1-4=3.3V; VSS1-5=0V; Signal Frequency=1kHz; data=24bit; measurement bandwidth = 20Hz ~ FSO/2; unless otherwise specified.)

Parameter	Symbol	min	typ	max	Units
SRC Characteristics:					
Resolution				24	Bits
Input Sample Rate	FSI	8		216	kHz
Output Sample Rate	FSO	8		216	kHz
THD+N (Input = 1kHz, 0dBFS, Note 10)					
FSO/FSI = 44.1kHz/48kHz		-	-130	-	dB
FSO/FSI = 48kHz/44.1kHz		-	-124	-	dB
FSO/FSI = 48kHz/192kHz		-	-133	-	dB
FSO/FSI = 192kHz/48kHz		-	-124	-	dB
Worst Case (FSO/FSI = 32kHz/176.4kHz)		-	-	-91	dB
Dynamic Range (Input = 1kHz, -60dBFS, Note 10)					
FSO/FSI = 44.1kHz/48kHz		-	136	-	dB
FSO/FSI = 48kHz/44.1kHz		-	136	-	dB
FSO/FSI = 48kHz/192kHz		-	136	-	dB
FSO/FSI = 192kHz/48kHz		-	132	-	dB
Worst Case (FSO/FSI = 48kHz/32kHz)		132	-	-	dB
Dynamic Range (Input = 1kHz, -60dBFS, A-weighted, Note 10)					
FSO/FSI = 44.1kHz/48kHz		-	140	-	dB
Ratio between Input and Output Sample Rate	FSO/FSI	1/6		6	-

Note 10. Audio Precision System Two Cascade使用。

消費電流

(Ta= 25°C; AVDD=DVDD1-4=3.0~3.6V; VSS1-5=0V; Signal Frequency=1kHz; data=24bit; 入力3系統非同期モード (INAS pin = “H”), Output PORT: Master mode, OMCLK/XTI入力はX’tal 使用, PM2/1 pin = “H/L” 6ch original mode, unless otherwise specified.)

Parameter	min	typ	max	Units
Power Supplies				
Power Supply Current				
Normal operation (PDN pin = “H”)				
AVDD+DVDD1-4				
FSI=FSO=48kHz: AVDD=DVDD1-4=3.3V (Note 12)		33	-	mA
FSI=FSO=192kHz: AVDD=DVDD1-4=3.3V (Note 13)		84	-	mA
: AVDD=DVDD1-4=3.6V (Note 14)		85	164	mA
Power down (PDN pin = “L”) (Note 11)				
AVDD+DVDD1-4		10	100	μA

Note 11. 全てのデジタル入力ピンをVSS2-5に固定した時の値です。

Note 12. 出力ポートがスレーブモードでOMCLK/XTI入力が外部クロックで6.144MHz入力の場合は33 [mA] (typ)になります。

Note 13. 出力ポートがスレーブモードでOMCLK/XTI入力が外部クロックで6.144MHz入力の場合は82 [mA] (typ)になります。

Note 14. 出力ポートがスレーブモードでOMCLK/XTI入力が外部クロックで6.144MHz入力の場合は83 [mA] (typ)になります。

フィルタ特性

(Ta= 25°C; AVDD=DVDD1-4=3.0 ~ 3.6V)

Parameter	Symbol	min	typ	max	Units
Digital Filter					
Passband -0.01dB	0.985 ≤ FSO/FSI ≤ 6.000	PB	0		0.4583FSI kHz
	0.905 ≤ FSO/FSI < 0.985	PB	0		0.4167FSI kHz
	0.714 ≤ FSO/FSI < 0.905	PB	0		0.3195FSI kHz
	0.656 ≤ FSO/FSI < 0.714	PB	0		0.2852FSI kHz
	0.536 ≤ FSO/FSI < 0.656	PB	0		0.2182FSI kHz
	0.492 ≤ FSO/FSI < 0.536	PB	0		0.2177FSI kHz
	0.452 ≤ FSO/FSI < 0.492	PB	0		0.1948FSI kHz
	0.357 ≤ FSO/FSI < 0.452	PB	0		0.1458FSI kHz
	0.324 ≤ FSO/FSI < 0.357	PB	0		0.1302FSI kHz
	0.246 ≤ FSO/FSI < 0.324	PB	0		0.0917FSI kHz
	0.226 ≤ FSO/FSI < 0.246	PB	0		0.0826FSI kHz
	0.1667 ≤ FSO/FSI < 0.226	PB	0		0.0583FSI kHz
Stopband	0.985 ≤ FSO/FSI ≤ 6.000	SB	0.5417FSI		kHz
	0.905 ≤ FSO/FSI < 0.985	SB	0.5021FSI		kHz
	0.714 ≤ FSO/FSI < 0.905	SB	0.3965FSI		kHz
	0.656 ≤ FSO/FSI < 0.714	SB	0.3643FSI		kHz
	0.536 ≤ FSO/FSI < 0.656	SB	0.2974FSI		kHz
	0.492 ≤ FSO/FSI < 0.536	SB	0.2813FSI		kHz
	0.452 ≤ FSO/FSI < 0.492	SB	0.2604FSI		kHz
	0.357 ≤ FSO/FSI < 0.452	SB	0.2116FSI		kHz
	0.324 ≤ FSO/FSI < 0.357	SB	0.1969FSI		kHz
	0.246 ≤ FSO/FSI < 0.324	SB	0.1573FSI		kHz
	0.226 ≤ FSO/FSI < 0.246	SB	0.1471FSI		kHz
	0.1667 ≤ FSO/FSI < 0.226	SB	0.1020FSI		kHz
Passband Ripple	PR			±0.01	dB
Stopband Attenuation	0.985 ≤ FSO/FSI ≤ 6.000	SA	121.2		dB
	0.905 ≤ FSO/FSI < 0.985	SA	121.4		dB
	0.714 ≤ FSO/FSI < 0.905	SA	115.3		dB
	0.656 ≤ FSO/FSI < 0.714	SA	116.9		dB
	0.536 ≤ FSO/FSI < 0.656	SA	114.6		dB
	0.492 ≤ FSO/FSI < 0.536	SA	100.2		dB
	0.452 ≤ FSO/FSI < 0.492	SA	103.3		dB
	0.357 ≤ FSO/FSI < 0.452	SA	102.0		dB
	0.324 ≤ FSO/FSI < 0.357	SA	103.6		dB
	0.246 ≤ FSO/FSI < 0.324	SA	103.3		dB
0.226 ≤ FSO/FSI < 0.246	SA	101.5		dB	
0.1667 ≤ FSO/FSI < 0.226	SA	73.2		dB	
Group Delay	(Note 15) GD	-	64	-	1/fs

Note 15. ILRCKとOLRCKの位相ずれがない時の、SDTIのデータが入力された後のILRCKの立ち上がりから、SDTOデータを出力する前のOLRCKの立ち上がりまでの期間です。

DC特性

(Ta= 25°C; AVDD=DVDD1-4=3.0 ~ 3.6V)

Parameter	Symbol	min	typ	max	Units
High-Level Input Voltage	V _{IH}	70%DVDD1-4	-	-	V
Low-Level Input Voltage	V _{IL}	-	-	30%DVDD1-4	V
High-Level Output Voltage SDA pin以外 (I _{out} =-400μA)	V _{OH}	DVDD1-4 -0.4	-	-	V
Low-Level Output Voltage SDA pin以外 (I _{out} =400μA)	V _{OL}	-	-	0.4	V
SDA pin (I _{out} =3mA)	V _{OL}	-	-	0.4	V
Input Leakage Current	I _{in}	-	-	±10	μA

スイッチング特性

(Ta= 25°C; AVDD=DVDD1-4=3.0 ~ 3.6V; C_L=20pF)

Parameter	Symbol	min	typ	max	Units
Master Clock Timing					
Crystal Oscillator Frequency	fXTAL	11.2896		24.576	MHz
IMCLK Input Frequency	fECLK	1.024		36.864	MHz
Duty	dECLK	40	50	60	%
OMCLK Input 128 FSO :	fCLK	1.024		27.648	MHz
Pulse Width Low	tCLKL	13			ns
Pulse Width High	tCLKH	13			ns
256 FSO :	fCLK	2.048		27.648	MHz
Pulse Width Low	tCLKL	13			ns
Pulse Width High	tCLKH	13			ns
384 FSO :	fCLK	3.072		36.864	MHz
Pulse Width Low	tCLKL	10			ns
Pulse Width High	tCLKH	10			ns
512 FSO :	fCLK	4.096		27.648	MHz
Pulse Width Low	tCLKL	13			ns
Pulse Width High	tCLKH	13			ns
768 FSO :	fCLK	6.144		36.864	MHz
Pulse Width Low	tCLKL	10			ns
Pulse Width High	tCLKH	10			ns
MCKO Output Frequency	fMCK	1.024		36.864	MHz
Duty (Note 16)	dMCLK	40	50	60	%

Note 16. 出力ポートのマスタクロックを水晶振動子で供給する場合のMCKO出力Dutyです。

Input PORT LRCK for Stereo Mode (ILRCK1-3)					
Frequency	FSI	8		216	kHz
Duty Cycle	Duty	48	50	52	%
Slave Mode					
Output PORT LRCK for StereoMode (OLRCK)					
Frequency					
Slave mode	FSO	8		216	kHz
Master mode OMCLK入力 128FSO mode	FSO	8		216	kHz
Master mode OMCLK入力 256FSO mode	FSO	8		108	kHz
Master mode OMCLK入力 384FSO mode	FSO	8		96	kHz
Master mode OMCLK入力 512FSO mode	FSO	8		54	kHz
Master mode OMCLK入力 768FSO mode	FSO	8		48	kHz
Duty Cycle	Duty	48	50	52	%
Slave Mode					
Master Mode	Duty		50		%
Input PORT LRCK for TDM256 Mode (ILRCK1) (INAS pin = "L")					
Frequency	FSI	8		48	kHz
"H" time (slave mode)	tLRH	1/256FSI			ns
"L" time (slave mode)	tLRL	1/256 FSI			ns
Output PORT LRCK for TDM256 Mode (OLRCK)					
Frequency	FSO	8		48	kHz
"H" time (slave mode)	tLRH	1/256 FSO			ns
"L" time (slave mode)	tLRL	1/256 FSO			ns
"H" time (Master mode, TDM256 24bit MSB justified)	tLRH	-	1/8 FSO	-	ns
"L" time (Master mode, TDM256 24bit I ² S)	tLRL	-	1/8 FSO	-	ns
Audio Interface Timing					
Input PORT (Stereo Slave mode)					
IBICK1-3 Period (FSI= 8kHz ~ 54kHz)	tBCK	1/256 FSI			ns
(FSI=54kHz ~ 108kHz)	tBCK	1/128 FSI			ns
(FSI=108kHz ~ 216kHz)	tBCK	1/64 FSI			ns
IBICK1-3 Pulse Width Low	tBCKL	27			ns
Pulse Width High	tBCKH	27			ns
ILRCK1-3 Edge to IBICK1-3 "↑"(Note 17)	tLRB	15			ns
IBICK1-3 "↑" to ILRCK1-3 Edge (Note 17)	tBLR	15			ns
SDTI1-3 Hold Time from IBICK1-3 "↑"	tSDH	15			ns
SDTI1-3 Setup Time to IBICK1-3 "↑"	tSDS	15			ns
Input PORT (TDM256 slave mode)					
IBICK1 Period	tBCK	81			ns
IBICK1 Pulse Width Low	tBCKL	32			ns
Pulse Width High	tBCKH	32			ns
ILRCK1 Edge to IBICK1 "↑" (Note 17)	tLRB	20			ns
IBICK1 "↑" to ILRCK1 Edge (Note 17)	tBLR	20			ns
SDTI1 Hold Time from IBICK1 "↑"	tSDH	20			ns
SDTI1 Setup Time to IBICK1 "↑"	tSDS	10			ns
Output PORT (Stereo Slave mode)					
OBICK Period (FSO= 8kHz ~ 54kHz)	tBCK	1/256 FSO			ns
(FSO= 54kHz ~ 108kHz)	tBCK	1/128 FSO			ns
(FSO=108kHz ~ 216kHz)	tBCK	1/64 FSO			ns
OBICK Pulse Width Low	tBCKL	27			ns
Pulse Width High	tBCKH	27			ns
OLRCK Edge to OBICK "↑" (Note 17)	tLRB	20			ns
OBICK "↑" to OLRCK Edge (Note 17)	tBLR	20			ns
OLRCK to SDTO1-3 (MSB) (Except I ² S mode)	tLRS			20	ns
OBICK "↓" to SDTO1-3	tBSD			20	ns

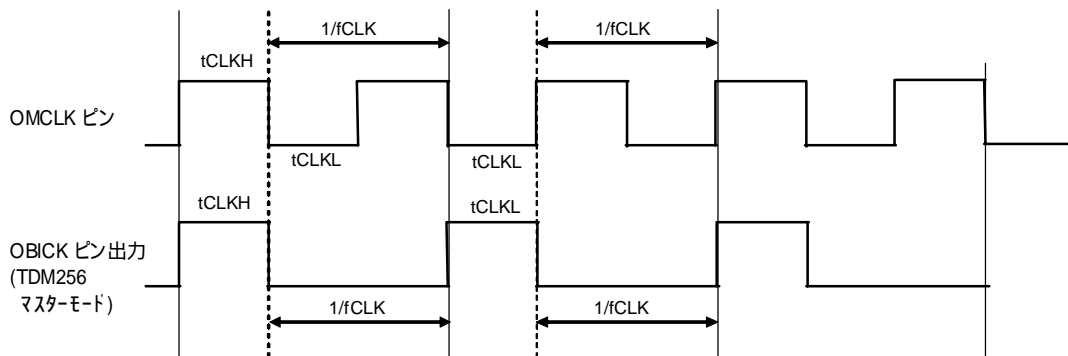
Output PORT (TDM256 slave mode)					
OBICK Period	tBCK	81			ns
OBICK Pulse Width Low	tBCKL	32			ns
Pulse Width High	tBCKH	32			ns
OLRCK Edge to OBICK “↑” (Note 17)	tLRB	20			ns
OBICK “↑” to OLRCK Edge (Note 17)	tBLR	20			ns
OBICK “↓” to SDTO1	tBSD			20	ns
Output PORT (Stereo Master mode)					
OBICK Frequency	fBCK		64 FSO		Hz
OBICK Duty	dBCK		50		%
OBICK “↓” to OLRCK Edge	tMBLR	-20		20	ns
OBICK “↓” to SDTO1-3	tBSD	-20		20	ns
Output PORT (TDM256 master mode)					
OBICK Frequency	fBCK	-	256 FSO	-	Hz
OBICK Duty	dBCK	-	50 (Note 19)	-	%
OBICK “↓” to OLRCK Edge	tMBLR	-10	-	10	ns
OBICK “↓” to SDTO1	tBSD	-20		20	ns
Reset Timing					
PDN Pulse Width (Note 18)	tPD	150			ns

Note 17. この規格値はLRCKのエッジとBICKの“↑”が重ならないように規定しています。

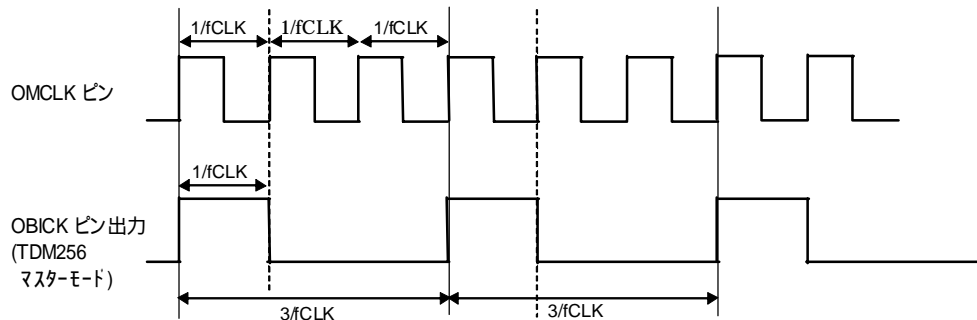
Note 18. AK4129はPDN pin = “L”でリセットされます。

Note 19. OMCLK=512FSOの場合です。OMCLK=256FSOの場合はOMCLKクロックがスルーしOBICK pinから出力されます。OMCLK=384FSOの場合、
 $dBCK = (tCLKH)/(tCLKH + 1/fCLK) \times 100$ [%]あるいは $(tCLKL)/(tCLKL + 1/fCLK) \times 100$ [%]です。
 OMCLK=768FSOの場合、 $dBCK = (1/fCLK)/(3/fCLK) \times 100$ [%]です。

OMCLK=384FSOの場合



OMCLK=768FSOの場合



Parameter	Symbol	min	typ	max	Units
Control Interface Timing (I²C Bus):					
SCL Clock Frequency	fSCL	-		400	kHz
Bus Free Time Between Transmissions	tBUF	1.3		-	μs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6		-	μs
Clock Low Time	tLOW	1.3		-	μs
Clock High Time	tHIGH	0.6		-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.6		-	μs
SDA Hold Time from SCL Falling (Note 20)	tHD:DAT	0		-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1		-	μs
Rise Time of Both SDA and SCL Lines	tR	-		0.3	μs
Fall Time of Both SDA and SCL Lines	tF	-		0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6		-	μs
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0		50	ns
Capacitive load on bus	Cb	-		400	pF

Note 20. データは最低300ns (SCLの立ち下がり時間)の間保持されなければなりません。

■ タイミング波形

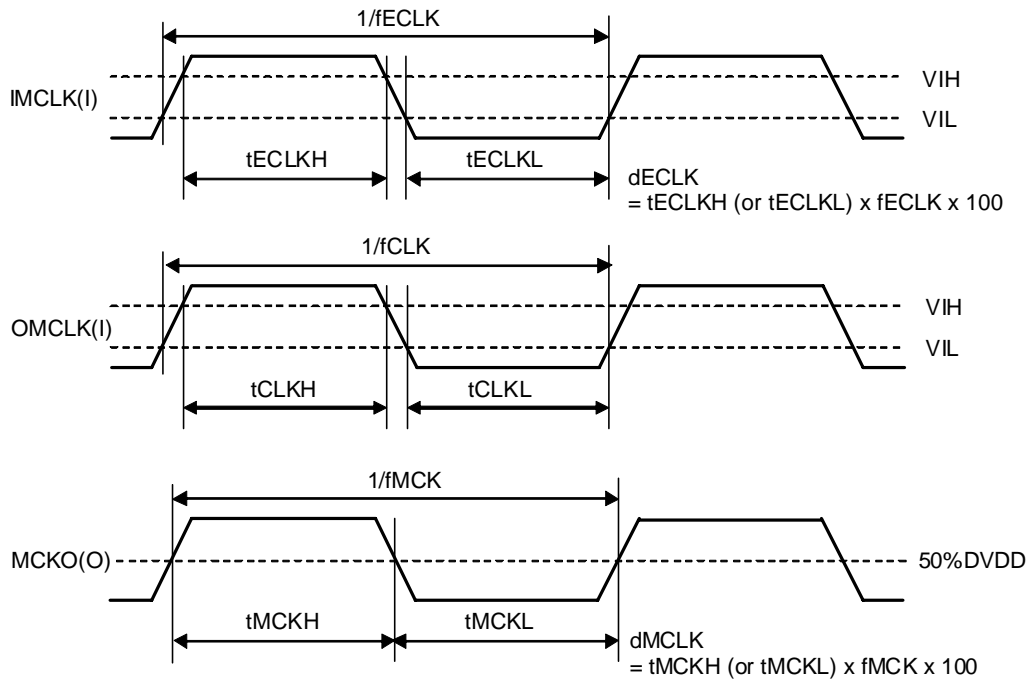
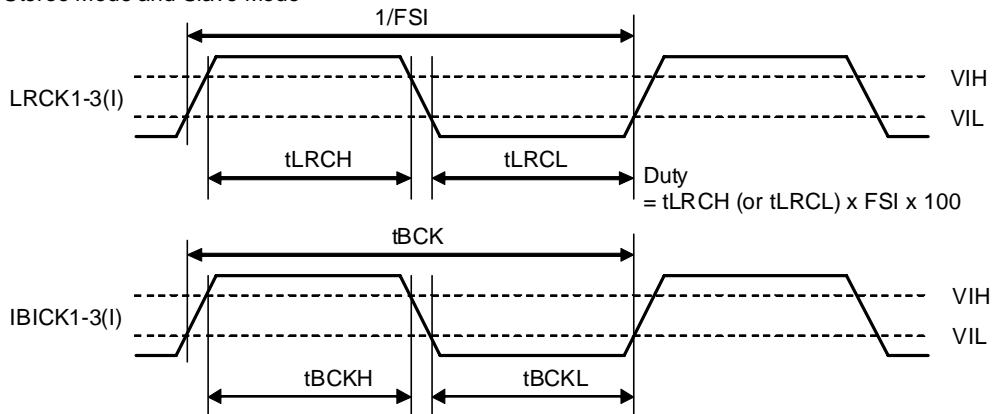


Figure 5. IMCLK, OMCLK, MCKO Clock Timing

・ Stereo Mode and Slave Mode



・ TDM256 Mode and Slave Mode

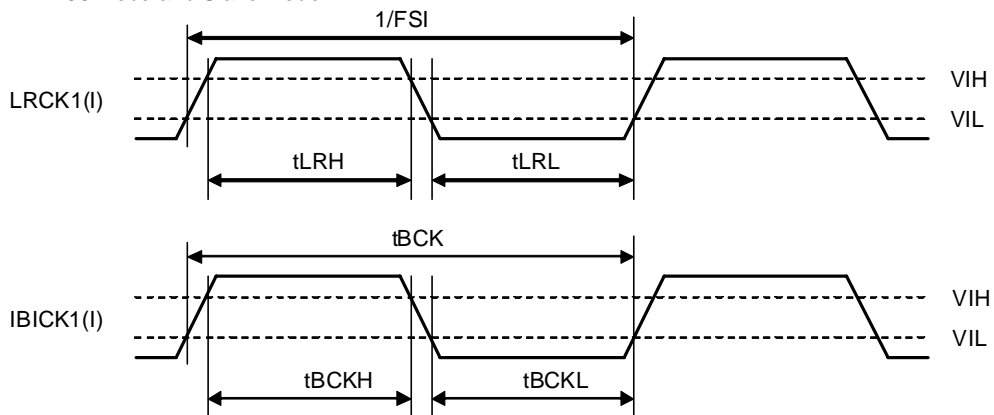


Figure 6. ILRCK1-3 IBICK1-3 Clock Timing

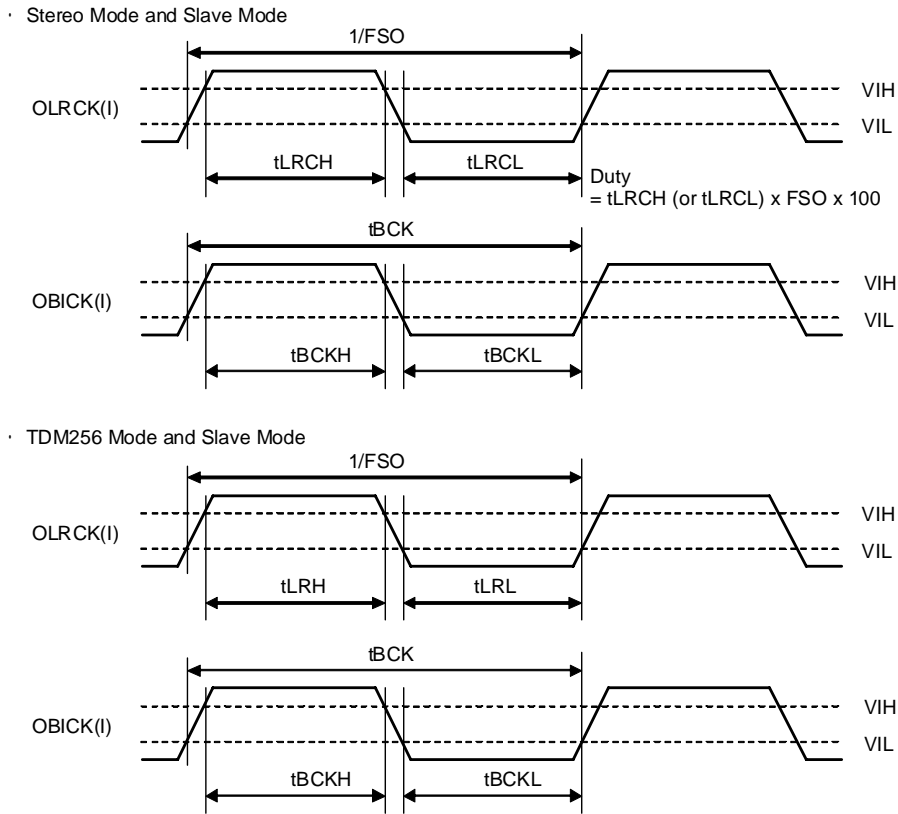


Figure 7. OLRCK, OBICK, Clock Timing (Slave Mode)

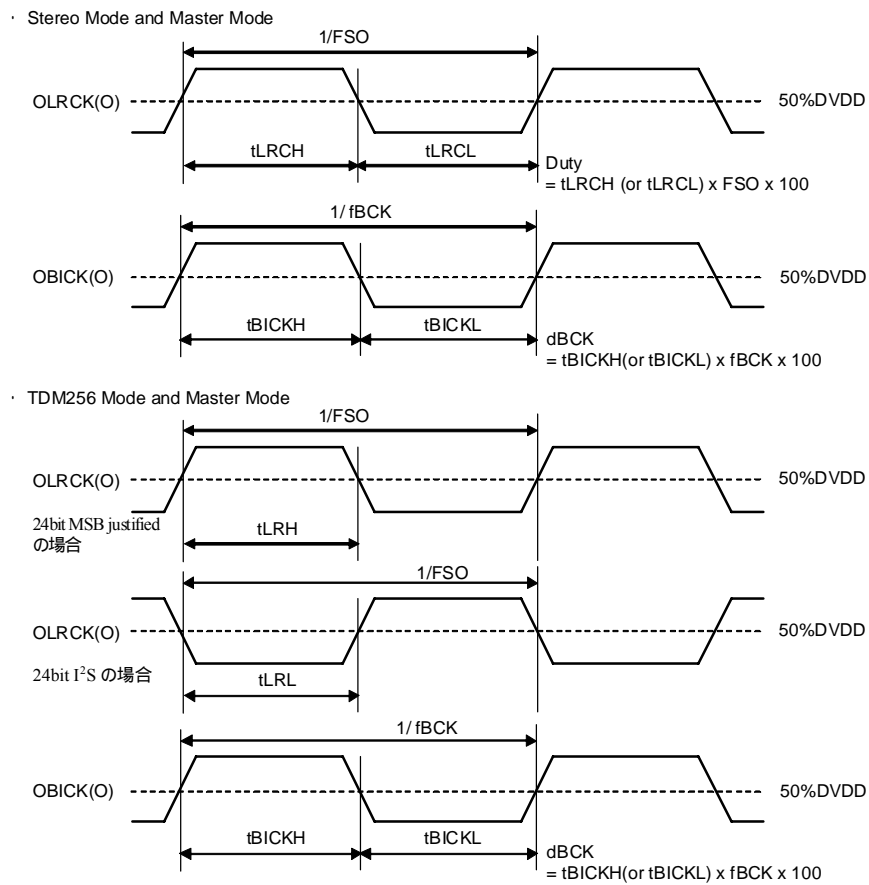


Figure 8. OLRCK, OBICK, Clock Timing (Master Mode)

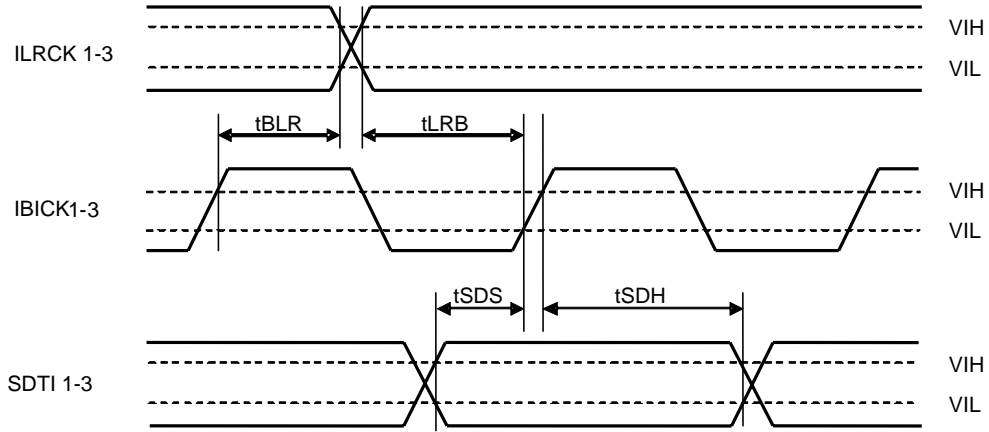


Figure 9. Input PORT Audio Interface Timing (Stereo Slave mode and TDM256 Slave Mode)

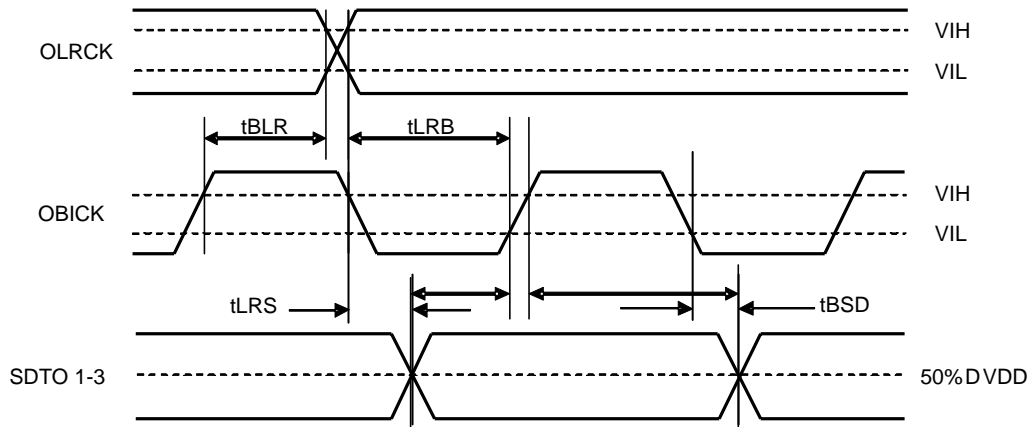


Figure 10. Output PORT Audio Interface Timing (TDM256 Slave mode & Stereo Slave mode)

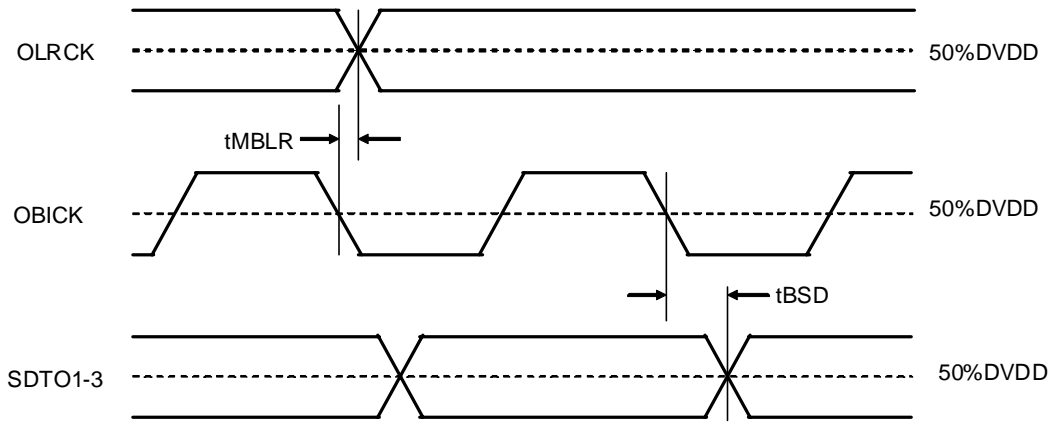


Figure 11. Output PORT Audio Interface Timing (TDM256 Master mode & Stereo Master mode)

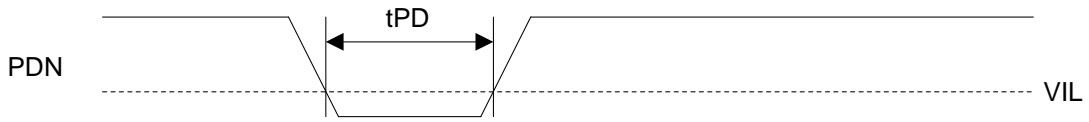


Figure 12. Power Down Timing

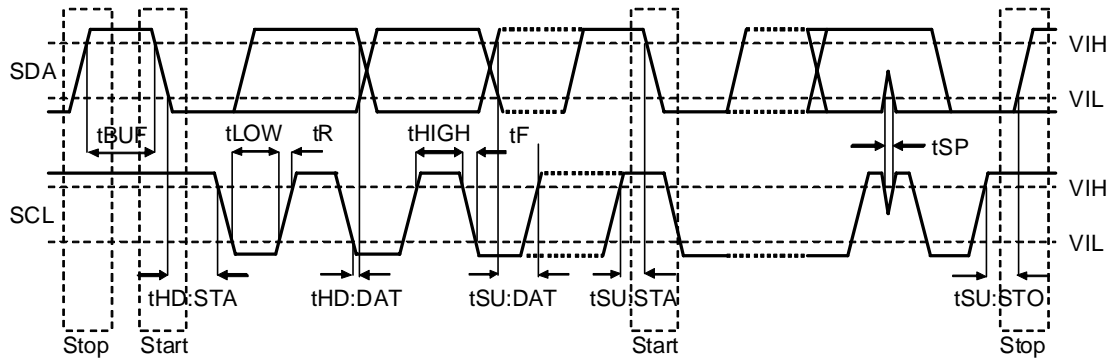


Figure 13. I²C Bus タイミング

動作説明

■ 同期モード・非同期モードの設定

AK4129は、INAS pinの設定により、入力データ間の同期モードもしくは非同期モードを選択することができます。INAS pinを“L”に設定すると入力3系統同期モード、INAS pinを“H”に設定すると入力3系統非同期モードになります。

FSI pin	Mode	Data	LRCK	BICK
L	同期	SDTI1	ILRCK1 (Note 21)	IBICK1 (Note 22)
		SDTI2		
		SDTI3		
H	非同期	SDTI1	ILRCK1	IBICK1
		SDTI2	ILRCK2	IBICK 2
		SDTI3	ILRCK3	IBICK 3

Note 21. ILRCK2-3はVSS2-5に接続してください。

Note 22. IBICK2-3はVSS2-5に接続してください。

Table 1. Input Data Synchronous/Asynchronous Mode Setting

■ 入力ポートのオーディオインタフェースフォーマット

入力ポートのオーディオインタフェースフォーマットは、全モードともMSBファースト、2's complementのデータフォーマットで、SDTI1, SDTI2, SDTI3はそれぞれBICK1, IBICK2, IBICK3の立ち上がりでラッチされます。

パラレルコントロールモード(SPB pin=“L”)時、SRC1~3の入力ポートのオーディオインタフェースフォーマット設定は全てIDIF2-0 pinにより設定されます。IDIF2-0 pinは、PDN pin=“L”中に変更して下さい。

シリアルコントロールモード(SPB pin=“H”)時、IDIF2-0 pin の設定は無視されます。IDIF[12:10] bit の設定がSRC1に、IDIF[22:20] bit の設定がSRC2に、IDIF[32:30] bit の設定がSRC3に反映されます。

IDIF[12:10] bit は、SMUTE1 bit=“1”あるいは SMUTE pin=“H”でソフトミュートし、SDTO1出力コードがオールゼロになった後、変更してください。IDIF[22:20] bit は、SMUTE2 bit=“1”あるいは SMUTE pin=“H”でソフトミュートし、SDTO2出力コードがオールゼロになった後、変更してください。IDIF[32:30] bit は、SMUTE3 bit=“1”あるいは SMUTE pin=“H”でソフトミュートし、SDTO3出力コードがオールゼロになった後、変更してください。

Mode 5/6のTDM mode は、入力3系統同期モード(INAS pin=“L”)で設定可能です。6ch分のシリアルデータをSDTI1から入力してください。TDM modeでは、SDTI2-3はデバイス内部では無視されます。VSS2-5に接続してください。

入力3系統非同期モード(INAS pin=“H”)はTDM modeに対応していないため、SDTI1-3データが正しく取り込まれず正常動作しません。AK4129を入力3系統非同期モード(INAS pin=“H”)で使用する場合はTDM mode以外で使用してください。IBICK1-3の最大入力周波数は、256FSIです。

Mode	IDIF2 Pin (Note 23)	IDIF1 Pin (Note 23)	IDIF0 Pin (Note 23)	SDTI1-3 Format	ILRCK 1-3	IBICK 1-3	IBICK1-3 Freq
0	L	L	L	16bit, LSB justified	Input	Input	≥ 32FSI
1	L	L	H	20bit, LSB justified			≥ 40FSI
2	L	H	L	24bit, MSB justified			≥ 48FSI
3	L	H	H	24/16bit, I ² S Compatible 16bit, I ² S Compatible			≥ 48FSI 32FSI
4	H	L	L	24bit, LSB justified			≥ 48FSI
5	H	L	H	TDM 24bit, MSB justified			256FSI
6	H	H	X	TDM 24bit, I ² S Compatible	256FSI		

Table 2. Input PORT Audio Interface Format (Parallel Control mode, SPB pin=“L”) (X: Don’t care)

Note 23. シリアルコントロールモード(SPB pin=“H”)時、IDIF2-0 pin の設定は無視されます。IDIF[12:10] bitの設定がSRC1に、IDIF[22:20] bitの設定がSRC2に、IDIF[32:30] bitの設定がSRC3に反映されます。

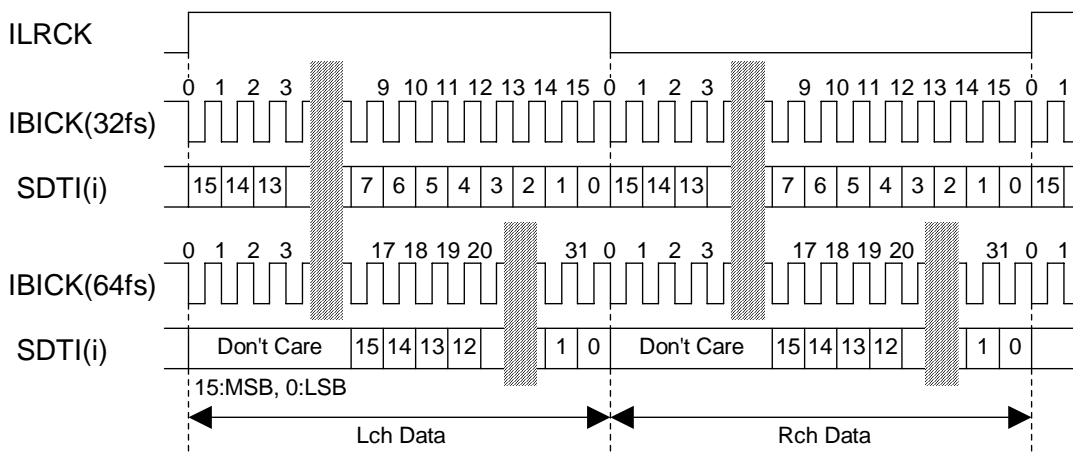


Figure 14. Mode 0 Timing (16bit, LSB justified)

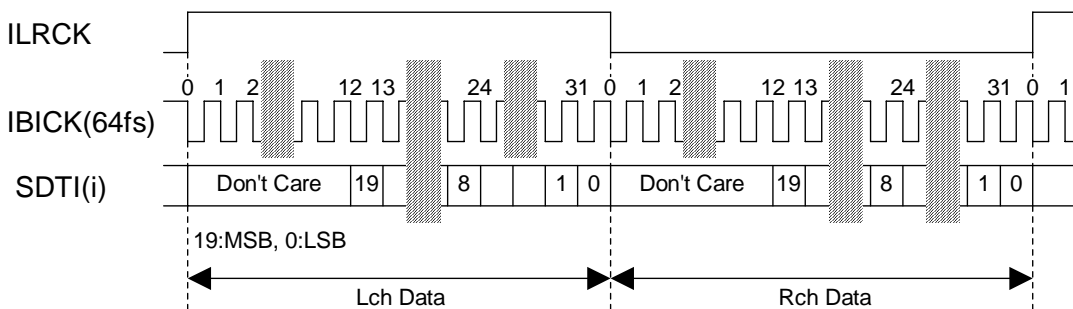


Figure 15. Mode 1 Timing (20bit, LSB justified)

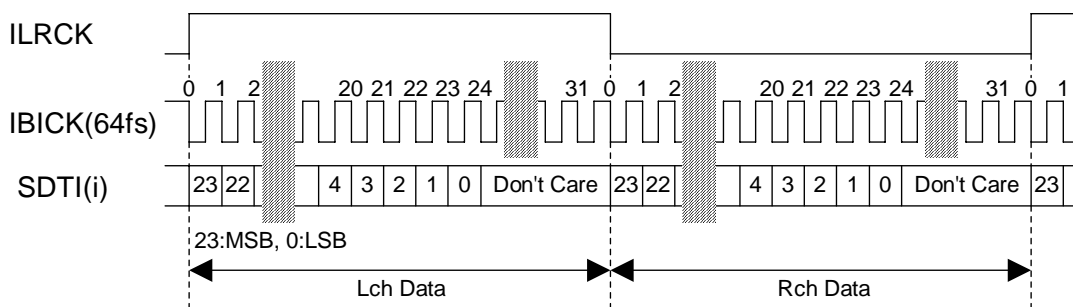


Figure 16. Mode 2 Timing (24bit, MSB justified)

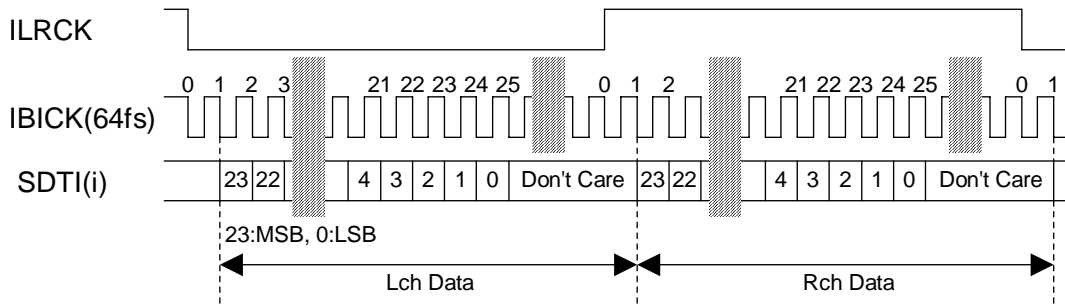


Figure 17. Mode 3 Timing (24bit I²S)

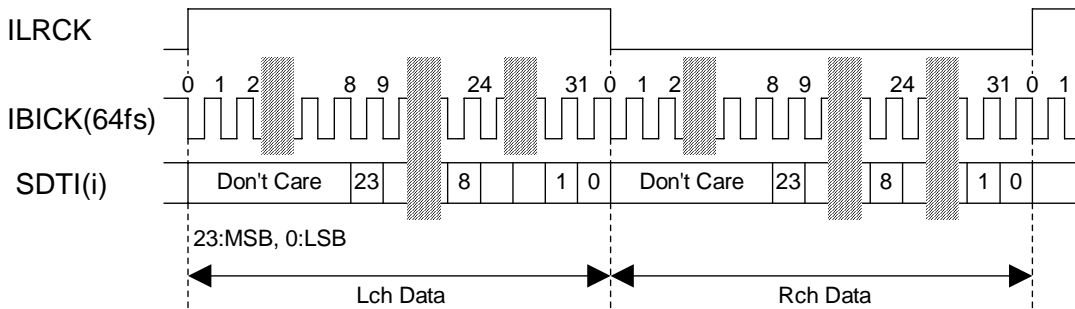


Figure 18. Mode 4 Timing (24bit, LSB justified)

Note : SDTIはSDTI1, SDTI2, SDTI3を、ILRCKはILRCK1, ILRCK2, ILRCK3を、IBICKはIBICK1, IBICK2, IBICK3をそれぞれ表しています。

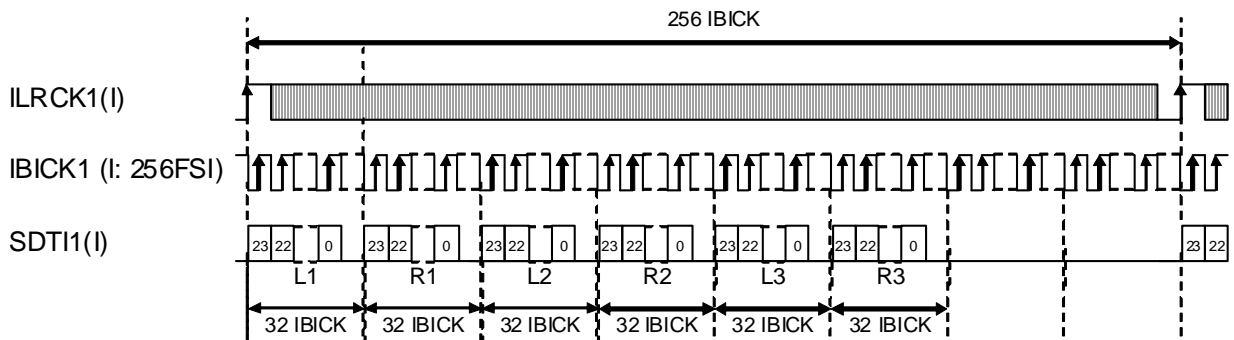


Figure 19. Mode 5 Timing (TDM, 24bit, MSB justified, SDTI2-3: Don't care)

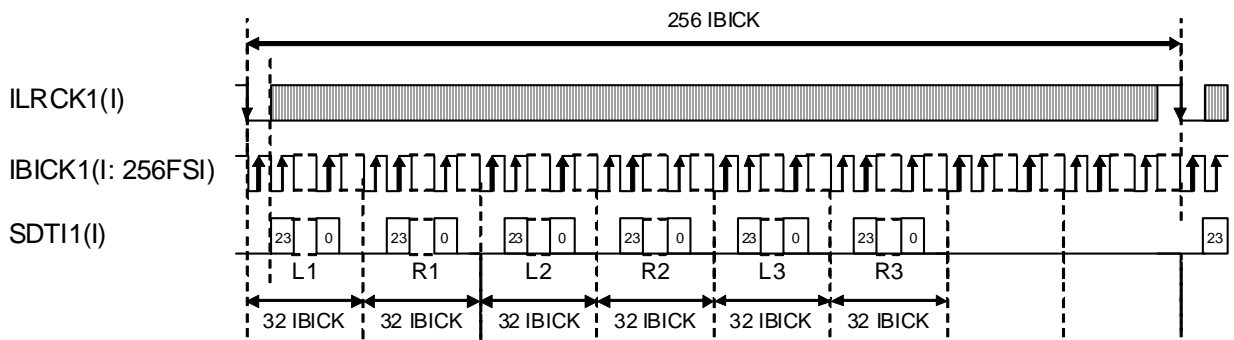


Figure 20. Mode 6 Timing (TDM, I²S, SDTI2-3: Don't care)

■ 出力ポートのシステムクロックとモード設定

出力ポートはマスタモード及びスレーブモードで動作可能です。マスタ/スレーブモードおよびSRCバイパスモードの選択はCM2-0 pinにより行います。

Mode	CM2 pin	CM1 pin	CM0 pin	Master / Slave	OMCLK/XTI 入力	MCKO出力	FSO	水晶使用時のFSO
0	L	L	L	Master	256FSO	256FSO	8k~108kHz	44.1~96kHz
1	L	L	H	Master	384FSO	384FSO	8k~96kHz	29.4~64kHz
2	L	H	L	Master	512FSO	512FSO	8k~54kHz	22.05~48kHz
3	L	H	H	Master	768FSO	768FSO	8k~48kHz	14.7~32kHz
4	H	L	L	Slave	Not used. (Note 24)	OMCLK入力 クロック	8k~216kHz	-
5	H	L	H	Master	128FSO (Note 25)	128FSO	8k~216kHz	88.2~192kHz
6	H	H	L	Slave(Bypass)	Not used. (Note 24)	IMCLK入力 クロック	8k~216kHz	-
7	H	H	H	Master(Bypass)				

Note 24. クロック入力あるいはVSS2-5pin に接続してください。Mode 4 の場合OMCLK/XTI入力をVSS2-5に接続するとMCKO出力は“L”になります。OMCLK/XTI pinへクロック入力するとそのクロックがスルーしてMCKOから出力されます。Mode 6, 7の場合OMCLK/XTI入力はデバイス内部では無視されます。

Note 25. このモードは出力ポートのTDM Mode非対応です。

Table 3. Output PORT Master/Slave/ Bypass Mode Control (SPB pin = “L”)

シリアルコントロールモード(SPB pin = “H”)時、BYPSS bit によりSRCバイパスモードとSRC modeの設定が可能です。BYPSS bit のDefaultは、“0”(SRC mode)です。

Mode	CM2 pin	CM1 pin	CM0 pin	BYPSS bit	Master / Slave	OMCLK/XTI 入力	MCKO 出力	FSO	水晶使用時のFSO
0	L	L	L	0	Master	256FSO	256FSO	8~108kHz	44.1~96kHz
1	L	L	H	0	Master	384FSO	384FSO	8~96kHz	29.4~64kHz
2	L	H	L	0	Master	512FSO	512FSO	8~54kHz	22.05~48kHz
3	L	H	H	0	Master	768FSO	768FSO	8k~48kHz	14.7~32kHz
4	H	L	L	0	Slave	Not used. (Note 26)	OMCLK 入力 クロック	8~216kHz	-
5	H	L	H	0	Master	128FSO (Note 25)	128FSO	8~216kHz	88.2~192kHz
6	H	H	L	0	Slave (Bypass)	Not used. (Note 26)	IMCLK 入力 クロック	8~216kHz	-
7	H	H	H	0	Master (Bypass)				
8	L	L	L	1	Master (Bypass)				
9	L	L	H	1	Master (Bypass)				
10	L	H	L	1	Master (Bypass)				
11	L	H	H	1	Master (Bypass)				
12	H	L	L	1	Slave (Bypass)				
13	H	L	H	1	Master (Bypass)				
14	H	H	L	1	Slave (Bypass)				
15	H	H	H	1	Master (Bypass)				

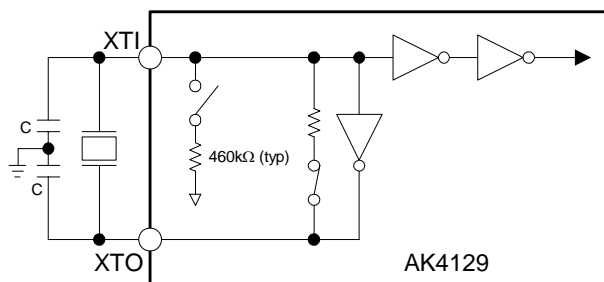
Note 26. クロック入力あるいはVSS2-5 pin に接続してください。Mode 4 の場合OMCLK/XTI入力をVSS2-5に接続するとMCKO出力は“L”になります。OMCLK/XTI pinへクロック入力するとそのクロックがスルーしてMCKOから出力されます。Mode 6~15の場合OMCLK/XTI入力はデバイス内部では無視されます。

Table 4. Output PORT Master/Slave/ Bypass Mode Control (SPB pin = “H”)

(1) マスタモード

マスタモード時は、OLRCK pin とOBICK pin は出力ピンです。OMCLK/XTI pinよりマスタクロックを供給します。OMCLK/XTI pinには、以下の方法でクロックの供給が可能です。バイパスモード時はIMCLK pinへの入力 がMCKO pinへ出力されます。

a. X'tal を使う場合



Note: コンデンサの値はTable 5を参照。

PDN pin=“L”時、
OMCLK/XTI pinは
プルダウンされます。

Figure 21. X'tal Mode

公称周波数 [MHz]	11.2896	12.288	24.576
直列等価抵抗R1[Ω] max	60		
外付けコンデンサC[pF] max	15		

Table 5. 外付けX'talの直列等価抵抗(R1)と外付けコンデンサ(C)

OMCLK入力 256FSOモードでX'talモードの場合、FSOの範囲は44.1kHz ~ 96kHzです。
OMCLK入力 384FSOモードでX'talモードの場合、FSOの範囲は29.4kHz ~ 64kHzです。
OMCLK入力 512FSOモードでX'talモードの場合、FSOの範囲は22.05kHz ~ 48kHzです。
OMCLK入力 768FSOモードでX'talモードの場合、FSOの範囲は14.7kHz ~ 32kHzです。
OMCLK入力 128FSOモードでX'talモードの場合、FSOの範囲は88.2kHz ~ 192kHzです。

b. 外部クロックを使う場合

- Note: DVDD1-4以上のクロックは入力しないで下さい。

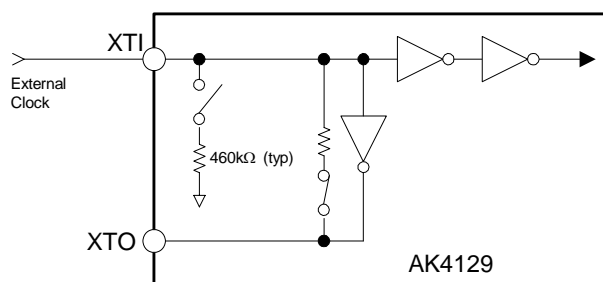


Figure 22. External Clock (OMCLK) mode

(2)スレーブモード

スレーブモード時は、OLRCK pin とOBICK pin は入力ピンです。

(3) SRCパイパスモード

SRCパイパスモードは、入力3系統同期モード(INAS pin = “L”) で設定可能です。入力3系統非同期モード(INAS pin = “H”) ではSRCパイパスモードに対応していないため、SDTI1→SDTO1, SDTI2→SDTO2, SDTI3→SDTO3が、正しくデータ転送されず正常にバイパスされません。入力3系統非同期モード(INAS pin = “H”) ではSRC modeで使用してください。

スレープモードのSRCパイパスモードでは、入力ポートのデータSDTI1-3は、Table 2 のオーディオインターフェイスフォーマットにしたがってILRCK1とIBICK1クロックによりデバイス内部に取り込まれます。出力ポートのデータSDTO1-3は、Table 6, Table 7 のオーディオインターフェイスフォーマットにしたがってOLRCK pin とOBICK pin から出力されます。IBICK1とOBICKは位相を合わせる必要はありませんが、互いに同期している必要があります。ILRCK1とOLRCKも位相を合わせる必要はありませんが、互いに同期している必要があります。

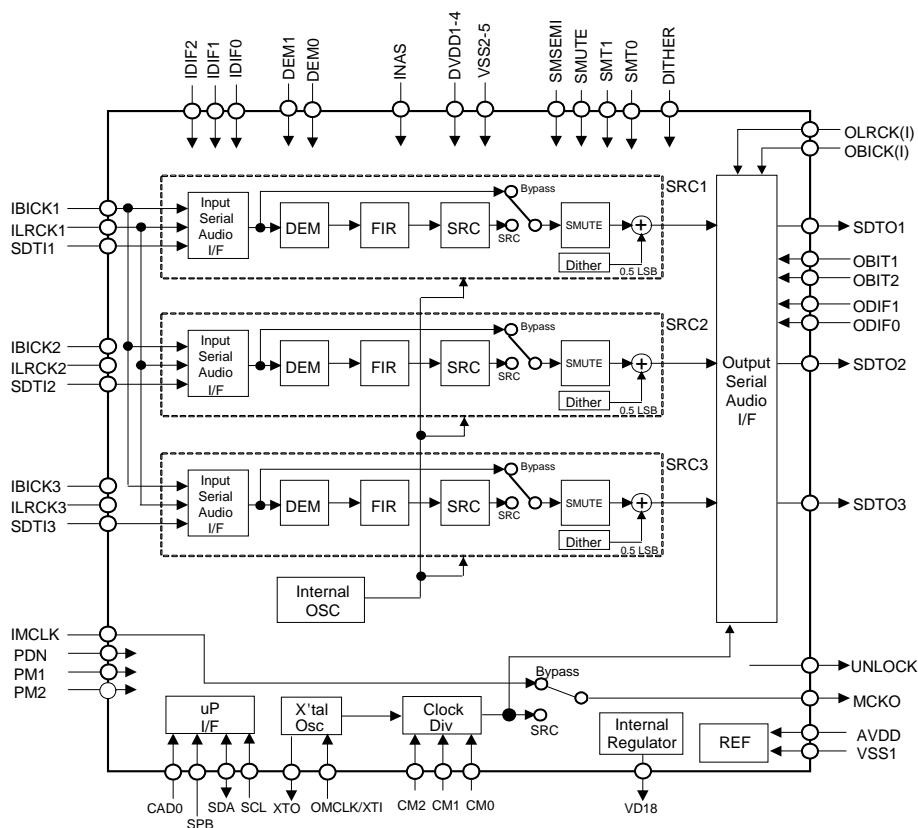


Figure 23. スレープモードのSRCパイパスモード (Synchronous mode INAS pin = “L”)

マスタモードのSRCバイパスモードでは、入力ポートのデータSDTI1-3は、Table 3 のオーディオインタフェースフォーマットにしたがってILRCK1と IBICK1クロックによりデバイス内部に取り込まれます。出力ポートのデータSDTO1-3は、Table 6, Table 7 のオーディオインタフェースフォーマットにしたがってILRCK1と IBICK1 クロックにより出力されます。ILRCK1がスルーしOLRCK pin から出力されます。IBICK1がスルーしOBICK pin から出力されます。

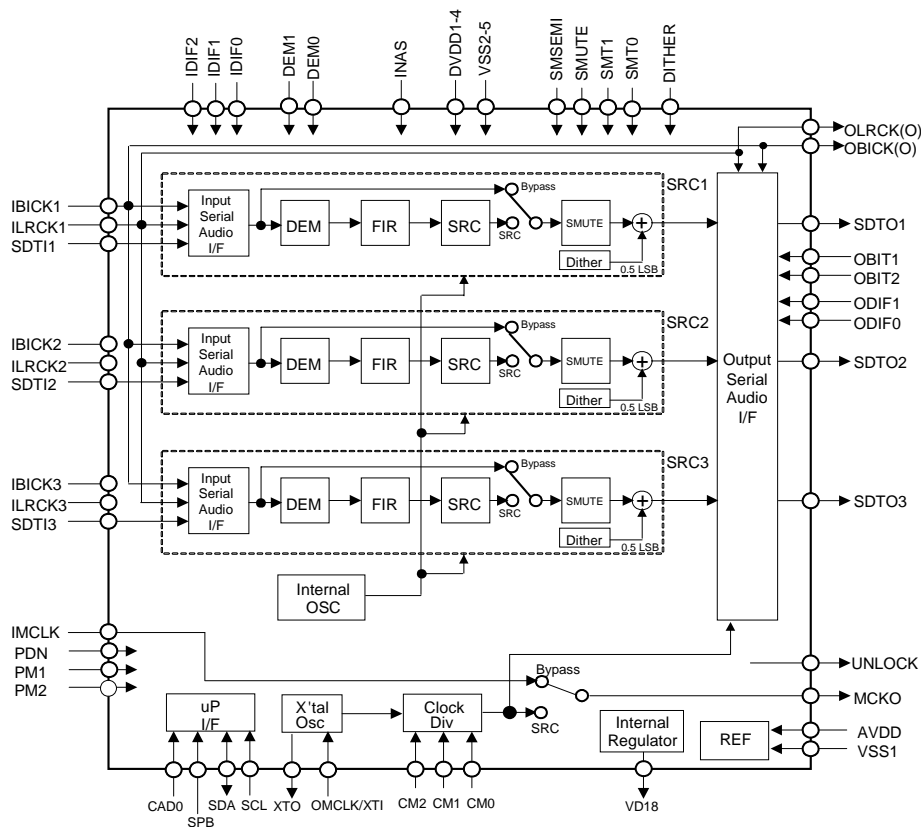


Figure 24. マスタモードのSRCバイパスモード (Synchronous mode INAS pin = “L”)

■ 出力ポートのオーディオインタフェースフォーマット

出力ポートのオーディオインタフェースフォーマットはODIF1-0 pin、OBIT1-0 pinにて設定します。全モードともMSBファースト、2'sコンプリメントのデータフォーマットで、SDTO1-3はOBICKの立ち下がり出力されます。出力ポートのオーディオインタフェースフォーマットの変更はPDN pin = “L”中に設定して下さい。バイパスモード時のスレーブモードでは、IBICK1とOBICKは位相を合わせる必要はありませんが、互いに同期している必要があります。ILRCK1とOLRCKも位相を合わせる必要はありませんが、互いに同期している必要があります。SDTO1, SDTO2, SDTO3のオーディオインタフェースフォーマットは、ODIF1-0 pinとOBIT1-0 pinとTDM pinにより一括設定されます。TDM pin= “H”に設定することにより出力ポートはTDM modeになります。TDM mode では、SDTO1から6ch分のシリアルデータが出力され、SDTO2-3出力は“L”になります。

Mode	TDM pin	ODIF1 pin	ODIF0 pin	SDTO1-3 Format
0	L	L	L	LSB justified
1	L	L	H	Reserved
2	L	H	L	MSB justified
3	L	H	H	I ² S Compatible
4	H	L	L	Reserved
5	H	L	H	Reserved
6	H	H	L	TDM256 mode 24bit MSB justified
7	H	H	H	TDM256 mode 24bit I ² S Compatible

Table 6. Output PORT Audio Interface Format 1

Mode	TDM pin	Master / Slave setting	OBIT1 pin	OBIT0 pin	SDTO 1-3	OLRCK	OBICK	OBICK Frequency	
								MSB justified, I ² S	LSB justified
0	L	Slave (CM2-0 = “HLL” or “HHL”)	L	L	16bit	Input	Input	≥ 32FSO	64FSO
1			L	H	18bit			≥ 36FSO	
2			H	L	20bit			≥ 40FSO	
3			H	H	24bit			≥ 48FSO	
4		Master (CM2-0 = “HLL”/“HHL” 以外)	L	L	16bit	Output	Output	64FSO	
5			L	H	18bit				
6			H	L	20bit				
7	H	H	H	24bit					
8	H	Slave (CM2-0 = “HLL” or “HHL”)	*	*	TDM256 mode 24bit	Input	Input	256FSO	
9									
10									
11									
12		Master (CM2-0 = “HLL”/“HHL” 以外)	*	*	TDM256 mode 24bit	Output	Output	256FSO	
13									
14									
15									

Table 7. Output PORT Audio Interface Format 2

(*、TDM mode では、1ch分のデータ長は24bitに固定されます。OBIT1/0 pinの設定はデバイス内部では無視されます。VSS2-5に接続してください。)

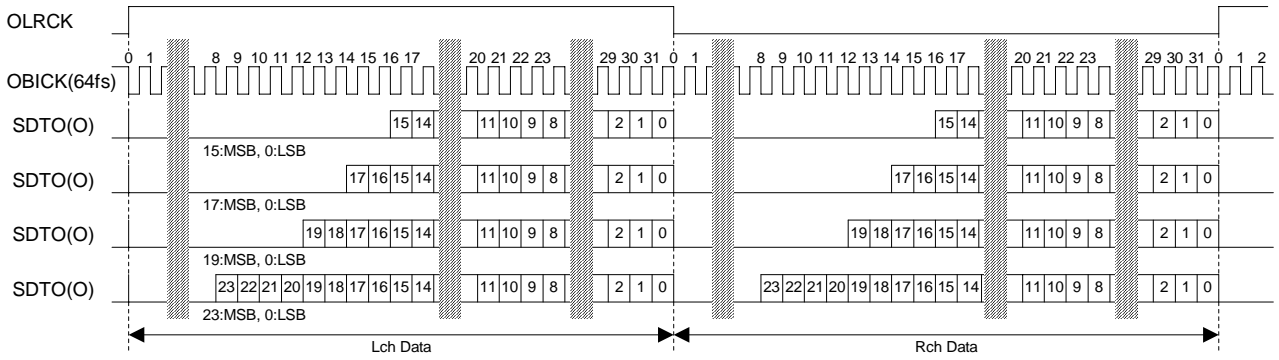


Figure 25. Stereo Mode LSB justified Timing

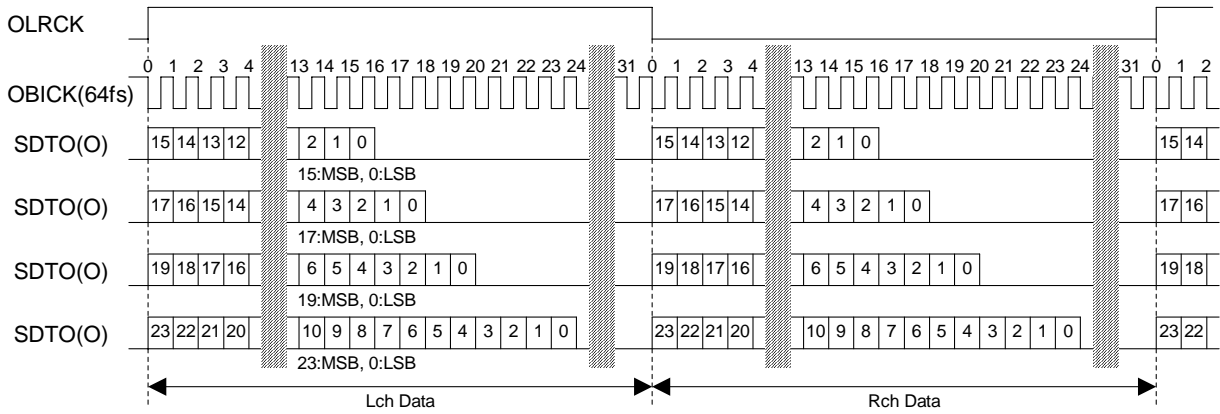


Figure 26. Stereo Mode MSB justified Timing

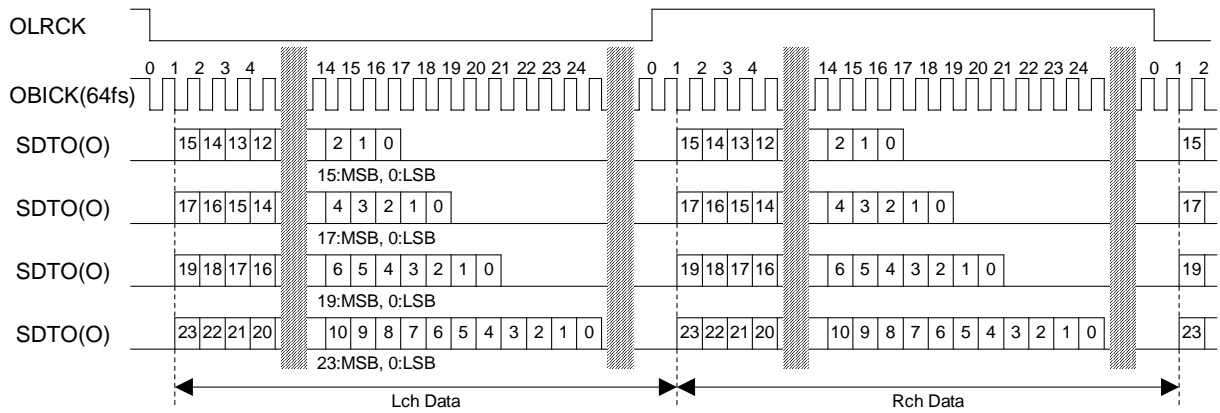


Figure 27. Stereo Mode I²S Compatible Timing

Note : SDTOはSDTO1, SDTO2, SDTO3を表しています。

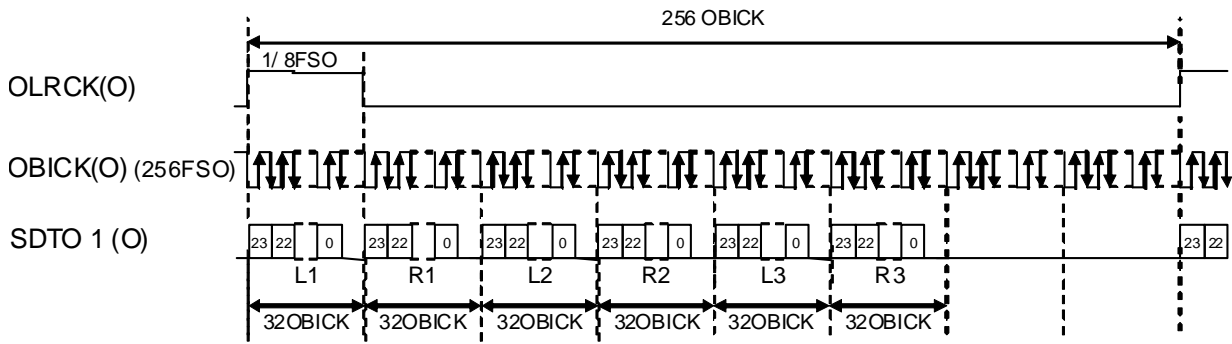


Figure 28. TDM 256 mode 24bit MSB justified Timing at Master Mode. (SDTO2-3: "L" outputs)

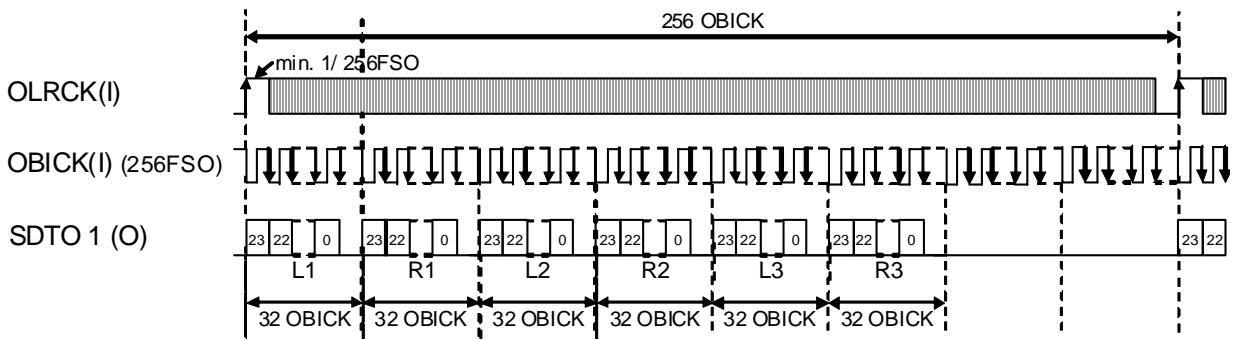


Figure 29. TDM 256 mode 24bit MSB justified Timing at Slave Mode. (SDTO2-3: "L" outputs)

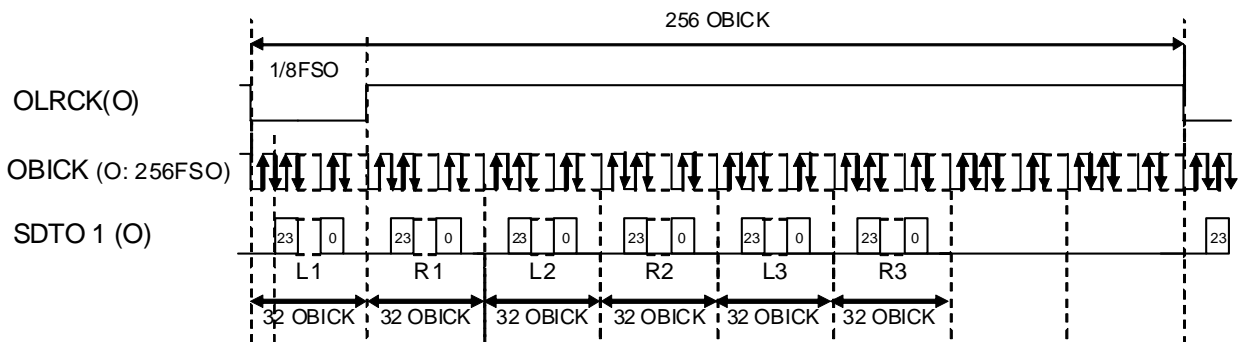


Figure 30. TDM 256 mode 24bit I²S Compatible Timing at Master Mode (SDTO2-3: "L" outputs)

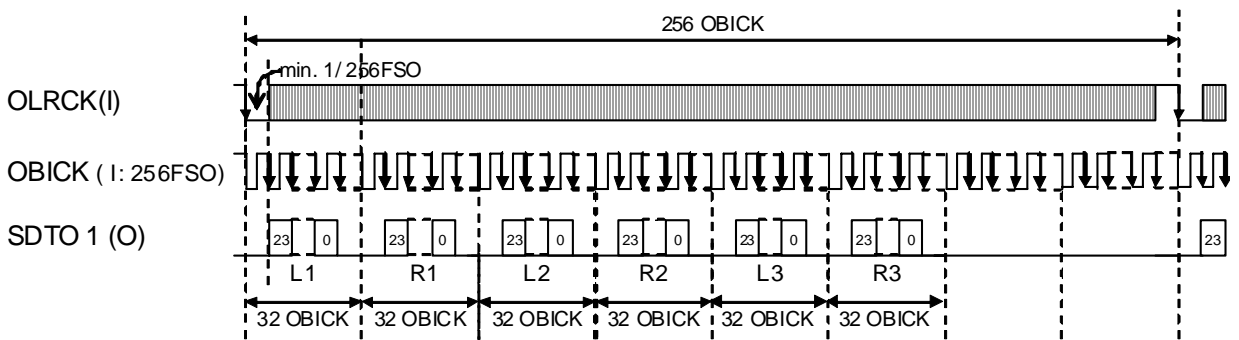


Figure 31. TDM 256 mode 24bit I²S Compatible Timing at Slave Mode (SDTO2-3: "L" outputs)

■ 6/4チャンネルモード

AK4129は、AK4126と互換性のあるAK4126コンパチブル6チャンネルモードと、4チャンネルモード、AK4129オリジナルの6チャンネルモードを持っています。PM2/1 pinを“L/L”に設定すると、AK4126コンパチブルの6チャンネルモードになり6ch(SDTI1 → SDTO1, SDTI2 → SDTO2 and SDTI3 → SDTO3)が動作します。PM2/1 pinを“L/H”に設定すると、4チャンネルモードになり4ch(SDTI1 → SDTO1 and SDTI2 → SDTO2)が動作し、残りの2ch(SDTI3 → SDTO3)はパワーダウン(“L”出力)されます。PM2/1 pinを“H/L”に設定すると、AK4129オリジナルの6チャンネルモードになり6ch(SDTI1 → SDTO1, SDTI2 → SDTO2 and SDTI3 → SDTO3)が動作します。AK4126コンパチブルの6chチャンネルモード及び4チャンネルモードでは、水晶発振回路及びMCKO出力はパワーダウンされXTO pin、MCKO pin出力はHi-zとなります。

PM2 pin	PM1 pin	PDN pin	Mode	X'tal Oscillator	XTI pin	XTO pin	MCKO pin
L	L	L	6-channel (AK4126 compatible mode)	Power-down	Pull down to VSS2-5 (note)	Hi-z	Hi-z
L	L	H			Input		
L	H	L	4-channel mode	Power-down	Pull down to VSS2-5 (note)	Hi-z	
L	H	H			Input		
H	L	L	6-channel mode (Original mode)	Power-down	Pull down to VSS2-5 (note)	Hi-z	
H	L	H		Normal operation	Input	Output	Normal operation
H	H	L	Not available	-	-	-	-
H	H	H		-	-	-	-

Note: Pull down (460kΩ typ.) to VSS2-5.

Table 8. Channel Mode Setting

■ ソフトミュート機能

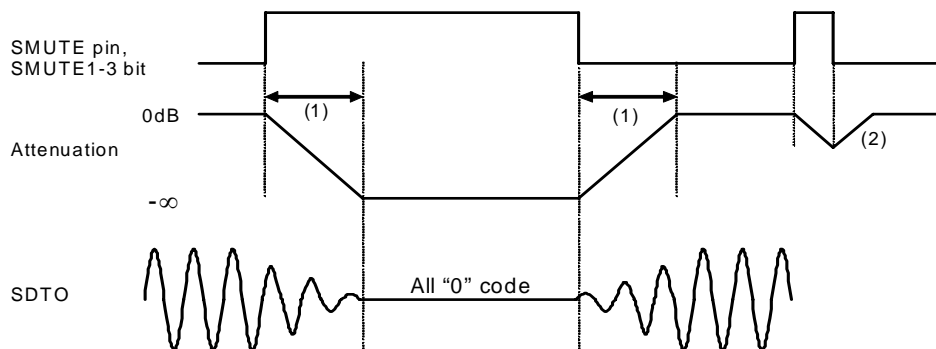
1. Manual Mode

SRC出力にソフトミュート機能を内蔵します。パラレルコントロールモード(SPB pin = “L”)時、SRC1-3のソフトミュートは全てSMUTE pinで設定されます。シリアルコントロールモード(SPB pin = “H”)時、SMUTE pinの設定は無視されます。SMUTE1 bitの設定がSRC1に、SMUTE2 bitの設定がSRC2に、SMUTE3 bitの設定がSRC3に反映されます。

SMUTE pinを“H”にする、あるいはSMUTE1-3 bitに“1”を書込むと1024OLRCKサイクル(@ SMT1 pin = “L” and SMT0 pin = “L”)で出力データが $-\infty$ (“0”)までアテネーションされます。SMUTE pinを“L”にする、あるいはSMUTE1-3 bitに“0”を書込むと $-\infty$ 状態が解除され、 $-\infty$ から1024OLRCKサイクル(@ SMT1 pin = “L” and SMT0 pin = “L”)で0dBまで復帰します。ソフトミュート開始後、ソフトミュートサイクル以内に解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。ソフトミュートサイクルはSMT1-0 pinで設定します。ソフトミュート遷移期間中は、SMT1-0 pinの設定は変更しないで下さい。

SMT1 pin	SMT0 pin	Period	FSO=48kHz	FSO=96kHz	FSO=192kHz
L	L	1024/FSO	21.3ms	10.7ms	5.3ms
L	H	2048/FSO	42.7ms	21.3ms	10.7ms
H	L	4096/FSO	85.3ms	42.7ms	21.3ms
H	H	8192/FSO	170.7ms	85.3ms	42.7ms

Table 9. Soft Mute Cycle Setting (Parallel Mode)



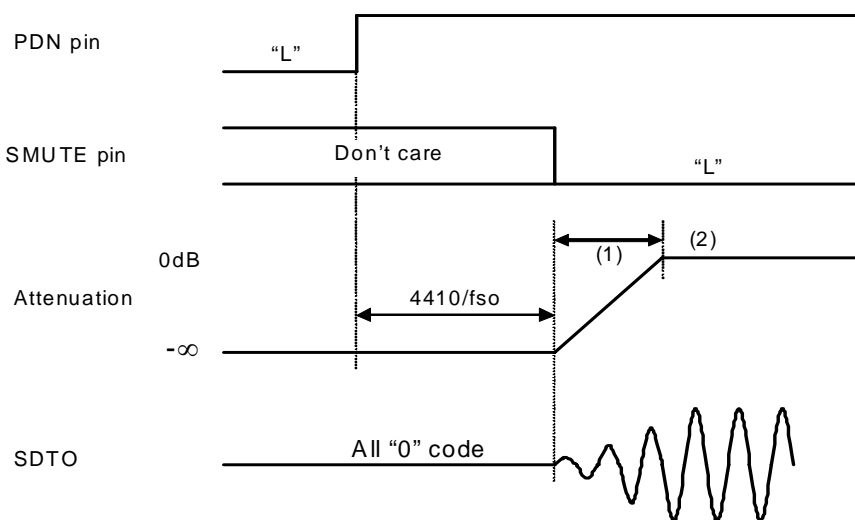
Note : SDTOは、SDTO1, SDTO2, SDTO3を表します。

- (1) ソフトミュートサイクルはSMT1-0 pinで設定([Table 9](#))します。ソフトミュートサイクルで出力データが $-\infty$ (“0”)までアテネーションされます。
- (2) ソフトミュートサイクル以内にソフトミュートが解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。

Figure 32. Soft Mute Function (Manual Mode)

2. Semi-Autoモード

SMSEMI pin= “H”の状態ではパワーダウン解除(PDN pin = “L” → “H”)の立ち上がりエッジを検出するとソフトミュートセミオートモードになります。セミオートモードでは、PDN pin = “L” → “H”の立ち上がりエッジから $4410/\text{FSO}=100\text{ms}@\text{FSO}=44.1\text{kHz}$ 間ミュートを継続した後、ソフトミュートを自動で解除します。パワーダウンピン解除後、SMUTE pinが“H”の場合にはソフトミュートがかかった状態になります。SMSEMI pinはPDN pin = “L”中に変更して下さい。



Note : SDTOは、SDTO1, SDTO2, SDTO3を表します。

- (1) ソフトミュートサイクル([Table 9](#))で出力データが0dBまで復帰します。
- (2) $4410/\text{FSO}$ の間ミュートを継続しソフトミュートが自動で解除され0dBに復帰した後は、[Table 9](#)に記したソフトミュートサイクルでミュートあるいはミュート解除ができます。

Figure 33. Soft Mute Function (Semi-Auto Mode)

■ ディザ回路

AK4129はディザ回路を内蔵しています。ディザ回路はSRC mode、SRCバイパスモードに関係なく、DITHER pinを“H”にすることで、OBIT1-0 pinで設定された出力データの最下位ビットの1bit下位にディザを加えます。SRCバイパスモードで出力ビット長が24-bitの場合、DITHER pin=“H”時の出力コードとDITHER pin=“L”時の出力コードに差異はありません。

■ ディエンファシスフィルタ

IIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ ($t_c = 50/15\mu s$) を内蔵しています。パラレルコントロールモード(SPB pin=L)時、SRC1~3のディエンファシス設定はDEM1/0 pinにより一括設定されます。シリアルコントロールモード(SPB pin=“H”)時、DEM1/0 pinの設定は無視されます。DEM11, DEM10 bitの設定がSRC1に、DEM21, DEM20 bitの設定がSRC2にDEM31, DEM30 bitの設定がSRC3に反映されます。

DEM11pin	DEM10 pin	Mode(SDTI1-3)
L	L	44.1kHz
L	H	OFF
H	L	48kHz
H	H	32kHz

Table 10. De-emphasis Filter Setting (Parallel Control Mode (SPB pin=“L”))

DEM11bit	DEM10 bit	Mode(SDTI1)
L	L	44.1kHz
L	H	OFF
H	L	48kHz
H	H	32kHz

Table 11. De-emphasis Filter Setting for SDTI1 (Serial Control Mode (SPB pin=“H”))

DEM21 bit	DEM20 bit	Mode(SDTI2)
L	L	44.1kHz
L	H	OFF
H	L	48kHz
H	H	32kHz

Table 12. De-emphasis Filter Setting for SDTI2 (Serial Control Mode (SPB pin=“H”))

DEM31 bit	DEM30 bit	Mode(SDTI3)
L	L	44.1kHz
L	H	OFF
H	L	48kHz
H	H	32kHz

Table 13. De-emphasis Filter Setting for SDTI3 (Serial Control Mode (SPB pin=“H”))

■ レギュレータ

AK4129は、DVDD1-4から1.8Vへ降圧するレギュレータを内蔵します。生成した1.8Vは、内部回路の電源として使用します。通常動作中にレギュレータ出力に過電流が流れた場合、過電流検出回路がはたらきます。また通常動作中にレギュレータ出力が過電圧になった場合、過電圧検出回路がはたらきます。過電流検出回路あるいは過電圧検出回路がはたらいた場合、レギュレータブロックはパワーダウンされデバイスはリセット状態になります。過電流リミットあるいは過電圧リミットが1度かかるとPDN pinによるリセットをしない限り自己復帰はしません。PDN pin=“L”によりリセットしてから再度PDN pin=“H”でパワーアップしてください。

SRC通常動作中は内部ステータスピン“UNLOCK”の出力は“L”ですが、過電流リミットあるいは過電圧リミットがかかった場合、“H”を出力します。

■ システムリセット

AK4129はPDN pinを“L”にすることでパワーダウンでき、この時、同時に各デジタルフィルタがリセットされます。PDN pin=“L”時にはSDTO1-3出力は“L”です。電源投入時にはPDN pinに一度“L”を入力してリセットして下さい。クロック投入後のパワーダウン解除よりデータ出力が可能となる時間は23ms(max)です。それまでの間、SDTO1-3は“L”を出力します。内蔵レギュレータ立ち上がり待ち時間経過後のILRCK1-3のエッジでデバイス内部のSRC回路がパワーアップします。下図においてSDTIはSDTI1, SDTI2, SDTI3を表します。

Case 1

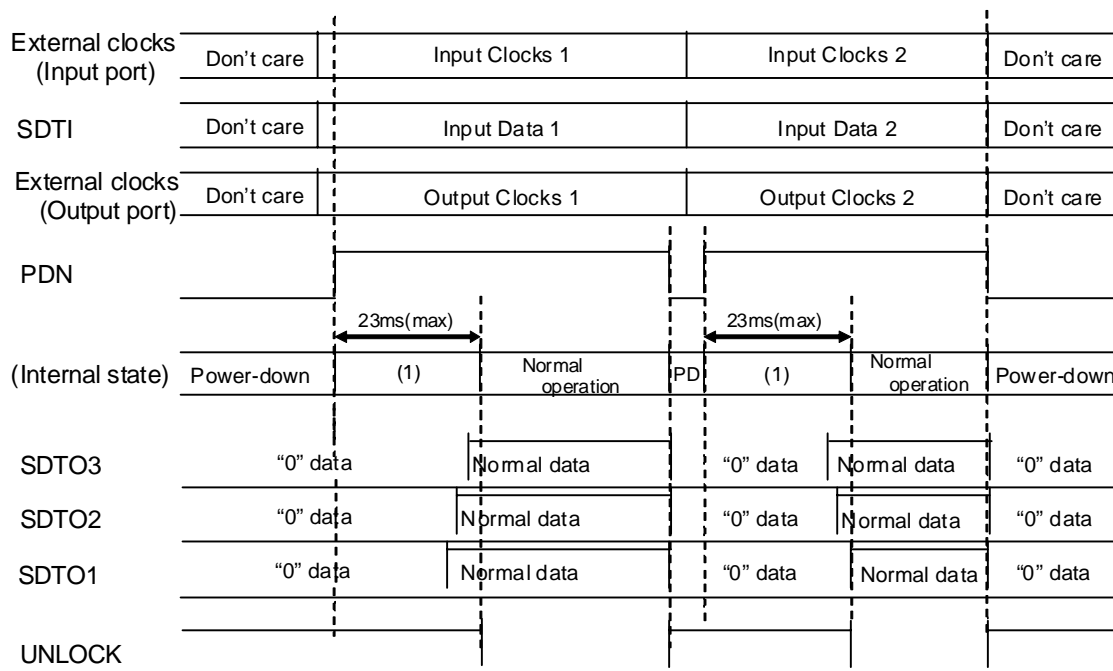


Figure 34. System Reset 1

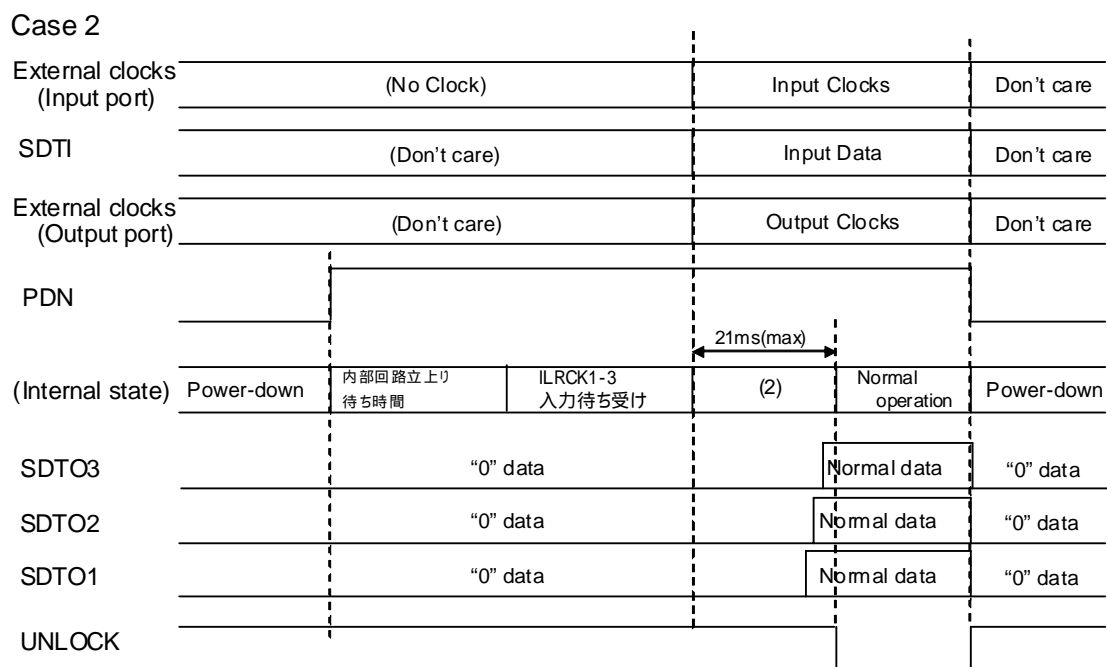


Figure 35. System Reset 2

Note 27. SPB, CM2-0, INAS, PM2/1, OBIT1/0, TDM, ODIF1/0, IDIF2-0, CAD0 pin は、PDN pin=“L”中に切換えてください。

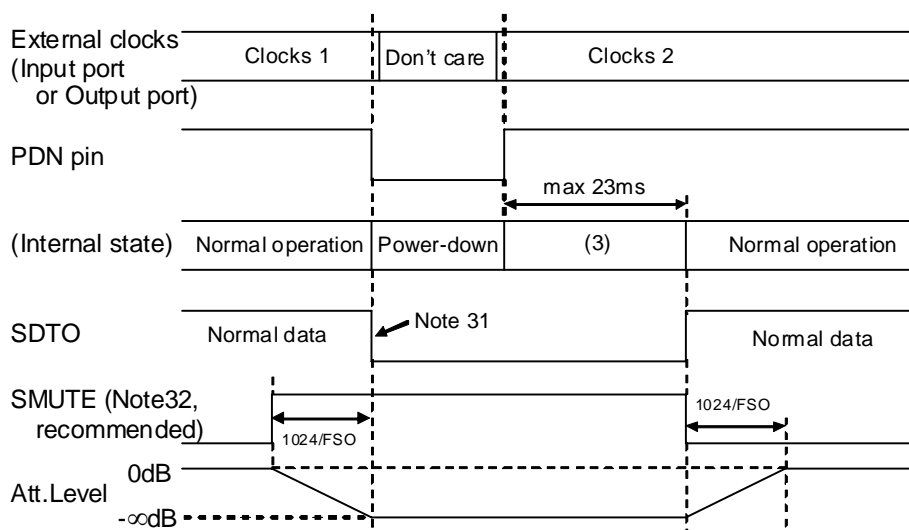
Note 28. PDN pin=“L”中はUNLCOK pin は“H”を出力します。PDN pin “↑”エッジ後、内蔵レギュレータが立上り正常動作している場合は、FSO/FSI比検出が終了したSRCに対応するSDTO1-3 pin からSRCデータが出力し始めます。

Note 29. (1)の時間は(内部回路立ち上がり時間 + FSO/FSI比検出 + クロック検出 + 内部回路Group Delay)の値です。

Note 30. (2)の時間は(FSO/FSI比検出 + クロック検出 + 内部回路Group Delay)の値です。

■ クロック切り替えの手順

AK4129へ供給するクロックの切り替え手順をFigure 36, Figure 37に示します。クロック切り替える場合はパラレルコントロールモードではPDN pinでリセットして下さい(Figure 36)。シリアルコントロールモードではPDN pin あるいはRSTN bitでリセットして下さい(Figure 36)。SDTOはSDTO1-3を示します。

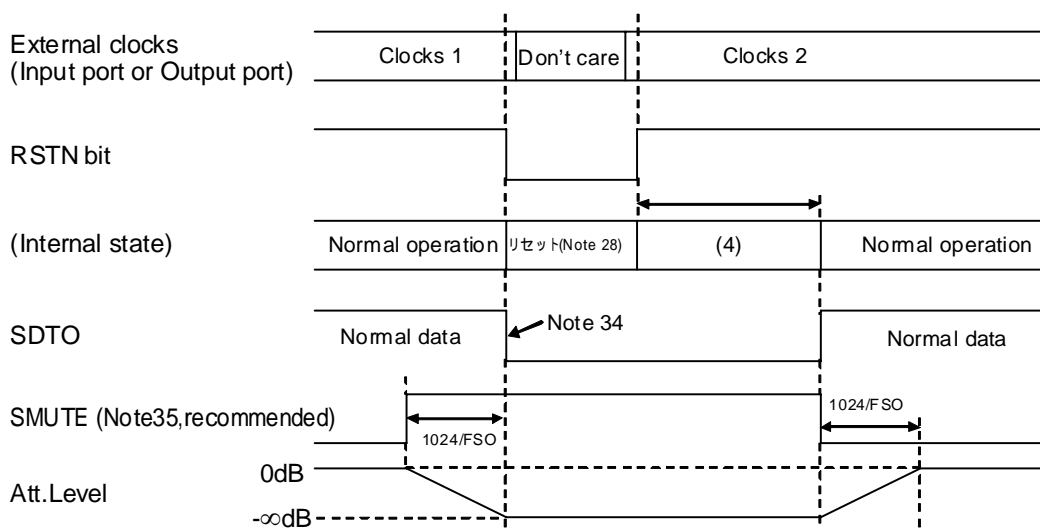


Note 31. この時出力データは異音となる可能性があります。PDN pinを“L”にするよりGD以上前からSDTIに“0”データが入力されていれば、この間も“0”データ出力となります。

Note 32. Note 31の異音をSMUTEで除去することができます。

Note 33. (3)の時間は(内部回路立ち上がり時間 + FSO/FSI比検出 + 内部回路Group Delay)の値です。

Figure 36. Sequence of Changing Clocks, Parallel Control Mode (SPB pin = “L”)



Note 34. この時出力データは異音となる可能性があります。RSTN bitを“L”にするよりGD以上前からSDTIに“0”データが入力されていれば、この間も“0”データ出力となります。

Note 35. Note 34の異音をSMUTEで除去することができます。

Note 36. シリアルコントロールインターフェイスとレジスタ以外のデジタル部がパワーダウンします。内蔵発振器レギュレ - タはパワーダウンしません。

Note 37. (4)の時間は $0.5/F_{SI}+8/F_{SI(O)}+156/F_{SO}$ あるいは $1.5/F_{SI}+8/F_{SI(O)}+156/F_{SO}$ の値です。(FSI(O)はFSI分FSOの周波数が低い方です)

Figure 37. Sequence of Changing Clocks, Serial Control Mode (SPB pin= “H”)

1. PDN pinあるいはRSTN bitでリセットせずに入力ポートのILRCK_x (x=1,2,3)周波数を変化させた場合の動作

変化前のFSO/FSI比が安定している状態でのILRCK_x 1周期中の内蔵発振器(min. 59.4 MHz, typ. 73.5 MHz)のクロック数と変化後ILRCK_x 1周期中の内蔵発振器のクロック数を比べてその差が $|\pm 100|$ 以上の状態が変化後ILRCK_xで8周期連続した場合、内部で自動的にリセットがかかり、FSO/FSI比検出をやり直します。内部リセットがかかるとSDTO_x出力は“L”になり、 $0.5/FSI+8/FSI(O)+156/FSO$ あるいは $1.5/FSI+8/FSI(O)+156/FSO$ (FSI(O)はFSIかFSOの周波数が低い方) 経過後、SRCデータが出力されます。

上記クロック数の差が $|\pm 100|$ 未満あるいは $|\pm 100|$ 以上でも変化後ILRCK_xで8周期連続しない場合、内部リセットはかかりません。切換えが完了してから正常なSRCデータが出力されるまでに5148/FSO (Note 38) (max. 643.5ms @FSO=8kHz)かかる場合があります。遷移期間および正常なSRCデータが出力されるまでは歪んだデータが出力される可能性があります。

ILRCK_xを停止した場合、内部で自動的にリセットがかかります。その後正常に入力されると $0.5/FSI+8/FSI(O)+156/FSO$ あるいは $1.5/FSI+8/FSI(O)+156/FSO$ (FSI(O)はFSIかFSOの周波数が低い方)経過後にSRCデータが出力されます。

2. PDN pinあるいはRSTN bitでリセットせずに出力ポートのOLRCK周波数を変化させた場合の動作。

変化前のFSO/FSI比が安定している状態でのOLRCK 1周期中の内蔵発振器クロック数と変化後OLRCK 1周期中の内蔵発振器クロック数を比べてその差が $|\pm 100|$ 以上の状態が変化後OLRCKで8周期連続した場合、内部で自動的にリセットがかかり、FSO/FSI比検出をやり直します。内部リセットがかかるとSDTO_x出力は“L”になり、 $0.5/FSI+8/FSI(O)+156/FSO$ あるいは $1.5/FSI+8/FSI(O)+156/FSO$ (FSI(O)はFSIかFSOの周波数が低い方)経過後、SRCデータが出力されます。

クロック数の差が $|\pm 100|$ 未満あるいは $|\pm 100|$ 以上でも変化後OLRCKで8周期連続しない場合、内部リセットはかかりません。切換えが完了してから正常なSRCデータが出力されるまでに5148/FSO (Note 38) (max. 643.5ms @FSO=8kHz)かかる場合があります。遷移期間および正常なSRCデータが出力されるまでは歪んだデータが出力される可能性があります。

OLRCKを停止した場合、内部で自動的にリセットがかかります。その後正常に入力されると $0.5/FSI+8/FSI(O)+156/FSO$ あるいは $1.5/FSI+8/FSI(O)+156/FSO$ (FSI(O)はFSIかFSOの周波数が低い方)経過後にSRCデータが出力されます。

Note 38. FSO=8kHzでかつFSO/FSIが1/6から1/5.99へ変化した場合です。

FSO=32kHzでかつFSO/FSIが1/6から1/5.99へ変化した場合は160.9msです。

■ 内部ステータスピン

19番 pin “UNLOCK”は、内部状態を出力するピンです。PDN pin=“L”中はUNLOCK pinは“H”を出力します。PDN pin “↑”エッジ後、内蔵レギュレータが立上り正常動作している場合は、FSO/FSI比検出が終了したSRCに対応するSDTO1-3 pinからSRCデータが出力し始めます。

PM2/1 pin = “H/L” のAK4129オリジナルの6チャンネルモードでは、UNLOCK pinは“H”のみを出力し続けます。PM2/1 pin = “L/L”のAK4126コンパチブルの6チャンネルモードでは、UNLOCK pinはSRC1-3のすべてにおいてFSO/FSI比検出が終了したタイミングで“L”を出力します。SRC1-3のどれか1つでもFSO/FSI比検出が終了していない場合はUNLOCK pinは“H”を出力し続けます。

4チャンネルモードでは、SRC1-2のすべてにおいてFSO/FSI比検出が終了したタイミングで“L”を出力します。SRC1-2のどれか1つでもFSO/FSI比検出が終了していない場合は“H”を出力し続けます。

内蔵レギュレータの過電流リミットあるいは過電圧リミットがかかった場合、UNLOCK pinは“H”を出力します。レギュレータ部にて過電流リミットあるいは過電圧リミットがかかった場合に立つフラグと各SRC部のFSO/FSI比検出終了フラグを集めたNANDとの“OR”がUNLOCK pinから出力されます。

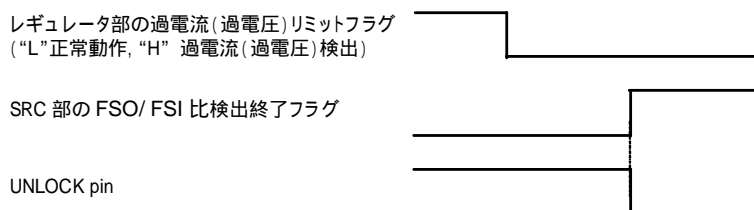


Figure 38. Internal Flag and UNLOCK pin Output

パラレルコントロールモードでPDN pin = “L”期間中にCM2-0 pinによりSRCバイパスモードに設定し、パワーアップした場合、PDN pin “↑”エッジから内蔵レギュレータの立上り待ち時間1.4ms(max)経過後、UNLOCK pinは“L”になります。シリアルコントロールモードでRSTN bit = “0”期間中にBYPSS bitに“1”を書込んだ場合、書込み直後にUNLOCK pinは“L”になります。

■ シリアルコントロールインターフェイス

AK4129のI²Cバスモードのフォーマットは、高速モード(max:400kHz)に対応します。SCL, SDA pin のプルアップ抵抗の接続先はDVDD1-4 + 0.3V以下にしてください。

1. データ転送について

バス上のICへのアクセスには、最初にスタート・コンディションを入力します。次に、1バイトで構成されるデバイスのアドレスを含んだスレーブ・アドレスを入力します。この時、バス上のICはこのアドレスと自分自身のアドレスを比較し、アドレスが一致したICはアクノリッジを生成します。アドレスが一致したICは、この後READ又はWRITEを実行します。命令終了時には、ストップ・コンディションを入力して下さい。

1-1. データの変更

クロックが“H”の間にはSDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのは、スタート・コンディション、ストップ・コンディション以外ではSCLラインのクロック信号が“L”の時に限られます。

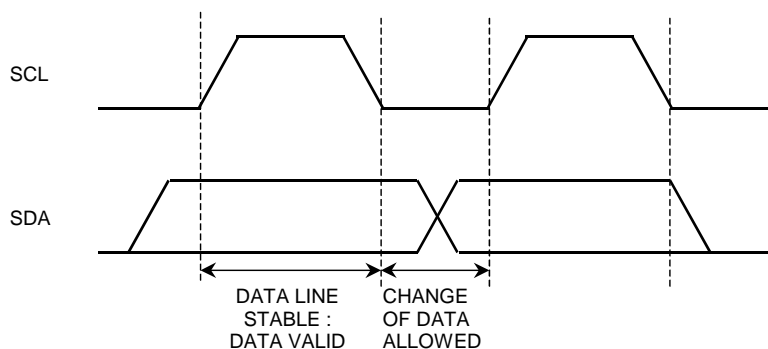


Figure 39. Data transfer

1-2. スタート・コンディションとストップ・コンディション

SCLラインが“H”の時にSDAラインを“H”から“L”にすると、スタート・コンディションが作られます。全ての命令は、スタート・コンディションから始まります。SCLラインが“H”の時にSDAラインを“L”から“H”にすると、ストップ・コンディションが作られます。全ての命令は、ストップ・コンディションにより終了します。

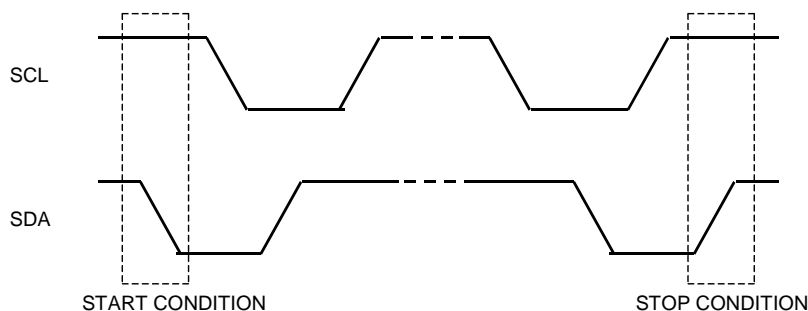
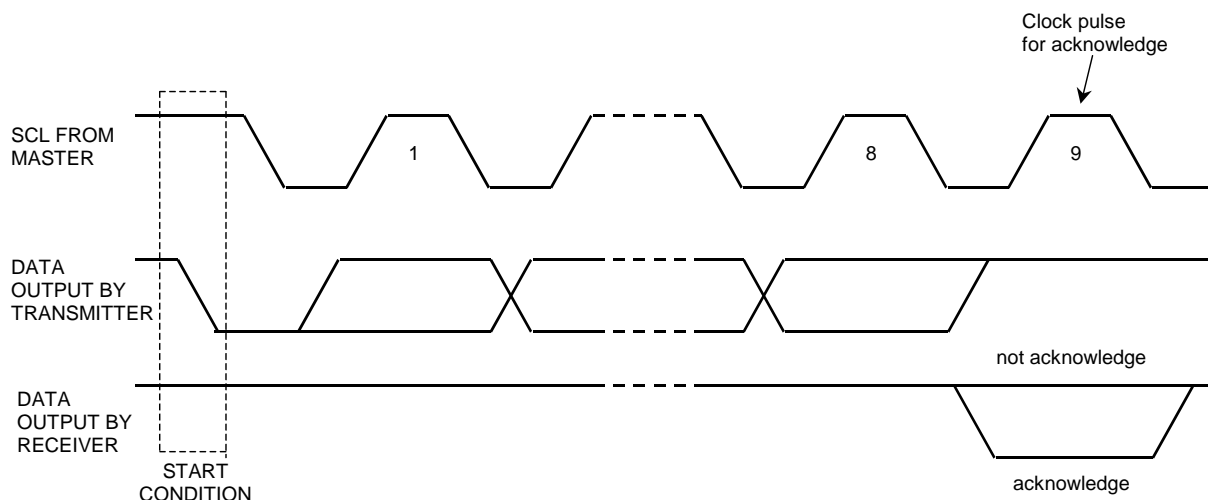


Figure 40. START and STOP conditions

1-3. アクノリッジ

データを送出しているICは、1バイトのデータを送出した後SDAラインを解放します(HIGHの状態にする)。データを受信したICは次のクロックでSDAラインを“L”にします。この動作はアクノリッジと呼ばれ、この動作により正しくデータ転送が行われたことが確認できます。AK4129はスタート・コンディションとスレーブ・アドレスを受け取るとアクノリッジを生成します。またWRITE命令の場合には各バイトの受信を完了する度にアクノリッジを生成します。READ命令の場合には、AK4129はアクノリッジ生成に続いて指定されたアドレスのデータを出力した後SDAラインを解放し、SDAラインをモニターします。マスタがストップ・コンディションを送らずアクノリッジを生成した場合、AK4129は次のアドレスのデータを出力します。アクノリッジが生成されなかった場合、AK4129はデータ出力を終了します。

Figure 41. Acknowledge on the I²C-bus

1-4. FIRST BYTE

スレーブアドレスを含む第1バイトはスタートコンディションの後に入力され、スレーブ・アドレスによりバス上のICの中からアクセスするICが選ばれます。スレーブ・アドレスは上位7ビットで構成されます。上位6ビットは“001001”、7番目のビット(CAD0)は、CAD0 pin = “H”の時は“1”、CAD0 pin = “L”の時は“0”です。スレーブ・アドレスが入力されると、デバイスのアドレスが一致しているICはアクノリッジを生成し、その後命令を実行します。第1バイトの8番目のビット(最下位ビット)はR/W bitです。R/W bit=“1”のときREAD命令が実行され、R/W bit=“0”のときWRITE命令が実行されます。

0	0	1	0	0	1	CAD0	R/W
---	---	---	---	---	---	------	-----

Figure 42. The First Byte

2. WRITE命令

R/W bitが“0”の場合、AK4129はWRITE動作を行います。WRITE動作では、スレーブアドレス受信後、アクノリッジを生成し第2バイトを受信します。第2バイトは内部コントロールレジスタのアドレスを指定するバイトで、MSB firstで構成され上位6ビットは“0”固定です。

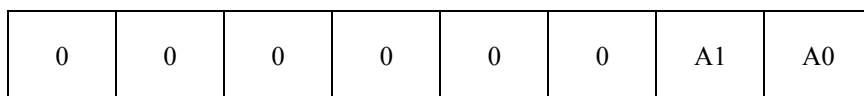


Figure 43. The Second Byte

第2バイト受信後、アクノリッジを生成し第3バイトを受信します。第3バイト以降がコントロールデータになります。コントロールデータは8ビット、MSB firstで構成されます。

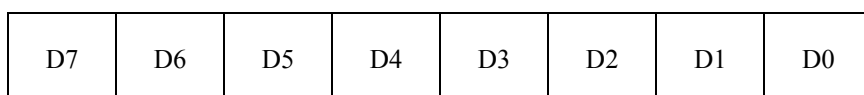


Figure 44. Byte structure after the second byte

AK4129は複数のバイトのデータを一度に書き込むことができます。第3バイト受信後、アクノリッジを生成し次のデータ受信待ちになります。ストップ・コンディションを送らず更にデータを送ると、内部アドレスカウンタは自動的にインクリメントし、データは次のアドレスに格納されます。カウンタは03Hを越えるとロールオーバーし、次のデータはアドレス00Hから順に格納されます。

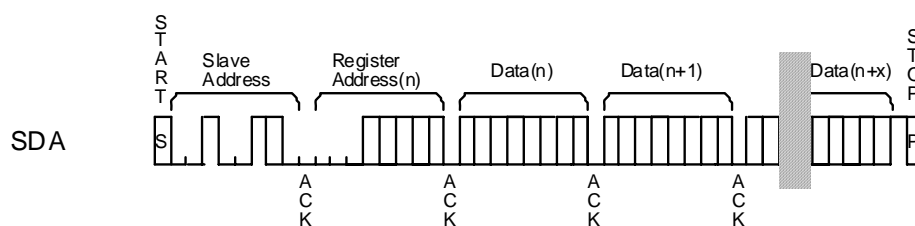


Figure 45. WRITE Operation

3. READ命令

R/W bitが“1”の場合、AK4129はREAD動作を行います。指定されたアドレスのデータが出力された後、マスタがストップ・コンディションを送らずアクノリッジを生成すると、次のアドレスのデータを読み出すことができます。アドレス：03Hのデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス：00Hのデータが読み出されます。

AK4129はカレント・アドレス・リードとランダム・リードの二つのREAD命令を持っています。

3-1. カレント・アドレス・リード

AK4129は内部にアドレス・カウンタを持っており、カレント・アドレス・リードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレス・カウンタは最後にアクセスしたアドレスの次のアドレスの値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスがnであり、その後カレント・アドレス・リードを行った場合、アドレス：n+1のデータが読み出されます。カレント・アドレス・リードでは、AK4129はREAD命令のスレーブ・アドレス(R/W bit = “1”)の入力に対してアクノリッジを生成し、次のクロックから内部のアドレス・カウンタで指定されたデータを出したのち内部カウンタを1つインクリメントします。1バイトのデータが出力された後、マスタがアクノリッジを生成せずストップ・コンディションを送ると、READ動作は終了します。

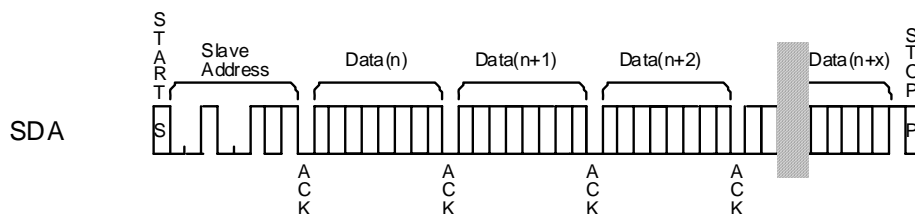


Figure 46. CURRENT ADDRESS READ

3-2. ランダム・リード

ランダム・リードにより任意のアドレスのデータを読み出すことができます。ランダム・リードはREAD命令のスレーブ・アドレス(R/W bit = “1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。ランダム・リードでは最初にスタート・コンディションを入力し、次にWRITE命令のスレーブ・アドレス(R/W bit = “0”)、読み出すアドレスを順次入力します。AK4129がこのアドレス入力に対してアクノリッジを生成した後、再びスタート・コンディション、READ命令のスレーブ・アドレス(R/W bit = “1”)を入力します。AK4129はこのスレーブ・アドレスの入力に対してアクノリッジを生成し、指定されたアドレスのデータを出し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタがアクノリッジを生成せず、ストップ・コンディションを送ると、READ動作は終了します。

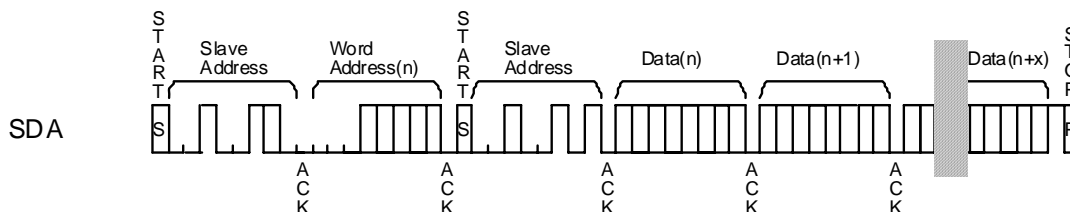


Figure 47. RANDOM READ

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Reset & Mute	0	SMUTE3	SMUTE2	SMUTE1	0	BYPS	0	RSTN
01H	De-emphasis	0	1	DEM31	DEM30	DEM21	DEM20	DEM11	DEM10
02H	Input Audio Data Format 1	0	IDIF22	IDIF21	IDIF20	0	IDIF12	IDIF11	IDIF10
03H	Input Audio Data Format 2	0	0	0	0	0	IDIF32	IDIF31	IDIF30

Note 39. PDN pin を“L”にするとレジスタ値は初期化されます。

Note 40. アドレス00H～03H以外のアドレスへの書込みは禁止です。“0”で指定されたデータビットへの“1”の書込みは禁止です。BYPS, IDIF12-10, 22-20, 32-30 bitは、RSTN bit = “0”期間中に書き換えてください。

Note 41. PDN pin“↑”エッジから1.4ms (max)経過後、I²Cへのアクセスが可能になります。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Reset & Mute	0	SMUTE3	SMUTE2	SMUTE1	0	BYPS	0	RSTN
	R/W	RD	R/W	R/W	R/W	RD	R/W	RD	R/W
	Default	0	0	0	0	0	0	0	1

RSTN: Digital Reset control

0: リセット

1: リセット解除 (default)

“0”で一部を除くデジタル部がパワーダウンされます。この時、SRC1-3は動作できません。I²C シリアルコントロールインターフェイス部とコントロールレジスタ部はパワーダウンされないでコントロールレジスタの内容は初期化されません。また、コントロールレジスタへの書込みも可能です。内部クロックを発生する内蔵発振器、レギュレータ及び基準電圧発生回路はパワーダウンされません。

BYPS: Bypass Mode Control

0: SRC Mode(default)

1: SRCバイパスモード

Table 3 参照。

SMUTE1: SRC1 Soft Mute Control

0: ソフトミュート解除 (default)

1: ソフトミュート

シリアルコントロールモード(SPB pin= “H”)時、SMUTE pin の設定は無視されます。SMUTE1 bit の設定がSRC1に反映されます。

SMUTE2: SRC2 Soft Mute Control

0: ソフトミュート解除 (default)

1: ソフトミュート

シリアルコントロールモード(SPB pin= “H”)時、SMUTE pin の設定は無視されます。SMUTE2 bit の設定がSRC2に反映されます。

SMUTE3: SRC3 Soft Mute Control

0: ソフトミュート解除 (default)

1: ソフトミュート

シリアルコントロールモード(SPB pin= “H”)時、SMUTE pin の設定は無視されます。SMUTE3 bit の設定がSRC3に反映されます。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	De-emphasis	0	1	DEM31	DEM30	DEM21	DEM20	DEM11	DEM10
	R/W	RD	RD	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	1	0	1	0	1	0	1

DEM11/10: SRC1 De-emphasis Control

Default: "01" De-emphasis=OFF

DEM21/20: SRC2 De-emphasis Control

Default: "01" De-emphasis=OFF

DEM31/30: SRC3 De-emphasis Control

Default: "01" De-emphasis=OFF

シリアルコントロールモード(SPB pin= "H") 時、DEM1-0 pin の設定は無視されます。DEM11, DEM10 bit の設定がSRC1に、DEM21, DEM20 bit の設定がSRC2に、DEM31, DEM30 bit の設定がSRC3に反映されます。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Input Audio Data Format 1	0	IDIF22	IDIF21	IDIF20	0	IDIF12	IDIF11	IDIF10
	R/W	RD	R/W	R/W	R/W	RD	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Input Audio Data Format 2	0	0	0	0	0	IDIF32	IDIF31	IDIF30
	R/W	RD	RD	RD	RD	RD	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

IDIF12/11/10: SRC1 入力ポートオーディオデータインタフェースモード選択

Default: "000" Mode 0 (Table 2参照)

IDIF22/21/20: SRC2 入力ポートオーディオデータインタフェースモード選択

Default: "000" Mode 0 (Table 2参照)

IDIF32/31/30: SRC3 入力ポートオーディオデータインタフェースモード選択

Default: "000" Mode 0 (Table 2参照)

シリアルコントロールモード(SPB pin= "H") 時、IDIF2-0 pin の設定は無視されます。IDIF12, IDIF11, IDIF10 bit の設定がSRC1に、IDIF22, IDIF21, IDIF20 bit の設定がSRC2に、IDIF32, IDIF31, IDIF30 bit の設定がSRC3に反映されます。

システム設計

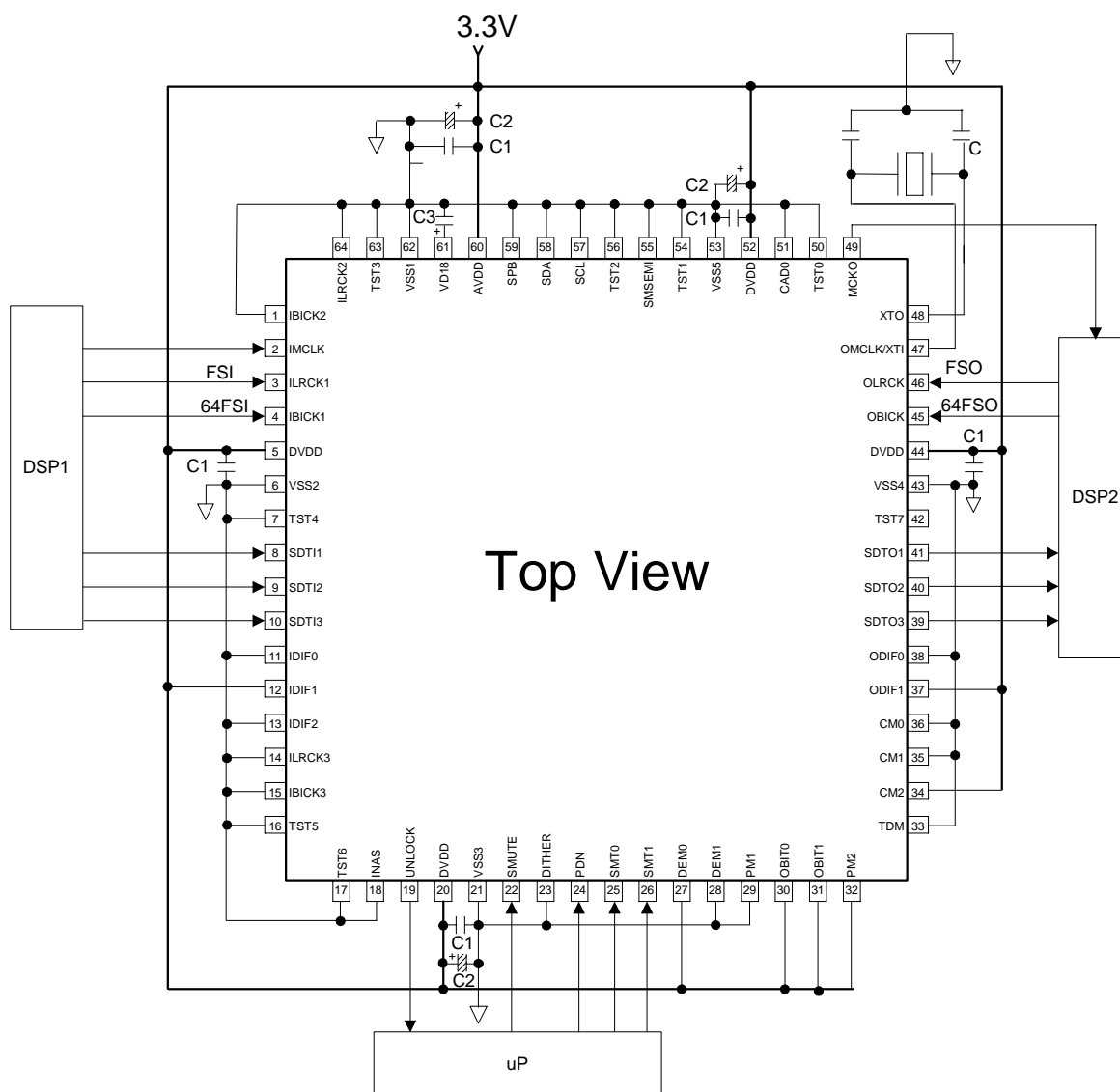
Figure 48, Figure 49 はシステム接続例です。具体的な回路と測定例については評価ボード(AKD4129)を参照して下さい。

- パラレルコントロールモード(SPB pin = “L”).
- 入力3系統同期モード(INAS pin = “L”).
- OMCLK/XTI入力= X’tal mode
- Input PORT: Slave mode, IBICK1 lock mode (64FSI), 24 bit MSB justified
- Output PORT: Slave mode, 24 bit MSB justified
- Dither = OFF, DEM=OFF, PM2/1 pin= “H/L” (6ch original mode)

C1= 0.1 μ F

C2=10 μ F

C3=1 μ F \pm 30%



Notes:

- デジタル入力ピンはオープンにしないで下さい。
- VSS1 -5は同じベタグラウンドに接続して下さい。
- VD18 pin とDVSSの間に1 μ F \pm 30%(温度特性を含む)のコンデンサを接続して下さい。極性付きのコンデンサを使用する場合、VD18 pin側に正極端子を接続して下さい。
- X’talの直列抵抗R1とコンデンサCの値はTable 5を参照してください。

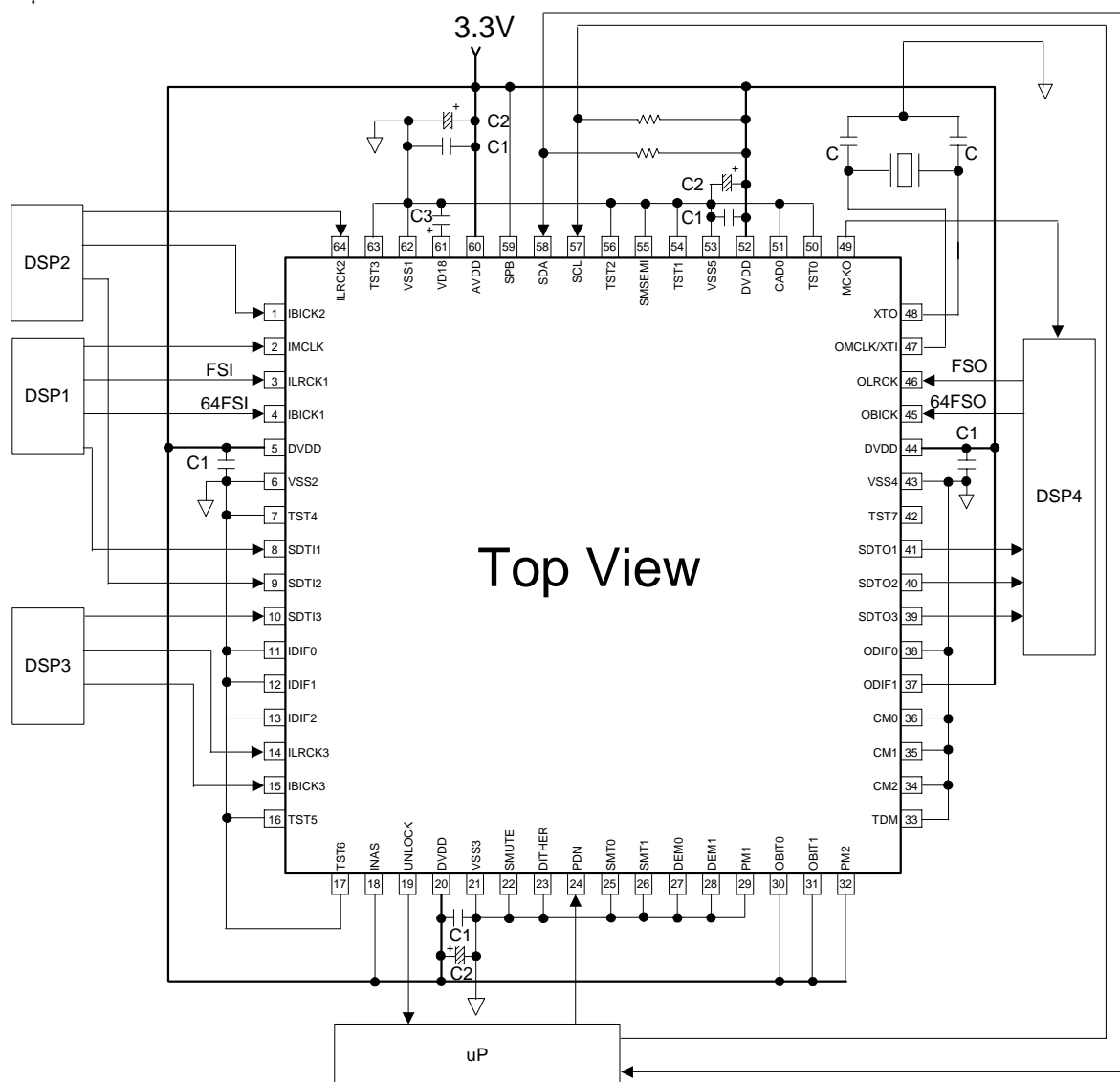
Figure 48. Typical Connection Diagram (Parallel Control Mode)

- シリアルコントロールモード (SPB pin = “H”).
- 入力3系統非同期モード (INAS pin = “H”).
- OMCLK/XTI入力 = 256FSO, X'tal 使用
- Input PORT: Slave mode, IBICK1~3 lock mode (64FSI)
入力オーディオインターフェイスフォーマットはレジスタ設定可能
- Output PORT: Master mode, 24 bit MSB justified.
- Dither = OFF, ディエンファシスフィルタはレジスタ設定可能。PM2/1 pin = “H/L” (6ch original mode)

C1 = 0.1 μ F

C2 = 10 μ F

C3 = 1 μ F \pm 30%



Notes:

- デジタル入力ピンはオープンにしないで下さい。
- VSS1-5は同じベタグランドに接続して下さい。
- VD18 pin とDVSSの間に1 μ F \pm 30%(温度特性を含む)のコンデンサを接続して下さい。極性付きのコンデンサを使用する場合、VD18 pin側に正極端子を接続して下さい。
- X'talの直列抵抗R1とコンデンサCの値はTable 5を参照してください。

Figure 49. Typical Connection Diagram (Serial Control Mode)

1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。AVDD, DVDD1-4が別電源で供給される場合には、電源立ち上げシーケンスを考える必要はありません。VSS1-5は同じベタグランドに接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. ジッタ耐量

AK4129のILRCK3-1及びIBICKに対するジッタ耐量をFigure 50 に示します。ジッタ耐量はFigure 50に示されるようにジッタ周波数とジッタ強度で定義され、0.02[U_{Ipp}]以下のジッタ強度であればジッタ周波数に関わらず正常に動作します。

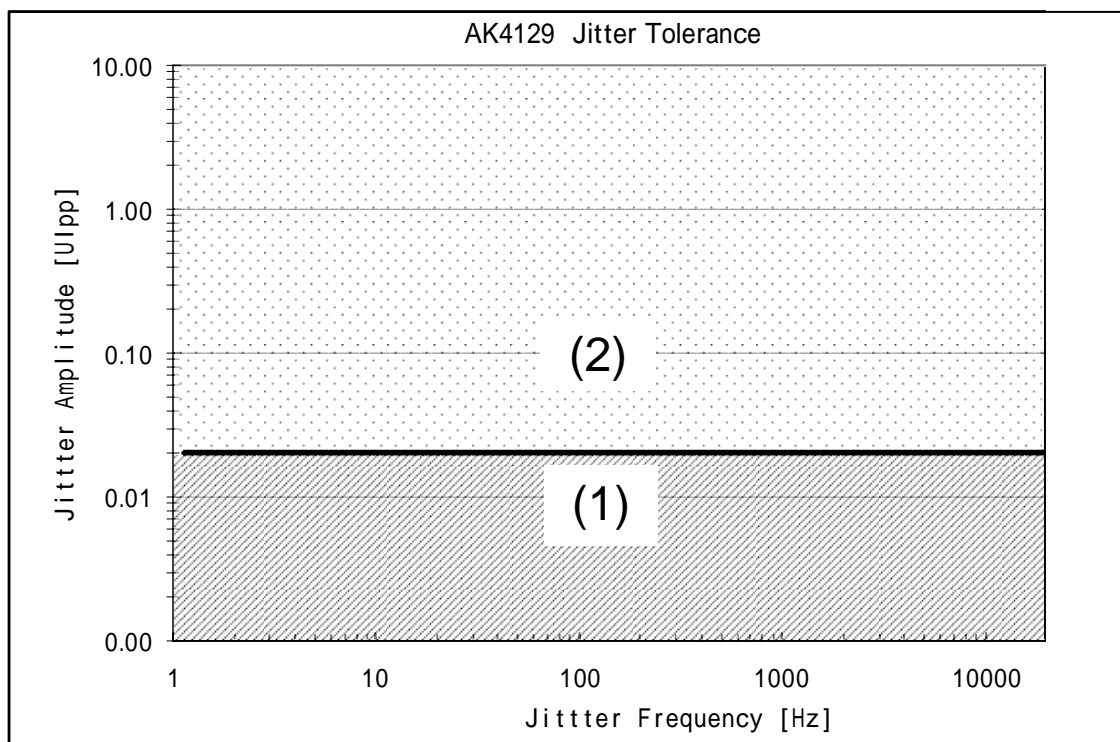


Figure 50. Jitter Tolerance

- (1) 正常動作。
- (2) 出力データが欠落する可能性あり。

Note

・Y軸は、THD+Nが劣化し始める直前の ILRCKのジッタ強度です。

1[U_{Ipp}]は、ILRCKの1周期です。FSI=48kHzの場合、1[U_{Ipp}]=1/48kHz=20.8 μsになります。

3. デジタルフィルタ特性例

AK4129で実現されるデジタルフィルタ特性の例をTable 14に示します。

Ratio	FSO/FSI [kHz]	Passband [kHz]	Stopband [kHz]	Stopband Attenuation [dB]	Gain [dB]
4.000	192/48.0	22.000	26.000	-121.2	-0.01@ 20k
1.000	48.0/48.0	22.000	26.000	-121.2	-0.01@ 20k
0.919	44.1/48.0	20.000	24.100	-121.4	-0.01@ 20k
0.725	32.0/44.1	14.088	17.487	-115.3	-0.01@ 14.5k
0.667	32.0/48.0	13.688	17.488	-116.9	-0.19@ 14.5k
0.544	48.0/88.2	19.250	26.232	-114.6	-0.03@ 20k
0.500	48.0/96.0	20.900	27.000	-100.2	-0.01@ 20k
0.500	44.1/88.2	19.202	24.806	-100.2	-0.08@ 20k
0.459	44.1/96.0	18.700	25.000	-103.3	-0.23@ 20k
0.363	32.0/88.2	12.863	18.665	-102.0	-0.75@ 14.5k
0.333	32.0/96.0	12.500	18.900	-103.6	-1.07@ 14.5k
0.250	48.0/192.0	17.600	30.200	-104.0	-0.18@ 20k
0.250	44.1/176.4	16.170	27.746	-104.0	-1.34@ 20k
0.230	44.1/192.0	15.860	28.240	-103.3	-1.40@ 20k
0.167	32.0/192.0	11.200	19.600	-73.2	-2.97@ 14.5k
0.181	32.0/176.4	10.278	17.987	-73.2	-7.88@ 14.5k
0.167	8/48.0	2.800	4.900	-73.2	-2.97@ 3.625k
0.181	8/44.1	2.5695	4.4968	-73.2	-7.88@ 3.625k

Table 14. Digital Filter Example

4. I²Cバスの接続

SCL pin, SDA pinはI²Cバスの規格に基づいた抵抗値でDVDD1-4に接続して下さい。プルアップ先はDVDD1-4またはDVDD1-4より低い電圧にしてください。

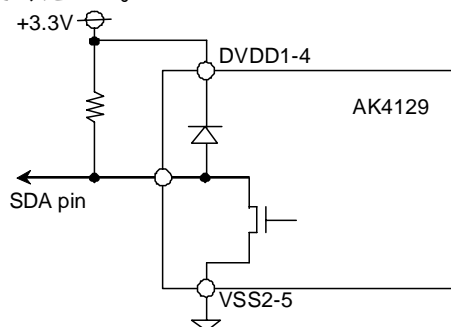
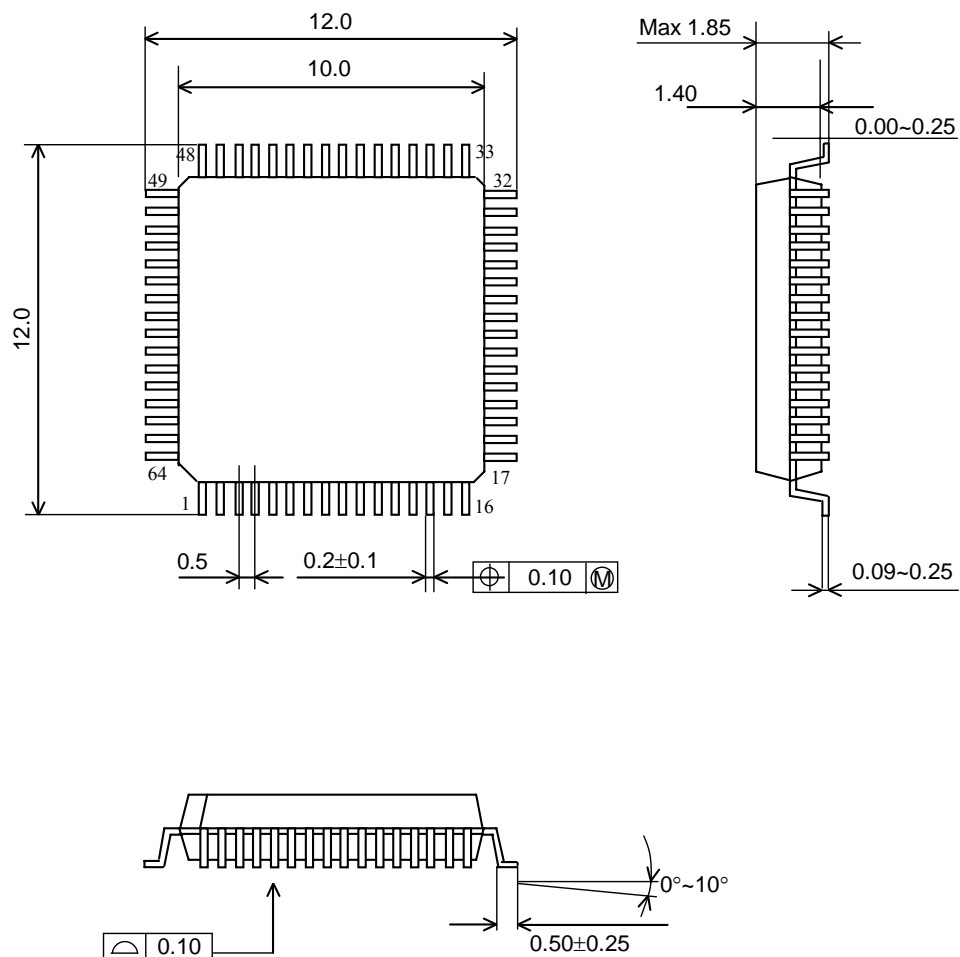


Figure 51. SDA pin output

パッケージ

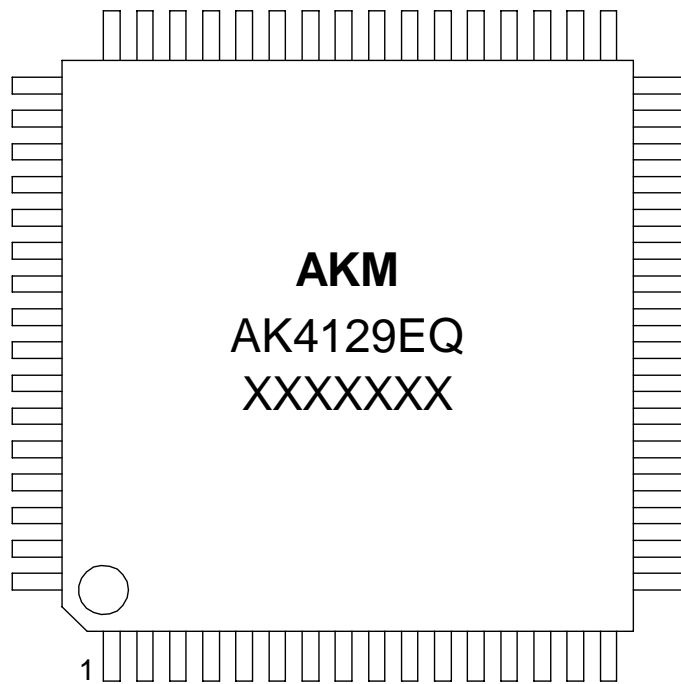
64pin LQFP (Unit: mm)



■ 材質・メッキ仕様

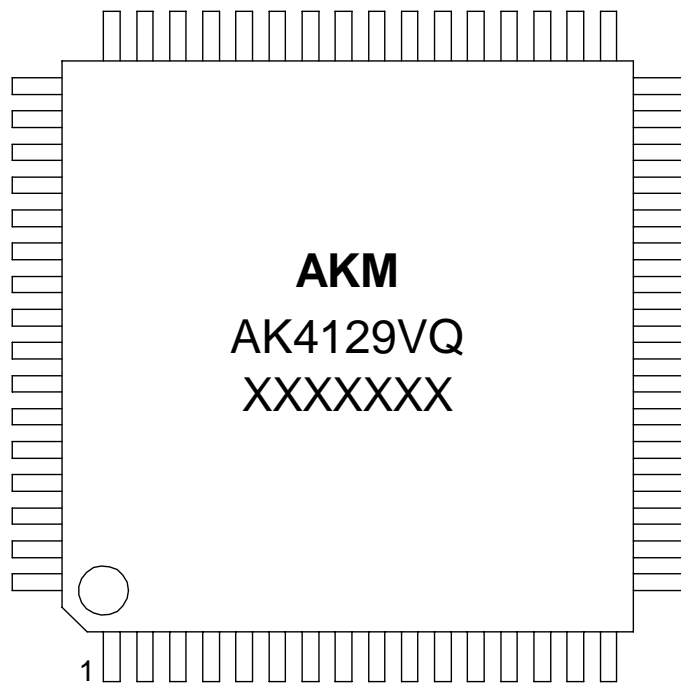
- パッケージ材質： エポキシ系樹脂
- リードフレーム材質： 銅
- リードフレーム処理： 半田（無鉛）メッキ

マーキング(AK4129EQ)



XXXXXXX: Date code identifier

マーキング(AK4129VQ)



XXXXXXX: Date code identifier

改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
10/05/14	00	初版		
10/09/14	01	誤記訂正		登録番号を訂正 MS1174-J-xx → MS1173-J-xx
		仕様変更	36	■ クロック切り替えの手順 “min. 58.05 MHz” → “min. 59.4MHz”
			48	パッケージ パッケージ図の寸法を変更
11/06/02	02	記述追加	4	■ AK4126との互換性 (2) ピン変更箇所: No. 63-pin の記述を追加

重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
- 本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器設計において本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報を使用される場合は、お客様の責任において行ってください。本書に記載された周辺回路、応用回路、ソフトウェアおよびこれらに関連する情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。また、当該使用に起因する、工業所有権その他の第三者の所有する権利に対する侵害につきましても同様です。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取りください。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承ください。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。