



AK4132

96kHz 24bit Sample Rate Converter

1. 概要

AK4132は2chのデジタルサンプルレートコンバータ(SRC)です。入力された8k ~ 96kHzのサンプルレートのオーディオソースを44.1kHzまたは48kHzのサンプルレートに変換して出力します。入力サンプルレートが8kHz, 16kHz, 24kHzのときは8kHz, 16kHz, 24kHzに変換して出力することも可能です。発振器を内蔵しておりスレーブモード時はマスタクロックを必要としないので、非常にシンプルなシステム構成が実現できます。カーオーディオやDVDレコーダなど、異なるサンプルレートを持つデータラインとの接続用途に最適です。

2. 特長

- 2 channels Input/Output
- Asynchronous Sample Rate Converter
- Input Sample Rate Range (FSI): 8k ~ 96kHz
- Output Sample Rate (FSO): 44.1kHz, 48kHz (@fsi=8k~96kHz)
8kHz, 16kHz, 24kHz (@fsi=8kHz, 16kHz, 24kHz)
- Input to Output Sample Rate Ratio: FSO/FSI = 0.33 ~ 6
- THD+N: Up to -90dB
- Dynamic Range: 100dB (A-weighted, Typ.)
- I/F format: MSB justified, I²S compatible
- Oscillator for Internal Operation Clock
- Clock for Master mode: 256fso
- Power Supply: DVDD= 3.0 ~ 3.6V or 1.7 ~ 1.9V (LDO OFF Mode)
- Operating Temperature: -40 ~ +105°C
- Package: 16-pin TSSOP (0.65mm pitch)

3. 目次

1. 概要.....	1
2. 特長.....	1
3. 目次.....	2
4. ブロック図.....	3
5. ピン配置と機能説明.....	3
■ ピン機能説明.....	4
■ 使用しない入力ピンの処理.....	4
6. 絶対最大定格.....	5
7. 推奨動作条件.....	5
8. SRC 特性.....	6
9. 消費電流.....	7
■ 内蔵 Regulator 使用時 (VSEL pin= "L").....	7
■ VD18 外部供給時 (VSEL pin= "H").....	7
10. フィルタ特性.....	8
■ ショートディレイ・シャープロールオフ・フィルタ特性.....	8
11. DC 特性.....	8
12. スイッチング特性.....	9
■ クロック.....	9
■ オーディオインタフェースタイミング.....	10
■ タイミング波形.....	11
13. 動作説明.....	14
■ 入出力サンプリングレート組み合わせ.....	14
■ 入力ポートのシステムクロックとオーディオインタフェースフォーマット.....	14
■ 出力ポートのシステムクロックモード設定.....	16
■ 出力ポートのオーディオインタフェースフォーマット.....	16
■ レギュレータ.....	17
■ 電源電圧.....	17
■ システムリセット.....	17
■ クロック切り替えの手順.....	19
■ グラウンドと電源のデカップリング.....	20
14. ジッタ耐量.....	21
15. 外部接続回路例.....	22
16. パッケージ.....	23
■ 外形寸法図.....	23
■ 材質・メッキ仕様.....	23
■ マーキング.....	24
17. オーダリングガイド.....	25
18. 改訂履歴.....	25
重要な注意事項.....	27

4. ブロック図

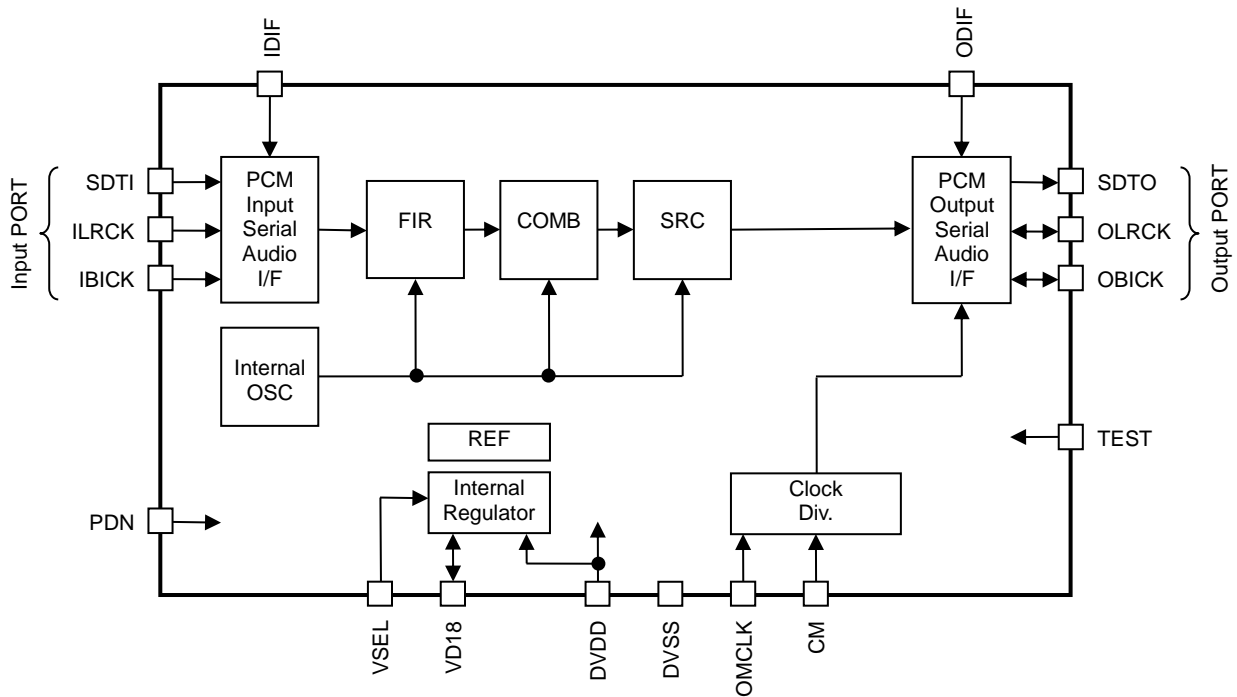


Figure 1. AK4132 Block Diagram

5. ピン配置と機能説明

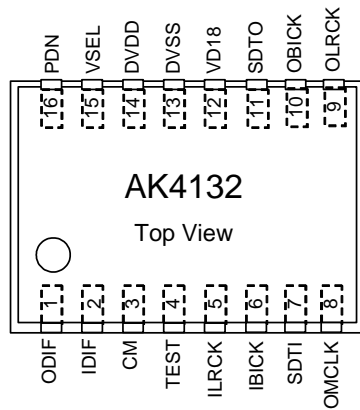


Figure 2. ピン配置

■ ピン機能説明

No.	Pin Name	I/O	Function	PDN= "L" Status
1	ODIF	I	Audio Interface Format Select Pin for Output PORT	-
2	IDIF	I	Audio Interface Format Select Pin for Input PORT	-
3	CM	I	Output Port Mode Select Pin "H": Slave Mode "L": Master Mode	-
4	TEST	I	Test pin. Must be connected to DVSS in normal use. It has a pull-down resistor 100kΩ.	-
5	ILRCK	I	Channel Clock Input Pin for Input PORT	-
6	IBICK	I	Audio Serial Clock Input Pin for Input PORT	-
7	SDTI	I	Audio Serial Data Input Pin for Input PORT	-
8	OMCLK	I	External Master Clock Input	-
9	OLRCK	O	Channel Clock Output Pin for Output PORT in Master Mode	"L"
		I	Channel Clock Input Pin for Output PORT in Slave Mode	-
10	OBICK	O	Audio Serial Clock Output Pin for Output PORT in Master Mode	"L"
		I	Audio Serial Clock Input Pin for Output PORT in Slave Mode	-
11	SDTO	O	Audio Serial Data Output Pin for Output PORT	"L"
12	VD18	I	Internal Digital Power Supply Pin, 1.7 ~ 1.9V (VSEL= "H")	-
		O	Regulator Output Pin, Typ. 1.8V (VSEL= "L") Current must not be taken from this pin. A 10μF (±30%; including the temperature characteristics) capacitor should be connected between this pin and DVSS. When this capacitor is polarized, the positive polarity pin should be connected to the VD18 pin.	"L"
13	DVSS	-	Digital Ground Pin	-
14	DVDD	-	Digital Power Supply Pin, 3.0 ~ 3.6V or 1.7 ~ 1.9V	-
15	VSEL	I	Internal Digital Power Supply Select Pin "H": External Power Supply "L": Internal Regulator	-
16	PDN	I	Power-Down Mode Pin "H": Power Up "L": Power Down and Reset The AK4132 should be reset once by bringing PDN pin = "L" upon power-up.	-

Note 1. 全ての入力ピンはフローティングにしないでください。

Note 2. CM, ODIF と IDIF を変更するときは PDN pin = "L"としてください。

■ 使用しない入力ピンの処理

区分	ピン名	設定
Digital	OMCLK	DVSS に接続

6. 絶対最大定格

(DVSS=0V; [Note 3](#))

Parameter		Symbol	Min.	Max.	Unit
Power Supplies	Digital	DVDD	-0.3	4.3	V
	Internal Digital	VD18	-0.3	2.5	V
Input Current, Any Pin Except Supplies		IIN	-	±10	mA
Digital Input Voltage (Note 4)		VDIN	-0.3	DVDD+0.3	V
Ambient Temperature (Power applied) (Note 5)		Ta	-40	105	°C
Storage Temperature		Tstg	-65	150	°C

Note 3. 電圧はすべてグラウンドに対する値です。

Note 4. ILRCK, IBICK, SDTI, IDIF, PDN, TEST, OMCLK, CM, ODIF, OBICK (Slave Mode), OLRCK (Slave Mode), VSEL pin

Note 5. 実装されるプリント基板の配線密度は100%以上にしてください。

注意：この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

7. 推奨動作条件

(DVSS=0V; [Note 3](#); VSEL=“L”)

Parameter		Symbol	Min.	Typ.	Max.	Unit
Power Supplies	Digital	DVDD	3.0	3.3	3.6	V

Note 3. 電圧はすべてグラウンドに対する値です。

(DVSS=0V; [Note 3](#); VSEL=“H”)

Parameter		Symbol	Min.	Typ.	Max.	Unit
Power Supplies (Note 6)	Digital	DVDD	1.7	1.8	1.9	V
	Internal Digital	VD18	1.7	1.8	1.9	V
	Difference	DVDD-VD18	-	0	-	V

Note 3. 電圧はすべてグラウンドに対する値です。

Note 6. DVDD と VD18 は外部で接続してください。

注意：本データシートに記載されている条件以外のご使用に関しては、当社では責任を負いません。

8. SRC 特性

(Ta= -40 ~ 105°C; DVDD= 3.0 ~ 3.6V at VSEL pin= "L" or DVDD= VD18= 1.7V ~ 1.9V at VSEL pin= "H"; DVSS= 0V; Signal Frequency= 1kHz; measurement bandwidth = 20Hz ~ FSO/2; unless otherwise specified.)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Input Sample Rate	FSI	8	-	96	kHz
Output Sample Rate (FSI: 8kHz~96kHz)	FSO	44.1	-	48	kHz
Output Sample Rate (FSI: 8kHz, 16kHz, 24kHz)	FSO	8	-	24	kHz
THD+N (Input= 1kHz, 0dBFS, Note 7)					
FSO/FSI= 48kHz/48kHz		-	-101	-	dB
FSO/FSI= 48kHz/96kHz		-	-102	-	dB
FSO/FSI= 44.1kHz/96kHz		-	-101	-	dB
Worst Case (FSO/FSI=44.1kHz/32kHz)		-	-	-99	dB
Dynamic Range (Input= 1kHz, -60dBFS, Note 7)					
FSO/FSI= 48kHz/48kHz		-	101	-	dB
FSO/FSI= 48kHz/96kHz		-	102	-	dB
FSO/FSI= 44.1kHz/96kHz		-	102	-	dB
Worst Case (FSO/FSI= 44.1kHz/32kHz)		101	-	-	dB
Dynamic Range (Input= 1kHz, -60dBFS, A-weighted, Note 7)					
FSO/FSI= 48kHz/48kHz		-	104	-	dB
Ratio between Input and Output Sample Rate	FSO/FSI	0.33		6	-

Note 7. Audio Precision System Two Cascade 使用。

9. 消費電流

■ 内蔵 Regurator 使用時 (VSEL pin= “L”)

(Ta= -40 ~ 105°C)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Power Supply Current					
Normal operation:					
FSI=FSO= 48kHz at Master Mode :DVDD= 3.3V		-	6	-	mA
DVDD= 3.6V		-	-	8	mA
FSI= 96kH, FSO= 48kHz at Master Mode :DVDD= 3.3V		-	10	-	mA
DVDD= 3.6V		-	-	12	mA
Power down: PDN = “L” (Note 8) DVDD=3.6V		-	10	100	μA

Note 8. クロックピンを含めた全てのデジタル入力が DVSS と同電位するとき。

■ VD18 外部供給時 (VSEL pin= “H”)

(Ta= -40 ~ 105°C)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Power Supply Current					
Normal operation:					
FSI=FSO=48kHz at Master Mode:					
DVDD=VD18=1.8V		-	6	-	mA
DVDD=VD18=1.9V		-	-	8	mA
FSI=96kH, FSO=48kHz at Master Mode:					
DVDD=VD18=1.8V		-	10	-	mA
DVDD=VD18=1.9V		-	-	12	mA
Power down: PDN = “L” (Note 9) DVDD=VD18=1.9V			10	100	μA

Note 9 VSEL 以外の、クロックピンを含めた全てのデジタル入力が DVSS と同電位するとき。

10. フィルタ特性

■ ショートディレイ・シャープロールオフ・フィルタ特性

(Ta=-40 ~ 105°C; DVDD= 3.0 ~ 3.6V at VSEL pin= "L" or DVDD= VD18= 1.7 ~ 1.9V at VSEL pin= "H"; DVSS= 0V)

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Passband -0.01dB	$0.985 \leq \text{FSO/FSI} \leq 6.000$	PB	0	-	0.4583FSI	kHz
	$0.714 \leq \text{FSO/FSI} < 0.985$	PB	0	-	0.4167FSI	kHz
	$0.536 \leq \text{FSO/FSI} < 0.714$	PB	0	-	0.2182FSI	kHz
	$0.492 \leq \text{FSO/FSI} < 0.536$	PB	0	-	0.2177FSI	kHz
	$0.357 \leq \text{FSO/FSI} < 0.492$	PB	0	-	0.1948FSI	kHz
	$0.246 \leq \text{FSO/FSI} < 0.357$	PB	0	-	0.0917FSI	kHz
	$0.1667 \leq \text{FSO/FSI} < 0.246$	PB	0	-	0.0826FSI	kHz
Stopband	$0.985 \leq \text{FSO/FSI} \leq 6.000$	SB	0.5417FSI	-	-	kHz
	$0.714 \leq \text{FSO/FSI} < 0.985$	SB	0.5021FSI	-	-	kHz
	$0.536 \leq \text{FSO/FSI} < 0.714$	SB	0.2974FSI	-	-	kHz
	$0.492 \leq \text{FSO/FSI} < 0.536$	SB	0.2813FSI	-	-	kHz
	$0.357 \leq \text{FSO/FSI} < 0.492$	SB	0.2604FSI	-	-	kHz
	$0.246 \leq \text{FSO/FSI} < 0.357$	SB	0.1573FSI	-	-	kHz
	$0.1667 \leq \text{FSO/FSI} < 0.246$	SB	0.1471FSI	-	-	kHz
Passband Ripple	$0.1667 \leq \text{FSO/FSI} \leq 6.000$	PR	-	-	±0.01	dB
Stopband Attenuation	$0.985 \leq \text{FSO/FSI} \leq 6.000$	SA	-92.8	-	-	dB
	$0.714 \leq \text{FSO/FSI} < 0.985$	SA	-93.5	-	-	dB
	$0.536 \leq \text{FSO/FSI} < 0.714$	SA	-94.5	-	-	dB
	$0.492 \leq \text{FSO/FSI} < 0.536$	SA	-92.9	-	-	dB
	$0.357 \leq \text{FSO/FSI} < 0.492$	SA	-92.0	-	-	dB
	$0.246 \leq \text{FSO/FSI} < 0.357$	SA	-94.4	-	-	dB
	$0.1667 \leq \text{FSO/FSI} < 0.246$	SA	-93.8	-	-	dB
Group Delay (Note 10)		GD	-	18	-	1/fs

Note 10. 入力と出力の位相ずれがない時の、L, R のデータが入力された後の LRCK の立ち上がりから、L, R データを出力する前の LRCK の立ち上がりまでの期間です。

11. DC 特性

(Ta= -40 ~ 105°C; DVDD= 3.0 ~ 3.6V at VSEL pin= "L" or DVDD= VD18= 1.7 ~ 1.9V at VSEL pin= "H"; DVSS= 0V)

Parameter		Symbol	Min.	Typ.	Max.	Unit
High-Level Input Voltage (Note 11)		VIH	70%DVDD	-	-	V
Low-Level Input Voltage (Note 11)		VIL	-	-	30%DVDD	V
High-Level Output Voltage (Iout= -400μA) (Note 12)		VOH	DVDD-0.4	-	-	V
Low-Level Output Voltage (Iout= 400μA) (Note 12)		VOL	-	-	0.4	V
Input Leakage Current	(Note 11, TEST pin を除く)	lin	-10	-	10	μA
	TEST pin 100kΩ Pull down		-10	-	72	μA

Note 11. ILRCK, IBICK, SDTI, IDIF, PDN, TEST, OMCLK, CM, ODIF, OBICK (Slave Mode), OLRCK (Slave Mode), VSEL pin

Note 12. SDTO, OBICK (Master Mode), OLRCK (Master Mode) pin

12. スイッチング特性

■ クロック

(Ta= -40 ~ 105°C; DVDD= 3.0 ~ 3.6V at VSEL pin= "L" or DVDD= VD18= 1.7 ~ 1.9V at VSEL pin= "H";
C_L= 20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Master Clock Input (OMCLK)					
256 FSO :					
Frequency	fCLK	2.048	-	12.288	MHz
Pulse Width Low	tCLKL	40	-	-	ns
Pulse Width High	tCLKH	40	-	-	ns
Channel Clock for Input Port (ILRCK)					
Frequency					
Normal Speed Mode	FSIN	8	-	54	kHz
Double Speed Mode	FSID	54	-	96	kHz
Duty Cycle	dILRCK	48	50	52	%
Channel Clock for Output Port (OLRCK)					
Slave Mode					
Frequency (FSI: 8kHz~96kHz)	FSO	44.1	-	48	kHz
Frequency (FSI: 8kHz, 16kHz, 24kHz)	FSO	8	-	24	kHz
Duty Cycle	dOLRCK	48	50	52	%
Master Mode					
Frequency (FSI: 8kHz~96kHz)	FSO	44.1	-	48	kHz
Frequency (FSI: 8kHz, 16kHz, 24kHz)	FSO	8	-	24	kHz
Duty Cycle	dOLRCK	-	50	-	%

■ オーディオインタフェースタイミング

(Ta= -40 ~ 105°C; DVDD= 3.0 ~ 3.6V at VSEL pin= "L" or DVDD= VD18= 1.7 ~ 1.9V at VSEL pin= "H";
C_L= 20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Audio Interface Timing					
Input PORT					
IBICK Period Normal speed Mode	tIBCK	1/256 FSIN	-	-	ns
Double speed Mode	tIBCK	1/128 FSID	-	-	ns
IBICK Pulse Width Low	tIBCKL	27	-	-	ns
IBICK Pulse Width High	tIBCKH	27	-	-	ns
ILRCK Edge to IBICK "↑" (Note 13)	tILRB	15	-	-	ns
IBICK "↑" to ILRCK Edge (Note 13)	tIBLR	15	-	-	ns
SDTI Hold Time from IBICK "↑"	tISDH	15	-	-	ns
SDTI Setup Time to IBICK "↑"	tISDS	15	-	-	ns
Output PORT (Slave Mode)					
OBICK Period Normal speed Mode	tOBCK	1/256 FSO	-	-	ns
OBICK Pulse Width Low	tOBCKL	27	-	-	ns
OBICK Pulse Width High	tOBCKH	27	-	-	ns
OLRCK Edge to OBICK "↑" (Note 13)	tOLRB	20	-	-	ns
OBICK "↑" to OLRCK Edge (Note 13)	tOBLR	20	-	-	ns
OLRCK to SDTO(MSB) (Except I ² S Mode)	tOLRS	-	-	20	ns
OBICK "↓" to SDTO	tOBSD	-	-	20	ns
Output PORT (Master Mode)					
OBICK Frequency	fOBCK	-	64 FSO	-	Hz
OBICK Duty	dOBCK	-	50	-	%
OBICK "↓" to OLRCK Edge	tOMBLR	-20	-	20	ns
OBICK "↓" to SDTO	tOBSD	-20	-	20	ns
Reset Timing					
PDN Pulse Width (Note 14)	tPD	150	-	-	ns
PDN pin Pulse Width of Spike Noise Suppressed by Input Filter (Note 15)	tPDS	0	-	50	ns

Note 13. この規格値は LRCK のエッジと BICK の "↑" が重ならないように規定しています。

Note 14. AK4132 は PDN pin = "L" でリセット状態になります。

Note 15. PDN ピンに内蔵されるノイズフィルタが除去できる "L" パルスのスパイクノイズ幅の規定です。

■ タイミング波形

Master Clock

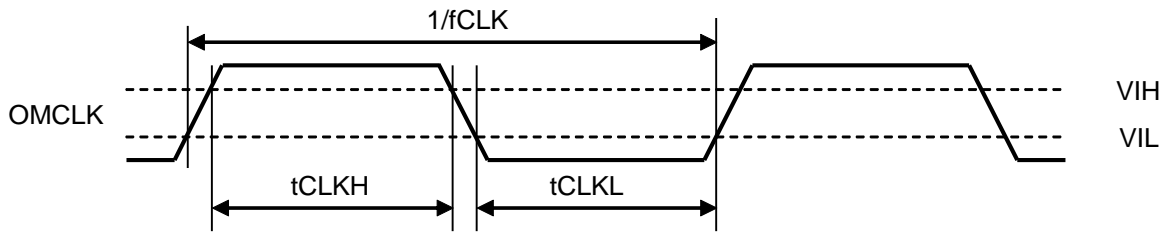


Figure 3. OMCLK Clock Timing

Input Port Clock

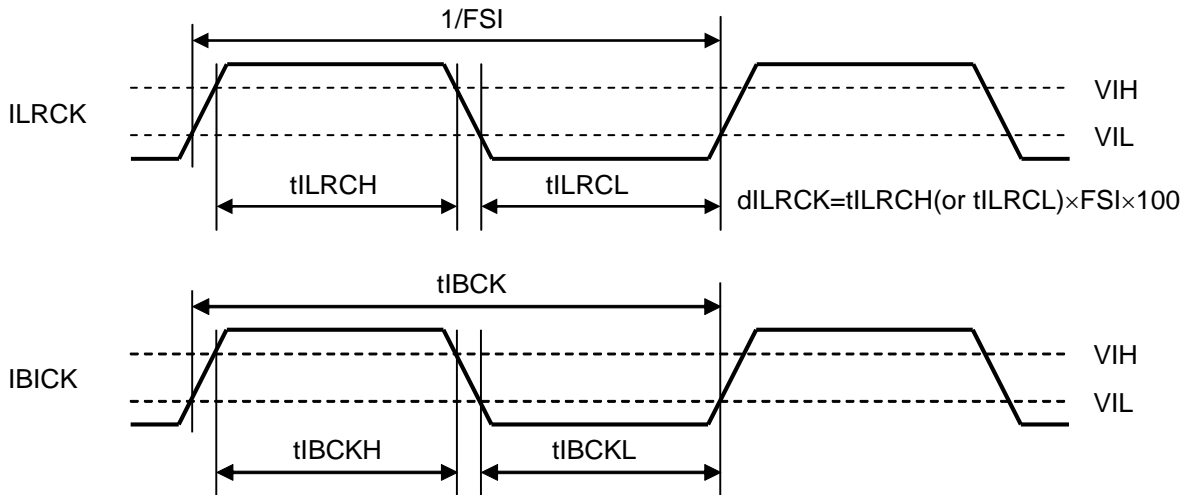


Figure 4. ILRCK, IBICK Clock Timing

Input Port Timing

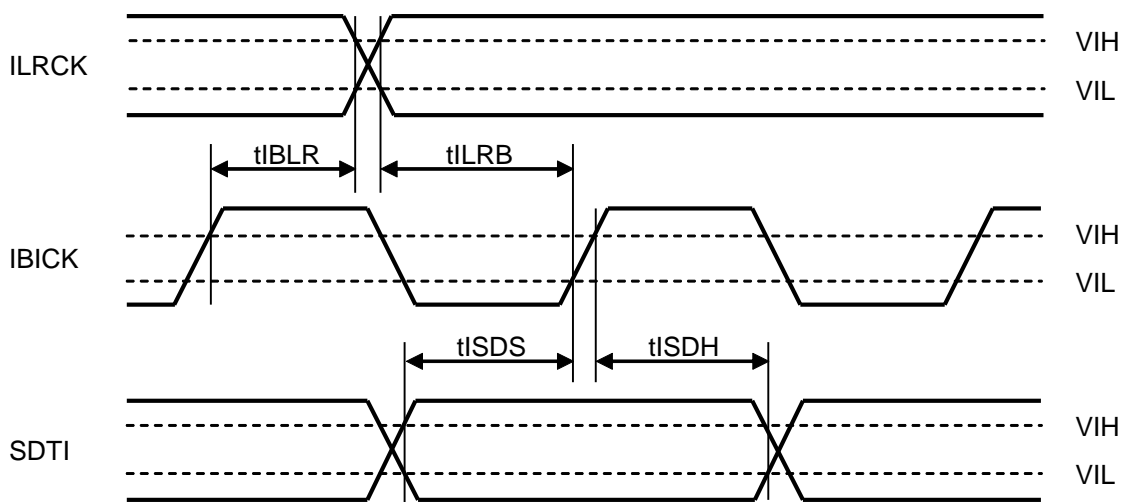


Figure 5. Input PORT Audio Interface Timing

Output Port Clock (Slave Mode)

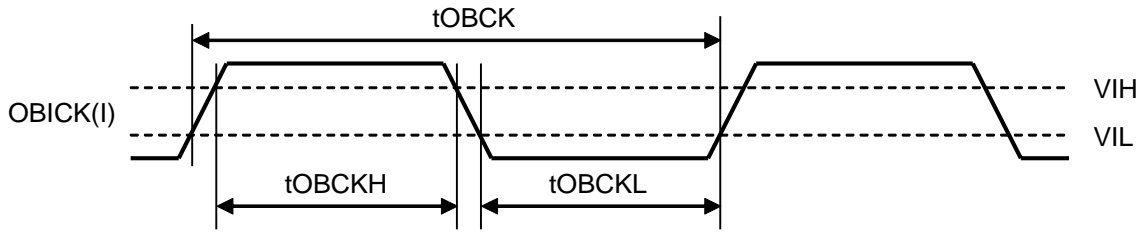
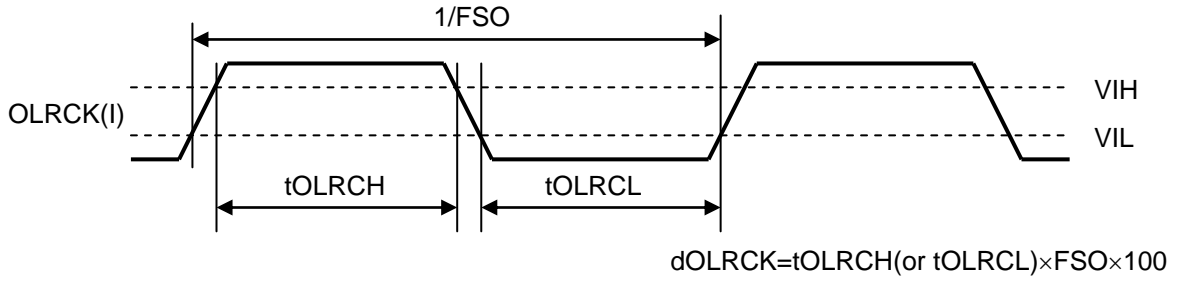


Figure 6. OLRCK, OBICK Clock Timing (Slave Mode)

Output Port Timing (Slave Mode)

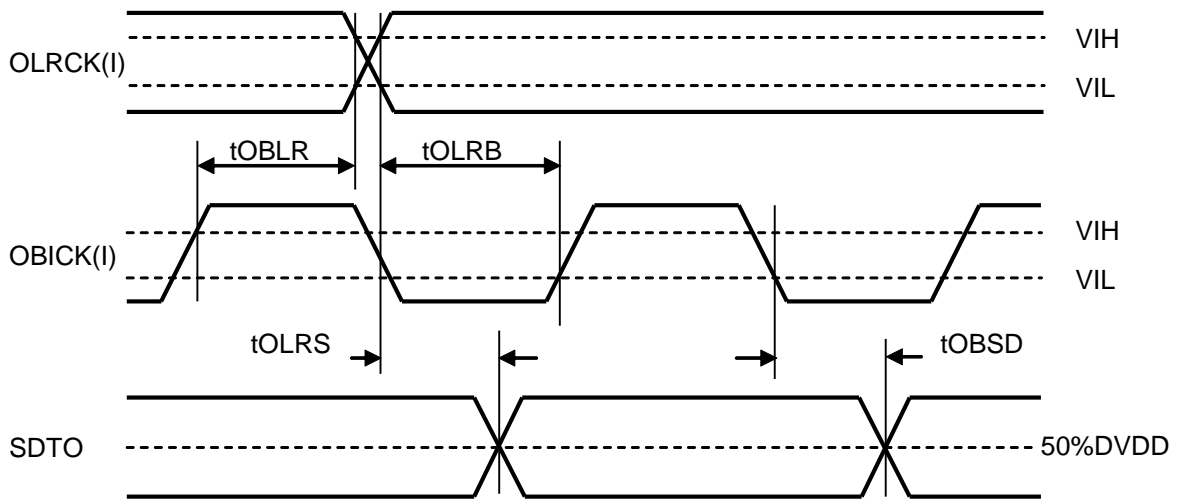


Figure 7. Output PORT Audio Interface Timing (Slave Mode)

Output Port Clock (Master Mode)

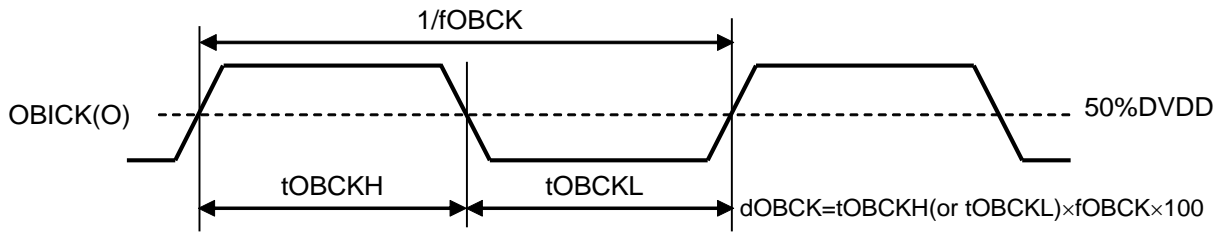
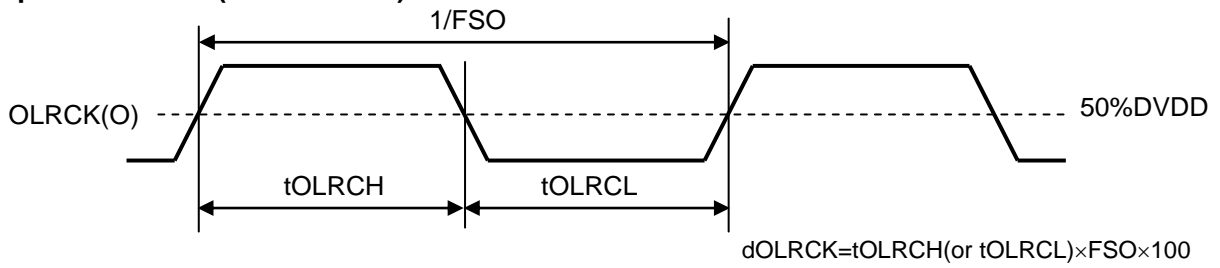


Figure 8. OLRCK, OBICK Clock Timing (Master Mode)

Output Port Timing (Master Mode)

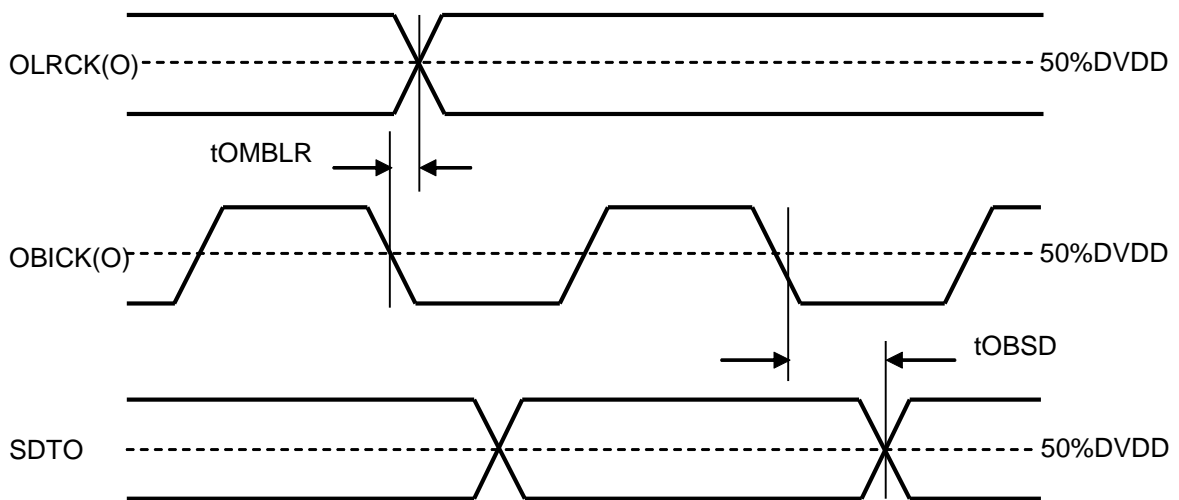


Figure 9. Output PORT Audio Interface Timing (Master Mode)

Power-down Timing

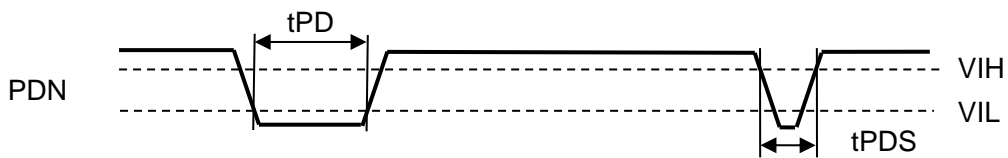


Figure 10. Power Down and Reset Pulse

13. 動作説明

■ 入出力サンプリングレート組み合わせ

入力サンプリングレートと出力サンプリングレートの可能な組み合わせを示します。

Table 1. FSI/FSO Combination

FSI [kHz]	FSO [kHz]								
	8	11.025	12	16	22.05	24	32	44.1	48
8	Y	-	-	Y	-	Y	-	Y	Y
11.025	-	-	-	-	-	-	-	Y	Y
12	-	-	-	-	-	-	-	Y	Y
16	Y	-	-	Y	-	Y	-	Y	Y
22.05	-	-	-	-	-	-	-	Y	Y
24	Y	-	-	Y	-	Y	-	Y	Y
32	-	-	-	-	-	-	-	Y	Y
44.1	-	-	-	-	-	-	-	Y	Y
48	-	-	-	-	-	-	-	Y	Y
88.2	-	-	-	-	-	-	-	Y	Y
96	-	-	-	-	-	-	-	Y	Y

Y: Available
-: Not Available

■ 入力ポートのシステムクロックとオーディオインタフェースフォーマット

入力ポートのオーディオインタフェースフォーマットを IDIF pin で設定します。データ形式はフォーマットによらず MSB ファーストの 2's コンプリメントです。SDTI pin に入力したデータは IBICK の立ち上がりで取り込まれます。入力ポートのオーディオインタフェースフォーマットの変更は PDN pin = "L" 中に行ってください。

Table 2. Input PORT Audio Interface Format

Mode	IDIF pin	SDTI Format	ILRCK	IBICK	IBICK Freq
0	L	24-bit, MSB justified	Input	Input	256FSI _I ≥ or ≥ 64FSI
1	H	24 or 16-bit, I ² S Compatible			256FSI _I ≥ or ≥ 64FSI
		16-bit, I ² S Compatible			32FSI (Note 16)

Note 16. IBICK = 32FSI は 16-bit I²S Compatible のみ対応します。

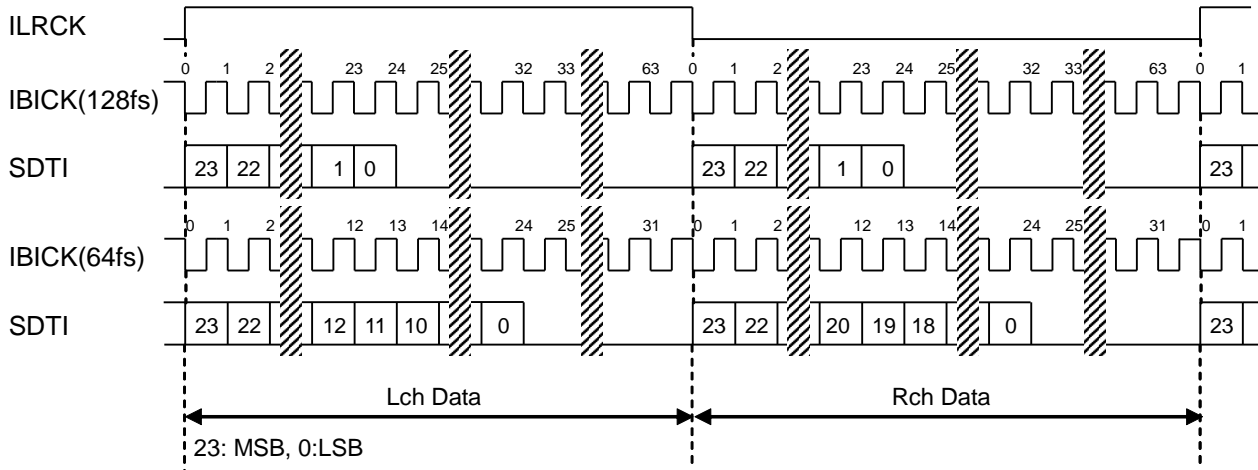


Figure 11. Mode0 timing (24-bit MSB)

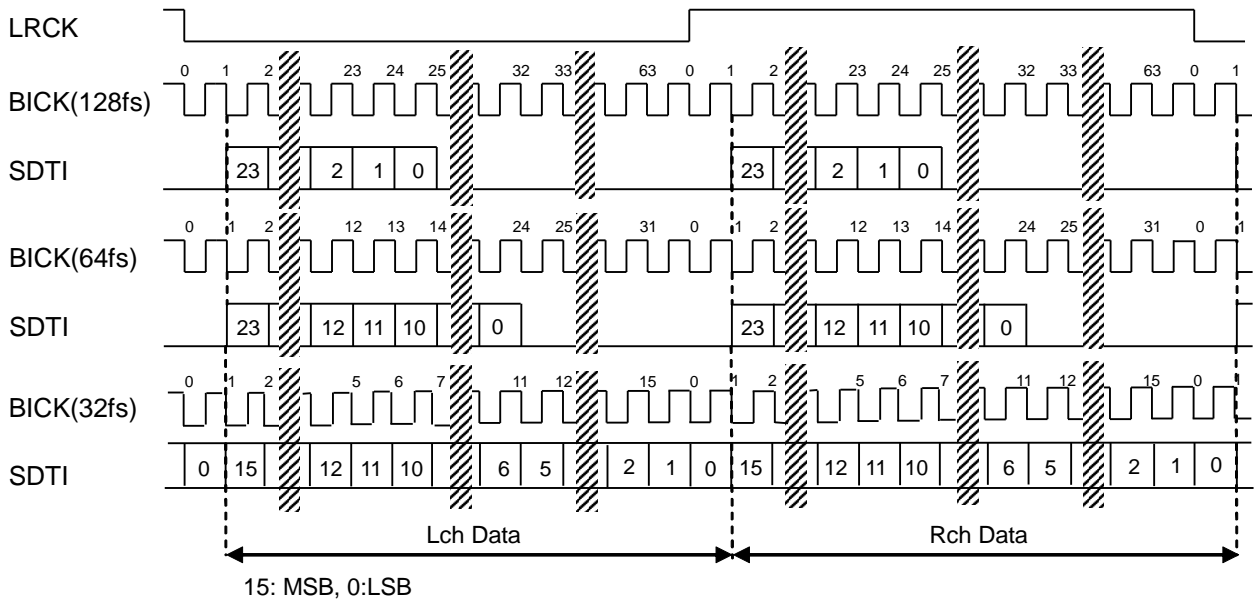


Figure 12. Mode1 timing (24-bit/16-bit I²S)

■ 出力ポートのシステムクロックモード設定

出力ポートはマスターモード及びスレーブモードで動作します。マスターモード時、出力ポートは OMCLK から作った OLRCK と OBICK で動作します。OLRCK と OBICK はそれぞれ OLRCK pin と OBICK pin から出力されます。スレーブモード時、出力ポートは OLRCK pin と OBICK pin に入力したクロックで動作します。スレーブモード時は OMCLK pin を使用しません。DVSS に接続してください。

マスターモード/スレーブモードは CM pin で選択します。

Table 3. Output PORT Master/Slave Mode Control

Mode	CM pin	Master / Slave	OMCLK Frequency
0	L	Master	256FSO
1	H	Slave	Not used. (Note 17)

Note 17. Slave Mode 時は OMCLK pin を DVSS に接続してください。

■ 出力ポートのオーディオインタフェースフォーマット

出力ポートのオーディオインタフェースフォーマットは ODIF pin で設定します。データ形式はフォーマットによらず MSB ファーストの 2's コンプリメントです。OBICK の立ち下がりで SDTO pin からデータを出力します。出力ポートのオーディオインタフェースフォーマットの変更は PDN pin = "L" 中に行ってください。

Table 4. Output PORT Audio Interface Format

Mode	ODIF pin	SDTO Format	OBICK (Slave)	OBICK (Master)
0	L	MSB justified	≥ 48fs or 32fs	64fs
1	H	I ² S Compatible	≥ 48fs or 32fs	64fs

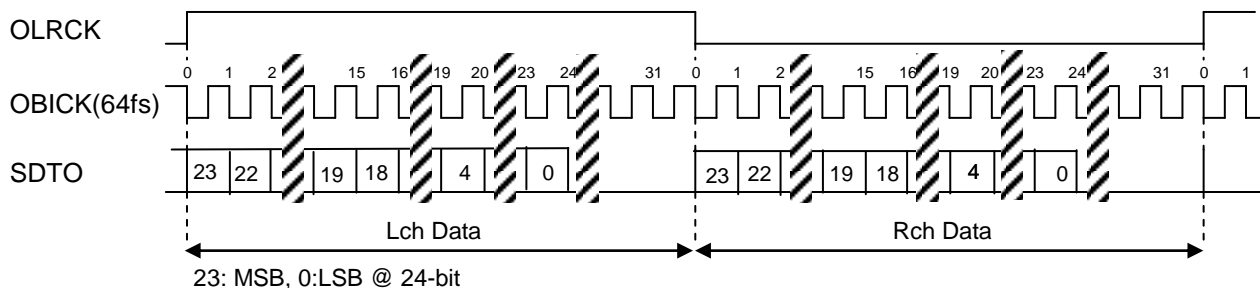


Figure 13. Mode 0 MSB justified Timing

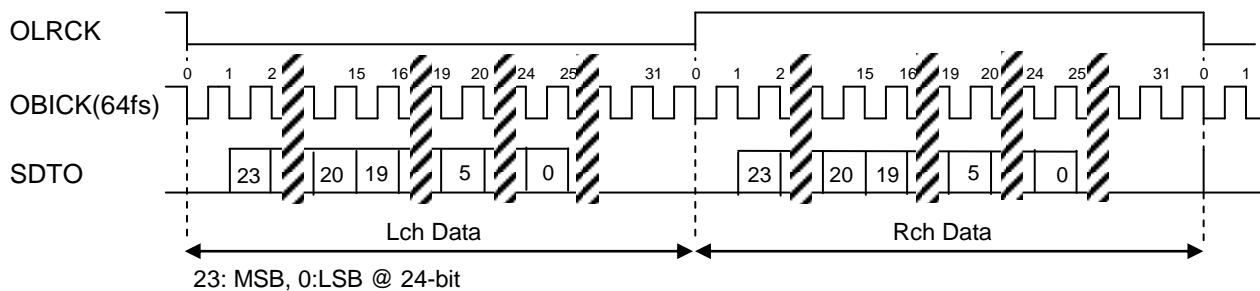


Figure 14. Mode 1 I²S Compatible Timing

■ レギュレータ

AK4132 は DVDD(3.3V)から 1.8V へ降圧するレギュレータを内蔵しています。生成した 1.8V は内部回路の電源として使用します。レギュレータは過電流検出回路と過電圧検出回路を持っています。通常動作中にレギュレータ出力の過電流または過電圧を検出すると、デバイスはリセット状態になりレギュレータはパワーダウンします。この後に過電流あるいは過電圧の状態が解消されてもデバイスはリセット状態から復帰しません。復帰させるためには一旦 PDN pin=“L”としてから再度 PDN pin=“H”とする必要があります。

■ 電源電圧

AK4132 の電源は 1.8V と 3.3V に対応しています。使用する電源電圧に合わせて VSEL pin を設定してください。3.3V 電源を使うときは VSEL pin =“L”とします。レギュレータが ON となり、DVDD pin に供給される 3.3V から内部回路の電源 1.8V を作ります。1.8V 電源を使うときは VSEL pin=“H”とします。レギュレータが OFF となり、VD18 pin が内部回路の電源ピンになります。DVDD pin と VD18 pin に 1.8V を供給してください。

■ システムリセット

AK4132 は PDN pin=“L”でパワーダウンします。このとき同時にデジタルフィルタがリセットされます。電源投入時は PDN pin=“L”にしてリセットを掛けて下さい。内部の SRC 回路は PDN pin=“H”とした後の ILRCK, OLRCK でパワーアップします。このため PDN pin=“H”としてから SDTO pin からデータが出力されるまでの時間は、PDN pin=“H”となったときに ILRCK, OLRCK を入力しているかどうかで Figure 15 と Figure 16 のように異なります。

Case 1: PDN pin=“H”時に ILRCK, OLRCK が入力されているとき

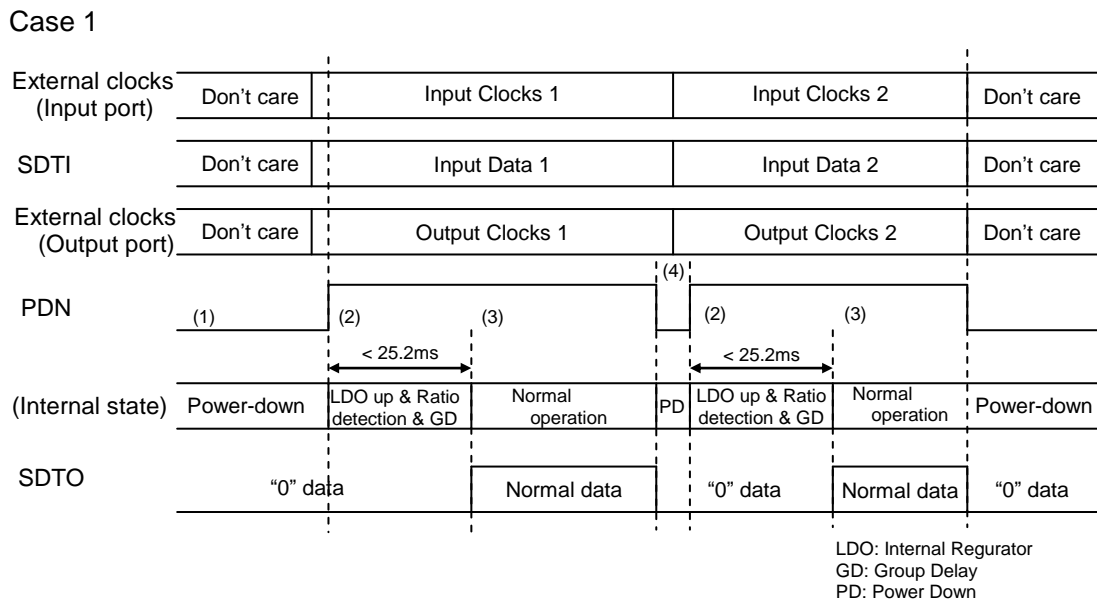


Figure 15. システムリセット Case1

Notes:

- (1) PDN pin=“L”のとき SDTO pin 出力は“L”です。
- (2) クロックを入力後に PDN pin =“H”とすると内部レギュレータが立ち上がり、続いて ILRCK, OLRCK で SRC 回路がパワーアップし Ratio 検出が始まります。Ratio 検出完了から Group Delay 後に SDTO 出力が始まります。この間、SDTO pin 出力は“L”です。PDN pin=“H”から SDTO デー

タ出力が可能になるまでの時間は 25.2m(Max.)です。

- (3) SDTO データ出力が可能になります。
- (4) CM, ODIF, IDIF pin は PDN pin=“L”中に切換えてください。

Case2: PDN pin=“H”時に ILRCK, OLRCK が入力されていないとき

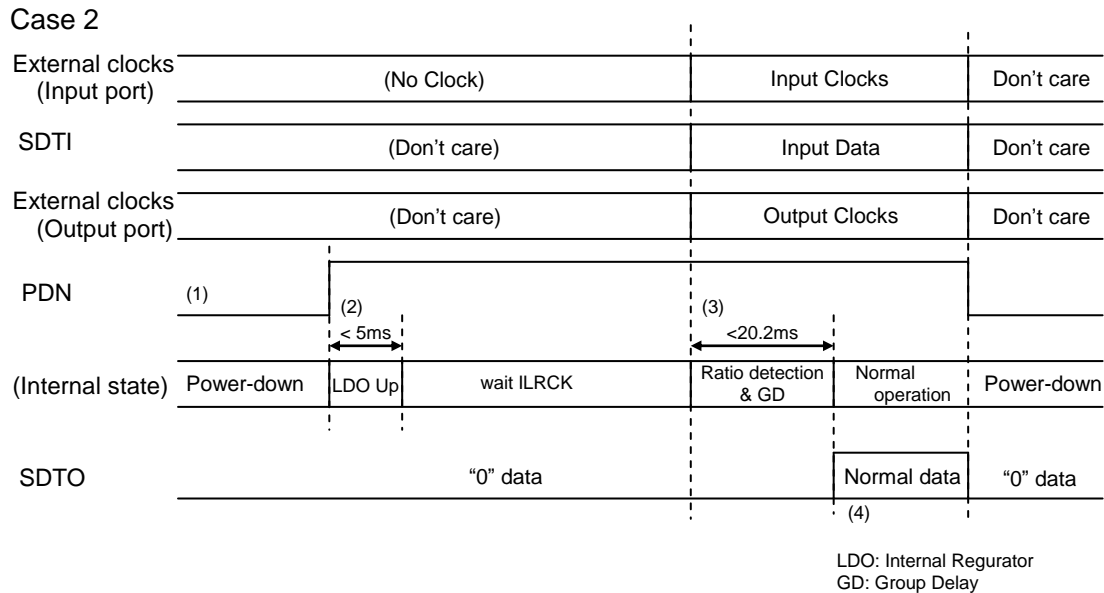


Figure 16. システムリセット Case2

Note:

- (1) PDN pin=“L”のとき SDTO pin 出力は“L”です。
- (2) PDN pin =“H”とすると内部レギュレータが立ち上がり、ILRCK, OLRCK を待ちます。
- (3) ILRCK, OLRCK が入力されると SRC 回路がパワーアップし Ratio 検出が始まります。Ratio 検出完了から Group Delay 後に SDTO 出力が始まります。この間、SDTO pin 出力は“L”です。ILRCK, OLRCK 入力から SDTO データ出力が可能になるまでの時間は 20.2ms(Max.)です。
- (4) SDTO データ出力が可能になります。

■ クロック切り替えの手順

AK4132 へ供給するクロックを切り替える場合は PDN pin でリセットを掛けて下さい。クロックの切り替え手順を Figure 17 に示します。

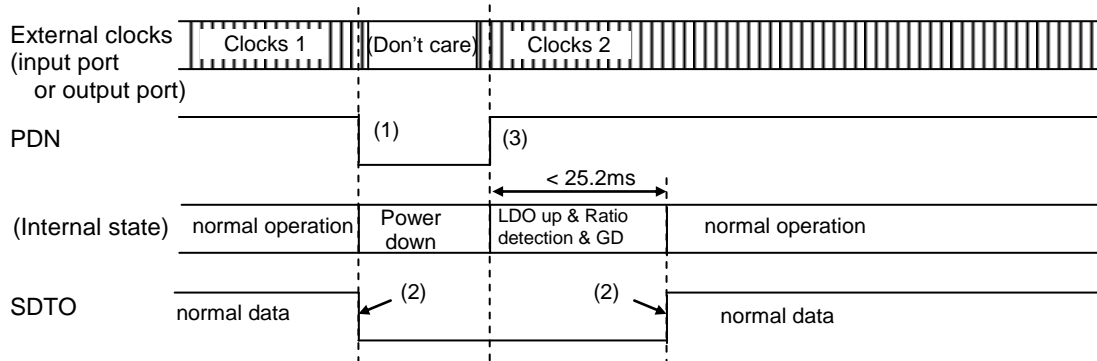


Figure 17. Sequence of Changing Clocks

Note:

- (1) PDN pin=“L”として IDIF pin, ODIF pin, CM pin, クロック周波数を切り替えます。
- (2) STDO 出力が切り替わる際に異音が生じる可能性があります。
- (3) IDIF pin, ODIF pin, CM pin, クロック周波数を切り替えた後 PDN pin=“H”とします。

AK4132 は ILRCK 周波数または OLRCK 周波数が増減したときに自動的に内部リセットを掛ける機能を持っています。PDN pin でリセットせずに ILRCK 周波数または OLRCK 周波数を変えた時は次のような動作になります。

・ PDN pin でリセットせずに入力ポートの ILRCK 周波数を変化させた場合

ILRCK 1 周期中の内蔵発振器クロック数と次の ILRCK 1 周期中の内蔵発振器クロック数を比べてその差が最初のクロック数の 1/16 以上となる状態が ILRCK の 8 周期連続した場合(*)、自動的に内部リセットが掛かり Ratio 検出をやり直します。

内部リセットがかかると SDTO 出力は“L”になり、162FSI(O)経過後 SDTO データを出力します。(FSI(O)は、FSI か FSO の周波数が低い方)

周波数の変化が上記の条件(*)を満たさない場合は内部リセットが掛かりません。この場合、周波数が最終値になってから正常な SRC データを出力するまで最大 5148/FSO (max. 643.5ms@FSO=8kHz)かかります(Note 18)。周波数が増減している間および正常な SDTO データを出力するまでの間は正しいデータを出し続ける可能性があります。

ILRCK を停止した場合は内部で自動的にリセットがかかります。その後 ILRCK が正常に入力されると 162FSI(O)経過後に SDTO データを出力します。

- PDN pin でリセットせずに出力ポートの OLRCK 周波数を変化させた場合

OLRCK 1 周期中の内蔵オシレータクロック数と次の OLRCK 1 周期中の内蔵オシレータクロック数を比べてその差が最初のクロック数の 1/16 以上となる状態が OLRCK の 8 周期連続した場合 (*), 自動的に内部リセットが掛かり Ratio 検出をやり直します。

内部リセットがかかると SDTO 出力は “L” になり、162FSI(O) 経過後、SDTO データを出力します。

周波数の変化が上記の条件(*)を満たさない場合は内部リセットが掛かりません。この場合、周波数が最終値になってから正常な SDTO データを出力するまで最大 $5148/\text{FSO}$ (max. $643.5\text{ms}@\text{FSO}=8\text{kHz}$) がかかります (Note 18)。周波数が増えている間および正常な SDTO データを出力するまでの間は正しいデータが出力される可能性があります。

OLRCK を停止した場合、内部で自動的にリセットがかかります。その後正常に OLRCK が入力されると 162FSI(O) 経過後に SDTO データを出力します。

Note 18. FSO/FSI が 1/6 から 1/5.99 へ変化した場合

■ グラウンドと電源のデカップリング

電源とグラウンドの取り方には十分注意して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

14. ジッタ耐量

AK4132 の IBICK 及び ILRCK に対するジッタ耐量を Figure 18 に示します。0.02UIpp 以下のジッタ振幅であればジッタ周波数に関わらず正常に動作します。

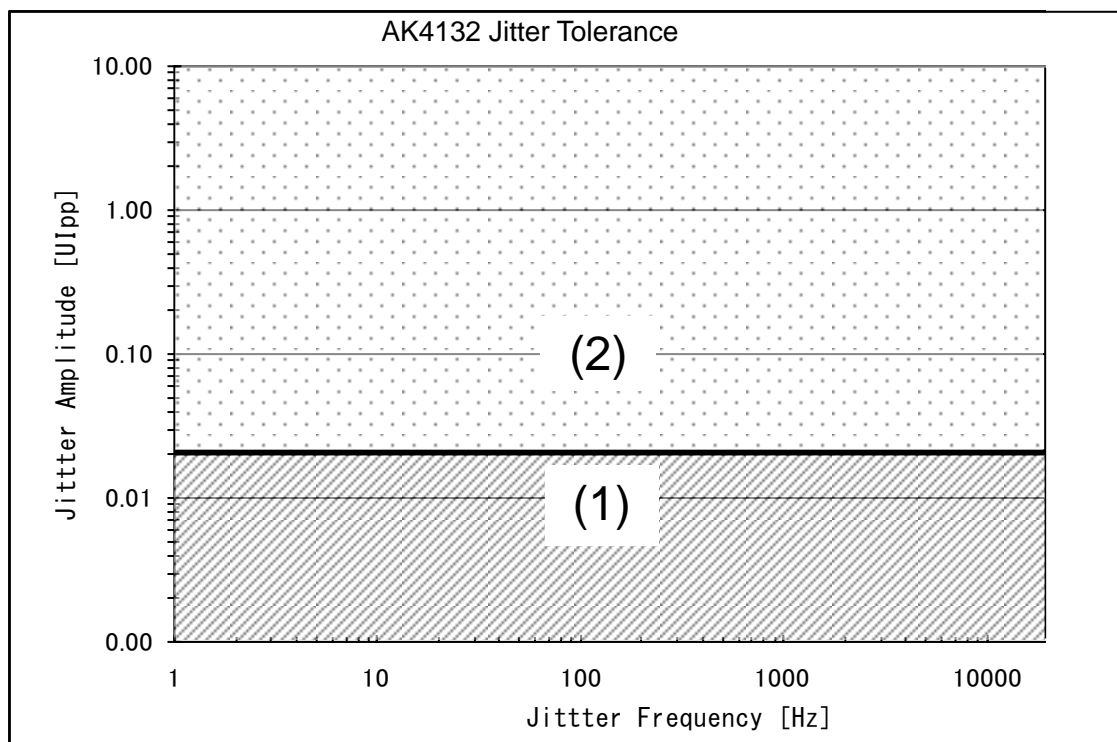


Figure 18. Jitter Tolerance

Figure 18 は ILRCK と IBICK にジッタを重畳しそれに同期したデータ入力で検証および評価した結果です。領域(1)と領域(2)の境界は THD+N が劣化し始める直前のジッタ振幅です。領域(1)のジッタ振幅でご使用ください。

領域(1) 正常動作。

領域(2) 出力データが欠落する可能性あり

1[UIpp]は ILRCK の 1 周期です。FSI=48kHz の場合、 $1[\text{UIpp}] = 1/48\text{kHz} = 20.8\mu\text{sec}$ になります。

15. 外部接続回路例

Figure 19, Figure 20 はシステム接続例です。

- Regulator: Enable
- Output PORT: Master Mode

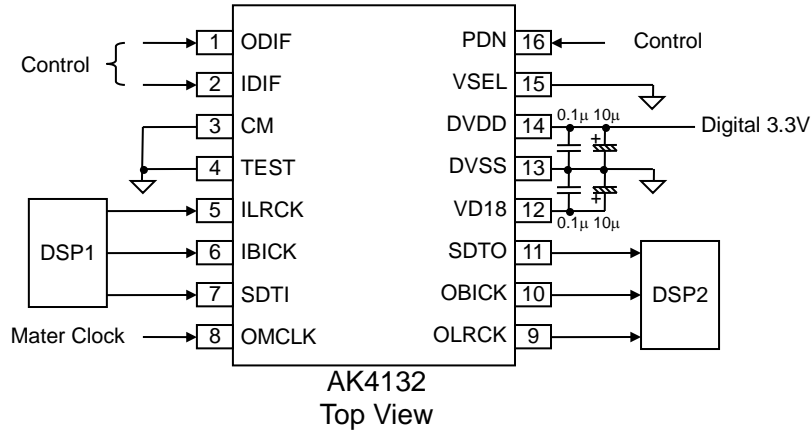


Figure 19. Typical Connection Diagram (Output Port: Master Mode, Regulator: Enable)

- Regulator: Disable
- Output PORT: Slave Mode

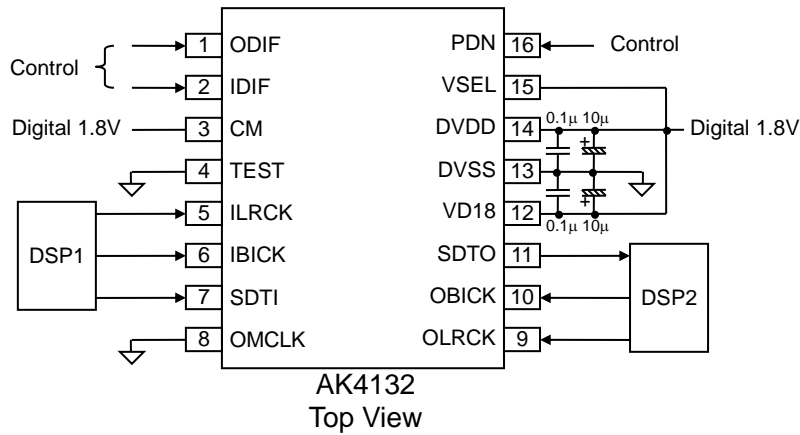
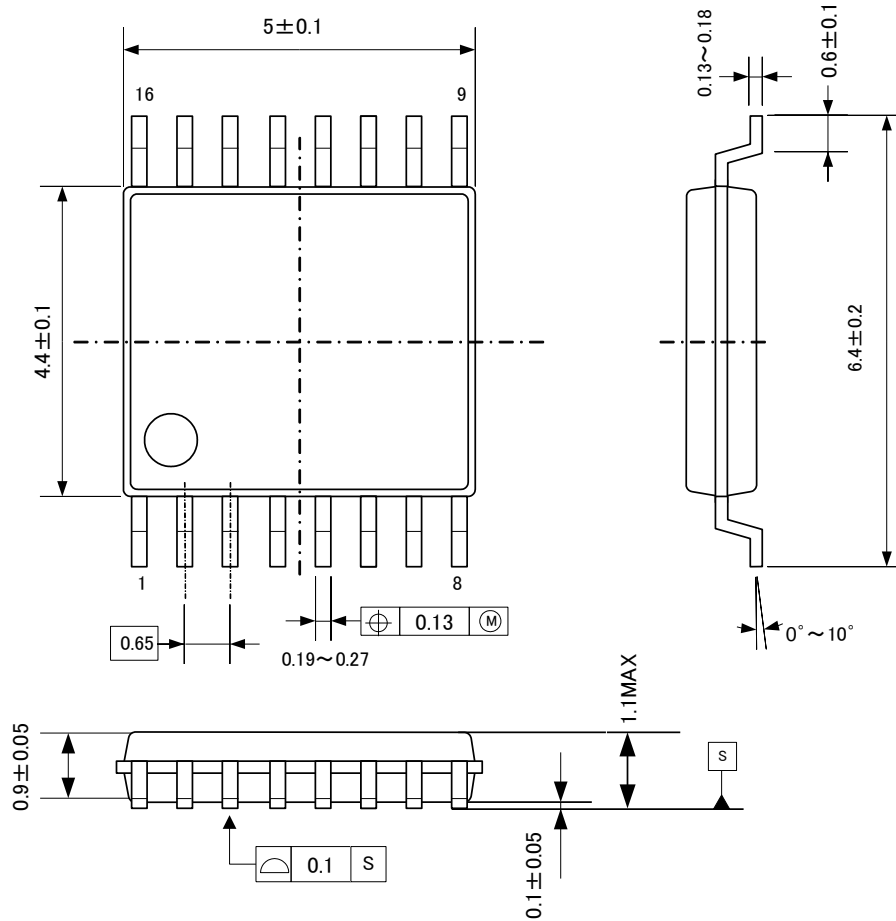


Figure 20. Typical Connection Diagram (Output Port: Slave mode, Regulator: Disable)

16. パッケージ

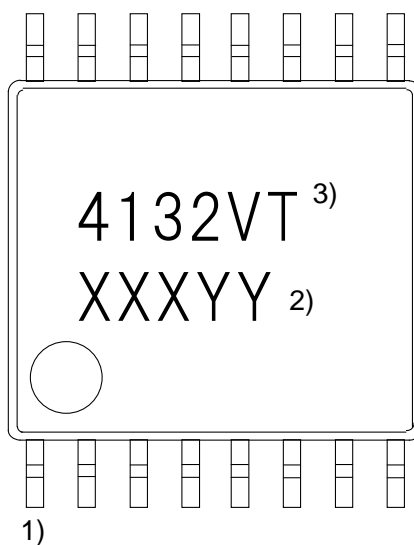
■ 外形寸法図



■ 材質・メッキ仕様

パッケージ材質： エポキシ系樹脂
 リードフレーム材質： 銅
 端子処理： 半田(無鉛)メッキ

■ マーキング



- 1) Pin #1 indication
- 2) Date Code : XXXYY (5 digits)
XXX: Year & Week
YY: Factory Control Code
- 3) Marketing Code : 4132VT

17. オーダリングガイド

AK4132VT -40 ~ 105°C 16-pin TSSOP (0.65mm pitch)
 AKD4132 AK4132 評価用ボード

18. 改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents	
15/12/09	00	初版	-	-	
16/06/20	01	仕様追加	1	概要 「入力サンプルレートが8kHz, 16kHz, 24kHzのときは8kHz, 16kHz, 24kHzに変換して出力することも可能です。」追記	
			1	特長 Output Sample Rate (FSO): 8kHz, 16kHz, 24kHz (@FSI: 8kHz, 16kHz, 24kHz)追加 Input to Output Sample Rate Ratio: FSO/FSI = 44.1/96 ~ 6 → 0.33 ~ 6	
			6	SRC 特性 Output Sample Rate (FSI: 8kHz, 16kHz, 24kHz) min. 8kHz, max. 24kHz 追加 Ratio between Input and Output Sample Rate min.44.1/96 → min. 0.33	
			9	スイッチング特性 Master Clock Input (OMCLK) 256 FSO: min.11.2896MHz → min. 2.048MHz	
			9	スイッチング特性 Channel Clock for Output Port (OLRCK) Slave Mode Frequency (FSI: 8kHz, 16kHz, 24kHz) min.8kHz, max. 24kHz Master Mode Frequency (FSI: 8kHz, 16kHz, 24kHz) min.8kHz, max. 24kHz 追加	
			14	動作説明 入出力サンプリングレート組み合わせの表を追加	
			記述修正	16	動作説明 Table 3 Output PORT Master/Slave Mode Control から FSO 列を削除 (ここでは意味がない情報のため)
			仕様追加	17	システムリセット Figure 16 中 LDO up & Ratio detection & GD 9.6ms → 25.2ms
				18	システムリセット Figure 17 中 Ratio detection & GD 4.6ms → 20.2ms

Date (Y/M/D)	Revision	Reason	Page	Contents
16/06/20	01	仕様追加	19	クロック切り替の手順 Figure 18 中 LDO up & Ratio detection & GD 9.6ms → 25.2 ms 説明文中 (Max. 116.7ms@FSO=44.1kHz) → (Max. 643ms@FSO=8kHz)
			20	クロック切り替の手順 説明文中 (Max. 116.7ms@FSO=44.1kHz) → (Max. 643ms@FSO=8kHz)
		誤記訂正	21	ジッタ耐力 0.01Ulp → 0.02Ulp
17/04/06	02	誤記訂正	9	スイッチング特性 Channel Clock for Input Port (ILRCK) Frequency Double Speed Mode Max. 108kHz → 96kHz
			18	クロック切り替えの手順 Figure 16 中 LDO Up 時間 “5ms” → “< 5ms”
			19	クロック切り替えの手順 Figure 17 中 LDO up & Ratio detection & GD “25.2ms” → “< 25.2ms”
		仕様変更	23	パッケージ 外形寸法図 公差を絞り込み
		誤記訂正	24	パッケージ マーキング ・ Date Code: “XXYYY” → “XXXYY” ・ “XX: Lot#” → “XXX: Year & Week” ・ “YYY: Date Code” → “YY: Factory Control Code”
18/05/10	03	誤記訂正	8	周波数の範囲を訂正 ■ ショートディレイ・シャープロールオフ・フィルタ特性 Passband 0.324 ≤ FSO/FSI < 0.492: Max. 0.1948FSI 0.246 ≤ FSO/FSI < 0.324: Max. 0.0917FSI ↓ 0.357 ≤ FSO/FSI < 0.492: Max. 0.1948FSI 0.246 ≤ FSO/FSI < 0.357: Max. 0.0917FSI Stopband 0.324 ≤ FSO/FSI < 0.492: min. 0.2604FSI 0.246 ≤ FSO/FSI < 0.324: min. 0.1573FSI ↓ 0.357 ≤ FSO/FSI < 0.492: min. 0.2604FSI 0.246 ≤ FSO/FSI < 0.357: min. 0.1573FSI Passband Attenuation 0.324 ≤ FSO/FSI < 0.492: min. -92.0dB 0.246 ≤ FSO/FSI < 0.324: min. -94.4dB ↓ 0.357 ≤ FSO/FSI < 0.492: min. -92.0dB 0.246 ≤ FSO/FSI < 0.357: min. -94.4dB

重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替および外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。